

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】令和 2 年 5 月 28 日 (2020.5.28)

【公開番号】特開 2018-190793 (P2018-190793A)

【公開日】平成 30 年 11 月 29 日 (2018.11.29)

【年通号数】公開・登録公報 2018-046

【出願番号】特願 2017-90394 (P2017-90394)

【国際特許分類】

H 0 1 L 43/06 (2006.01)

【F I】

H 0 1 L 43/06 Z

【手続補正書】

【提出日】令和 2 年 4 月 15 日 (2020.4.15)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】0 0 1 8

【補正方法】変更

【補正の内容】

【0 0 1 8】

かかる構成によれば、半導体基板 1 1 と半導体層 1 3 との P N 接合部に生じた空乏層は、半導体基板 1 1 側と半導体層 1 3 側の両方に広がり、半導体層 1 3 側に広がる空乏層は、磁気感受部 1 2 の方へ向かって広がる。しかし、半導体基板 1 1 と磁気感受部 1 2 とは直接接しておらず、半導体基板 1 1 と磁気感受部 1 2 の間には、半導体層 1 3 が介在しており、かつ、磁気感受部 1 2 が半導体層 1 3 よりも高濃度であることから、空乏層が磁気感受部 1 2 まで到達することを防止することができる。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0 0 2 7

【補正方法】変更

【補正の内容】

【0 0 2 7】

図 2 ~ 4 は、本発明の第二 ~ 第四の実施形態による半導体装置 2 0 0 ~ 4 0 0 をそれぞれ説明するための断面図である。各平面図については、図 1 (a) の平面図に対応しているため、図示を省略する。

なお、図 1 に示す半導体装置 1 0 0 と同一の構成要素には同一の符号を付し、重複する説明は適宜省略する。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0 0 2 8

【補正方法】変更

【補正の内容】

【0 0 2 8】

第二の実施形態による半導体装置 2 0 0 は、図 2 に示すように、第一の実施形態による半導体装置 1 0 0 に対し、ホール素子 1 0 の下部において、P 型の半導体基板 1 1 と N 型の半導体層 1 3 との間に P 型の埋込層 2 0 1 をさらに備えている。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0 0 3 2

【補正方法】変更

【補正の内容】

【0032】

次に、第三の実施形態による半導体装置300は、図3に示すように、第一の実施形態による半導体装置100に対し、ホール素子10の下部において、P型の半導体基板11とN型の半導体層13との間にN型の埋込層301を備えている。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0033

【補正方法】変更

【補正の内容】

【0033】

このN型の埋込層301の濃度は、N型の半導体層13よりも高くなっている。

このように、半導体層13よりも高濃度のN型の埋込層301を設けることにより、ホール素子10の下部に形成されるPN接合は、半導体基板11と半導体層13の間ではなく、P型の半導体基板11とN型の埋込層301との間に形成される。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0037

【補正方法】変更

【補正の内容】

【0037】

次に、第四の実施形態による半導体装置400は、図4に示すように、第一の実施形態による半導体装置100に対し、ホール素子10の下部において、P型の半導体基板11とN型の半導体層13との間に埋込層401を備えている。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0041

【補正方法】変更

【補正の内容】

【0041】

さらに、本実施形態によれば、P型の埋込層402とN型の埋込層403とのPN接合部に形成される空乏層は、埋込層402および埋込層403がいずれも高濃度であることから、半導体基板11側に広がる空乏層も、半導体層13側に広がる空乏層も狭くなる。したがって、半導体層13側に広がる空乏層は、第三の実施形態による半導体装置300と同様、埋込層403内に収まるか、埋込層403よりも広がった場合でも半導体層13内に少しかかる程度となる。したがって、半導体層13の厚さを薄くしても、空乏層が磁気感受部12に達することを防止することができる。よって、半導体層13をエピタキシャル成長により形成する場合には、その厚さを薄くできることから、本実施形態においても、製造コストを低減することも可能となる。

【手続補正8】

【補正対象書類名】明細書

【補正対象項目名】0044

【補正方法】変更

【補正の内容】

【0044】

なお、埋込層401は、P型の埋込層402を半導体基板11側、N型の埋込層403を半導体層13側に形成する、すなわち、半導体基板11と同一導電型の埋込層を半導体基板11側に、半導体層13と同一導電型の埋込層を半導体層13側に形成することが望ましい。N型の埋込層403をP型の半導体基板11側、P型の埋込層402をN型の半

導体層 1 3 側に配置した場合でも、接合リークの低減にはつながる。しかし、このように配置してしまうと、埋込層 4 0 3 と半導体基板 1 1 との P N 接合部、および埋込層 4 0 2 と半導体層 1 3 との P N 接合部のそれぞれに空乏層が形成され、特に、P 型の埋込層 4 0 2 と N 型の半導体層 1 3 との間に形成される空乏層は、濃度の薄い半導体層 1 3 側へ大きく広がり、磁気感受部 1 2 へ影響を与え易くなってしまう。