



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0083413
(43) 공개일자 2016년07월12일

(51) 국제특허분류(Int. Cl.)

H03M 1/38 (2006.01)

(21) 출원번호 10-2014-0194745

(22) 출원일자 2014년12월31일

심사청구일자 2014년12월31일

(71) 출원인

인하대학교 산학협력단

인천광역시 남구 인하로 100, 인하대학교 (용현동)

(72) 발명자

윤광섭

인천 연수구 동곡재로117번길 22,106동 301호(동춘동, 대우3차아파트)

이기윤

충청북도 청주시 상당구 용암로 36 101동 1303호(용암동, 한우리타운아파트)

(74) 대리인

이은철

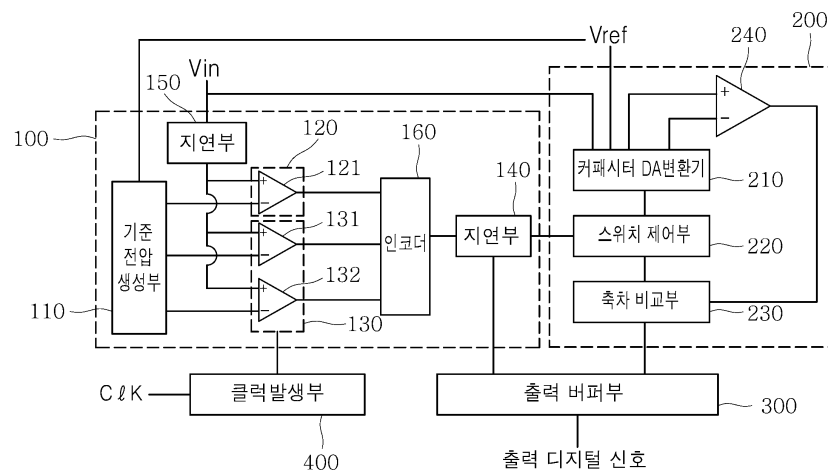
전체 청구항 수 : 총 8 항

(54) 발명의 명칭 다단 비교기를 이용하는 플래시 축차비교형 아날로그 디지털 변환기

(57) 요약

본 발명은 다단 비교기를 이용하는 플래시 축차비교형 아날로그 디지털 변환기에 관한 것으로, 입력 신호에 근거하여 기 설정된 수의 상위 비트를 결정하는 플래시 AD 변환부 및 상기 입력 신호 및 상기 상위 비트에 근거하여 기 설정된 수의 하위 비트를 결정하는 축차비교형 AD 변환부를 포함하고, 축차비교형 아날로그 디지털 변환기에서 디지털 영역을 분할하여 상위 비트에 따라 하위 비트에서 사용되는 비교기를 결정함으로써, 회로 전체에 사용되는 비교기의 수를 제한하고 회로의 전력 소모를 저전력으로 유지하면서도 아날로그 디지털 변환의 속도를 고속화할 수 있다.

대표도 - 도1



이 발명을 지원한 국가연구개발사업

과제고유번호 2010-0020163

부처명 교육부

연구관리전문기관 한국연구재단

연구사업명 중점연구소

연구과제명 그린 생체모방형 임플란터블 전자칩 및 U-생체정보처리 플랫폼 융합기술개발

기 여 율 1/1

주관기관 인하대학교 산학협력단

연구기간 2010.09.01 ~ 2019.04.30

명세서

청구범위

청구항 1

입력 신호에 근거하여 기 설정된 수의 상위 비트를 결정하는 플래시 AD 변환부; 및

상기 입력 신호 및 상기 상위 비트에 근거하여 기 설정된 수의 하위 비트를 결정하는 축차비교형 AD 변환부를 포함하되,

상기 플래시 AD 변환부가 결정하는 각 상위 비트는 별도의 비교기 단에 의하여 결정되는 것을 특징으로 하는 다단 비교기를 이용하는 플래시 축차비교형 아날로그 디지털 변환기.

청구항 2

제 1항에 있어서,

상위 N번째 비트를 결정하는 비교기 단은 2^{N-1} 개의 비교기를 포함하고, 한 번에 상기 2^{N-1} 개의 비교기 중 상위 N-1 비트에 근거하여 결정되는 하나의 비교기를 구동하는 것을 특징으로 하는 다단 비교기를 이용하는 플래시 축차비교형 아날로그 디지털 변환기.

청구항 3

제 1항에 있어서,

상기 플래시 AD 변환부는 상기 입력 신호의 전압 범위를 2의 상기 상위 비트의 수 제곱 개의 구간으로 등분하는 기준 전압을 생성하는 기준 전압 생성부를 포함하고,

상기 각 비교기 단에 포함되는 각 비교기는 상기 기준 전압과 상기 입력 신호를 비교하여 상기 상위 비트를 결정하는 것을 특징으로 하는 다단 비교기를 이용하는 플래시 축차비교형 아날로그 디지털 변환기.

청구항 4

제 1항에 있어서,

외부 클럭을 입력받아 상기 각 비교기 단에 공급되는 클럭을 생성하는 클럭발생부를 더 포함하고,

상기 클럭발생부는 최상위 비트를 결정하는 비교기 단에 공급되는 제2 클럭을 상기 외부 클럭을 지연시켜 생성하고, 상위 N번째 비트를 결정하는 비교기 단에 공급되는 클럭을 상기 제2 클럭 및 상위 N-1번째 비트를 결정하는 비교기 단에 공급되는 클럭에 근거하여 생성하는 것을 특징으로 하는 다단 비교기를 이용하는 플래시 축차비교형 아날로그 디지털 변환기.

청구항 5

제 1항에 있어서,

상기 축차비교형 AD 변환부는 클럭 주기마다 상기 하위 비트 중 하나를 결정하는 커패시터 DA 변환기를 포함하고,

상기 커패시터 DA 변환기는 상기 상위 비트 및 하위 비트의 수를 합한 수 만큼의 스위치를 개폐하여 각 비트에 대응하는 커패시터의 충전 여부를 결정하는 것을 특징으로 하는 다단 비교기를 이용하는 플래시 축차비교형 아

날로그 디지털 변환기.

청구항 6

제 5항에 있어서,

상기 스위치 중 상기 상위 비트에 대응하는 스위치는 상기 플래시 AD 변환부가 결정하는 상기 상위 비트에 의하여 개폐가 결정되는 것을 특징으로 하는 다단 비교기를 이용하는 플래시 축차비교형 아날로그 디지털 변환기.

청구항 7

제 5항에 있어서,

상기 스위치는 같은 수의 두 개의 그룹으로 나뉘어 각 그룹의 최 하위 비트에 대응하는 스위치로부터 상위 비트로 1 비트씩 올라갈 때마다 커패시턴스가 배가되는 커패시터의 통전 여부를 결정하고, 상기 두 개의 그룹 사이에는 하나의 기 설정된 용량의 분할 커패시터가 연결되는 것을 특징으로 하는 다단 비교기를 이용하는 플래시 축차비교형 아날로그 디지털 변환기.

청구항 8

제 5항에 있어서,

상기 커패시터 DA 변환기는 기준 전압과 상기 각 비트에 대응하는 커패시터를 통과한 전압을 비교하여 클럭 주기마다 상기 하나의 하위 비트를 결정하는 고속 래치 비교기를 포함하는 것을 특징으로 하는 다단 비교기를 이용하는 플래시 축차비교형 아날로그 디지털 변환기.

발명의 설명

기술 분야

[0001] 본 발명은 다단 비교기를 이용하는 플래시 축차비교형 아날로그 디지털 변환기에 관한 것으로, 보다 상세하게는 디지털 영역을 분할하여 상위 비트에 따라 하위 비트에서 사용되는 비교기를 결정하는 다단 비교기를 이용하는 플래시 축차비교형 아날로그 디지털 변환기에 관한 것이다.

배경 기술

[0002] 축차비교형 아날로그 디지털(Analog Digital, AD) 변환기는 비교기와 커패시터 디지털 아날로그(Digital Analog, DA) 변환기를 사용하여 아날로그 신호를 디지털 신호로 변환해주는 장치로서, 전력 소모가 낮아 생체신호 측정용 또는 휴대용 장치에 포함되어 사용된다. 그러나 커패시터 디지털 아날로그 변환기에 사용되는 커패시터의 충·방전 시간과 해상도에 의하여 야기되는 한계 때문에 한 번 신호를 변환할 때 사용하는 클럭의 수가 증가함에 따라 변환 속도를 향상시키기 어렵다는 문제가 있다.

[0003] 플래시 아날로그 디지털 변환기는 저항을 사용한 기준 전압 발생기, 샘플 앤드 홀드 증폭기와 비교기 배열을 사용하여 아날로그 신호를 디지털 신호로 변환해주는 장치로서, 단일 클럭만을 사용하여 가장 빠른 변환속도를 갖는 아날로그 디지털 변환기이다. 그러나 해상도가 증가함에 따라 사용되는 비교기의 수가 2의 지수적으로 증가하기 때문에 전력소모가 크고, 디지털 인코더 회로를 설계하기가 복잡해져 높은 해상도를 구현하기에 적합하지 않다는 문제가 있다.

[0004] 따라서 사용되는 비교기의 수를 제한하면서 변환 속도를 향상시키고 전력 소모를 억제하는 아날로그 디지털 변환기가 바람직하다.

선행기술문헌

특허문헌

- [0005] (특허문헌 0001) 한국등록특허 제10-0660958호(등록일: 2006.12.18., 발명의 명칭 : 축차 비교형 AD 변환기, 청구범위 제1항)가 있다.

발명의 내용

해결하려는 과제

- [0006] 본 발명은, 디지털 영역을 분할하여 상위 비트에 따라 하위 비트에서 사용되는 비교기를 결정하는 다단 비교기를 이용하는 플래시 축차비교형 아날로그 디지털 변환기를 제공하는 데 그 목적이 있다.

과제의 해결 수단

- [0007] 본 발명의 일 실시예에 따른 다단 비교기를 이용하는 플래시 축차비교형 아날로그 디지털 변환기는 입력 신호에 근거하여 기 설정된 수의 상위 비트를 결정하는 플래시 AD 변환부 및 상기 입력 신호 및 상기 상위 비트에 근거하여 기 설정된 수의 하위 비트를 결정하는 축차비교형 AD 변환부를 포함하되, 상기 플래시 AD 변환부가 결정하는 각 상위 비트는 별도의 비교기 단에 의하여 결정되는 것을 특징으로 한다.
- [0008] 바람직하게는, 상위 N번째 비트를 결정하는 비교기 단은 2^{N-1} 개의 비교기를 포함하고, 한 번에 상기 2^{N-1} 개의 비교기 중 상위 N-1 비트에 근거하여 결정되는 하나의 비교기를 구동한다.
- [0009] 바람직하게는, 상기 플래시 AD 변환부는 상기 입력 신호의 전압 범위를 2의 상기 상위 비트의 수 제곱 개의 구간으로 등분하는 기준 전압을 생성하는 기준 전압 생성부를 포함하고, 상기 각 비교기 단에 포함되는 각 비교기는 상기 기준 전압과 상기 입력 신호를 비교하여 상기 상위 비트를 결정한다.
- [0010] 바람직하게는, 외부 클럭을 입력받아 상기 각 비교기 단에 공급되는 클럭을 생성하는 클럭발생부를 더 포함하고, 상기 클럭발생부는 최상위 비트를 결정하는 비교기 단에 공급되는 제2 클럭을 상기 외부 클럭을 지연시켜 생성하고, 상위 N번째 비트를 결정하는 비교기 단에 공급되는 클럭을 상기 제2 클럭 및 상위 N-1번째 비트를 결정하는 비교기 단에 공급되는 클럭에 근거하여 생성한다.
- [0011] 바람직하게는, 상기 축차비교형 AD 변환부는 클럭 주기마다 상기 하위 비트 중 하나를 결정하는 커패시터 DA 변환기를 포함하고, 상기 커패시터 DA 변환기는 상기 상위 비트 및 하위 비트의 수를 합한 수 만큼의 스위치를 개폐하여 각 비트에 대응하는 커패시터의 충전 여부를 결정한다.
- [0012] 바람직하게는, 상기 스위치 중 상기 상위 비트에 대응하는 스위치는 상기 플래시 AD 변환부가 결정하는 상기 상위 비트에 의하여 개폐가 결정된다.
- [0013] 바람직하게는, 상기 스위치는 같은 수의 두 개의 그룹으로 나뉘어 각 그룹의 최 하위 비트에 대응하는 스위치로부터 상위 비트로 1 비트씩 올라갈 때마다 커패시터스가 배가되는 커패시터의 충전 여부를 결정하고, 상기 두 개의 그룹 사이에는 하나의 기 설정된 용량의 분할 커패시터가 연결된다.
- [0014] 바람직하게는, 상기 커패시터 DA 변환기는 기준 전압과 상기 각 비트에 대응하는 커패시터를 통과한 전압을 비교하여 클럭 주기마다 상기 하나의 하위 비트를 결정하는 고속 래치 비교기를 포함한다.

발명의 효과

- [0015] 본 발명에 따르면, 축차비교형 아날로그 디지털 변환기에서 디지털 영역을 분할하여 상위 비트에 따라 하위 비트에서 사용되는 비교기를 결정함으로써, 회로 전체에 사용되는 비교기의 수를 제한하고 회로의 전력 소모를 저

전력으로 유지하면서도 아날로그 디지털 변환의 속도를 고속화할 수 있다.

도면의 간단한 설명

- [0016] 도 1은 본 발명의 일 실시예에 따른 다단 비교기를 이용하는 플래시 축차비교형 아날로그 디지털 변환기의 블록도이다.
- 도 2는 본 발명의 일 실시예에 따른 다단 비교기를 이용하는 플래시 축차비교형 아날로그 디지털 변환기에 포함되는 클럭발생부의 회로도이다.
- 도 3은 본 발명의 일 실시예에 따른 다단 비교기를 이용하는 플래시 축차비교형 아날로그 디지털 변환기에 포함되는 커패시터 DA 변환기의 회로도이다.
- 도 4는 본 발명의 일 실시예에 따른 다단 비교기를 이용하는 플래시 축차비교형 아날로그 디지털 변환기에 포함되는 클럭발생부가 생성하는 클럭의 타이밍도이다.

발명을 실시하기 위한 구체적인 내용

- [0017] 이하에서는 본 발명에 따른 재구성 가능한 아날로그 프론트엔드 집적회로 및 이를 이용하는 초음파 영상시스템을 첨부된 도면들을 참조하여 상세하게 설명한다. 이러한 과정에서 도면에 도시된 선들의 두께나 구성요소의 크기 등은 설명의 명료성과 편의상 과장되게 도시되어 있을 수 있다. 또한, 후술되는 용어들은 본 발명에서의 기능을 고려하여 정의된 용어들로서 이는 사용자, 운용자의 의도 또는 관례에 따라 달라질 수 있다. 그러므로, 이러한 용어들에 대한 정의는 본 명세서 전반에 걸친 내용을 토대로 내려져야 할 것이다.
- [0018] 도 1은 본 발명의 일 실시예에 따른 다단 비교기를 이용하는 플래시 축차비교형 아날로그 디지털 변환기의 블록도이다.
- [0019] 도 1에 도시된 바와 같이, 본 발명의 일 실시예에 따른 다단 비교기를 이용하는 플래시 축차비교형 아날로그 디지털 변환기는, 플래시 AD 변환부(100) 및 축차비교형 AD 변환부(200)를 포함하여 이루어질 수 있다.
- [0020] 플래시 AD 변환부(100)는 입력 신호에 근거하여 기 설정된 수의 상위 비트를 결정한다. 예컨대, 전체 플래시 축차비교형 AD 변환기가 10 비트의 해상도를 가지는 경우 상위 비트를 2비트로 설정하고 하위 비트를 8비트로 설정할 수 있으며, 이 경우 플래시 AD 변환부(100)가 상위 2비트를 결정하고, 나머지 하위 8비트는 축차비교형 AD 변환부(200)가 결정하도록 할 수 있다.
- [0021] 이 때 플래시 AD 변환부(100)가 결정하는 각 상위 비트는 별도의 비교기 단(120, 130)에 의하여 결정될 수 있다. 이 때, 상위 N번째 비트를 결정하는 비교기 단은 2^{N-1} 개의 비교기를 포함하고, 상위 N-1 비트에 근거하여 결정되는 상기 2^{N-1} 개의 비교기 중 하나의 비교기를 한 번에 구동할 수 있다.
- [0022] 도 1에 도시된 예를 참조하면, 아날로그 입력 신호를 샘플링한 전압(V_{in})은 플래시 AD 변환부(100)로 입력되어 지연부(150)를 통하여 적절한 시간 만큼 지연된 뒤 비교기 단(120, 130)에 입력되며, 도 1의 예에서 플래시 AD 변환부(100)가 상위 2비트를 결정하므로, 2개의 비교기 단(120, 130)을 포함하고 최상위 비트를 결정하는 비교기 단(120)은 하나의 비교기(121)를 포함하며 상위 2번째 비트를 결정하는 비교기 단(130)은 두 개의 비교기(131, 132)를 포함할 수 있다.
- [0023] 이 때, 플래시 AD 변환부(100)는 입력 신호가 가질 수 있는 전압 범위를 2의 상기 상위 비트의 수 제곱 개의 구간으로 등분하는 기준 전압을 생성하는 기준 전압 생성부(110)를 포함할 수 있다. 기준 전압 생성부(110)는 전력소모를 저감하기 위하여 저항으로 구성될 수 있다. 도 1의 예에서, 입력 신호의 최대 전압은 제1 기준 전압(V_{ref})에 의하여 주어지며, 이 때 상위 비트의 수가 2이므로, 기준 전압 생성부(110)는 2의 2제곱인 4개의 구간으로 제1 기준 전압(V_{ref})을 등분하는 기준 전압을 생성하여 각 비교기(121, 131, 132)에 공급할 수 있다. 예컨대, 최상위 비트를 결정하는 비교기단(120)의 비교기(121)는 제1 기준 전압(V_{ref})의 절반을 공급받으며, 상위 두 번째 비트를 결정하는 비교기단(120)의 비교기(131, 132)는 각각 제1 기준 전압(V_{ref})의 3/4과 1/4 을 공급받을 수 있다. 이에 따라 각 비교기(121, 131, 132)는 입력 신호를 샘플링한 전압(V_{in})과 공급받은 기준 전압의 전위를 비교하여 각자가 담당하는 상위 비트를 결정할 수 있다. 즉, 각 비교기 단(120, 130)에 포함되는 각 비교기

(121, 131, 132)는 기준 전압과 입력 신호를 샘플링한 전압(V_{in})을 비교하여 상위 비트를 결정할 수 있다. 또한 이 때 결정된 최상위 비트에 따라서 두 번째 상위 비트를 결정하는 비교기단(130)이 어떤 비교기를 사용할 것인지를 결정할 수 있으며, 최상위 비트가 1인 경우 $3/4V_{ref}$ 를 공급받는 비교기(131)가 두 번째 상위 비트를 결정하는 데 사용되고, 최상위 비트가 0인 경우 $1/4V_{ref}$ 를 공급받는 비교기(132)가 두 번째 상위 비트를 결정하는 데 사용될 수 있다. 이 때 두 번째 비트를 결정하는 비교기단(130)에서 두 번째 상위 비트를 결정하는 데 사용되는 비교기만을 구동시킴으로써 일반적인 2비트 플래시 아날로그 디지털 일반적인 2비트 플래시 아날로그 디지털 변환기에 비하여 33%의 전력소모를 감소시킬 수 있다. 이를 구현하기 위해 두 개의 비교기단을 구성하는 데에 3개의 비교기가 필요하며 래치 비교기를 이용하여 정적 전류를 제거하여 저 전력 특성을 달성할 수 있다. 또한 입력 신호를 샘플링하는 샘플링부(150)는 증폭기를 사용하지 않는 저 전력 샘플링 및 홀드 회로에 의하여 구현되어 전력소모를 절감할 수 있다. 각 비교기단(120, 130)에 포함된 비교기의 출력은 인코더(160)로 공급되어 상위 비트를 나타내는 출력으로 변환되며 인코더(160)의 출력은 축차비교형 DA 변환부(200)가 결정하는 하위 비트와 타이밍을 일치시켜 출력 버퍼부(300)가 출력할 수 있도록 적절한 타이밍 만큼 지연부(140)에 의하여 지연되어 출력 버퍼부(300) 및 축차비교형 DA 변환부(200)로 공급될 수 있다. 이 때 상위 비트가 N비트일 경우 비교기단(120, 130)에는 모두 2^N-1 개의 비교기가 포함되며, 인코더(160)는 2^N-1 개의 비교기 출력을 입력받아 N비트로 인코딩하여 출력할 수 있다. 따라서 도 1의 예에서, 인코더(160)는 3비트 입력을 2비트로 인코딩하여 출력할 수 있다.

[0024] 이 때, 다단 비교기를 이용하는 플래시 축차비교형 아날로그 디지털 변환기는 외부 클럭을 입력받아 상기 각 비교기 단에 공급되는 클럭을 생성하는 클럭발생부(400)를 더 포함할 수 있다. 클럭발생부(400)는 최상위 비트를 결정하는 비교기 단(120)에 공급되는 제2 클럭을 외부 클럭을 지연시켜 생성하고, 상위 N번째 비트를 결정하는 비교기 단에 공급되는 클럭을 제2 클럭 및 N-1번째 비트를 결정하는 비교기 단에 공급되는 클럭에 근거하여 생성할 수 있다. 도 2는 본 발명의 일 실시예에 따른 다단 비교기를 이용하는 플래시 축차비교형 아날로그 디지털 변환기에 포함되는 클럭발생부(400)의 회로도이고, 도 4는 본 발명의 일 실시예에 따른 다단 비교기를 이용하는 플래시 축차비교형 아날로그 디지털 변환기에 포함되는 클럭발생부(400)가 생성하는 클럭의 타이밍도이다.

[0025] 도 2에 도시된 바와 같이, 도 1의 예에서, 클럭발생부(400)는 외부 클럭(Clk)을 입력받아 지연시켜 제2 클럭(Clk_b)을 생성하는 지연부(410)와 제2 클럭 및 최상위 비트를 결정하는 비교기(121)의 비교 결과에 근거하여 두 번째 비트를 결정하는 비교기 단(130)에 공급되는 클럭(2nd stage clk)을 생성하는 논리 게이트(420) 및 논리 게이트(420)가 생성한 클럭을 구동되는 두 번째 비트를 결정하는 비교기 단(130)의 비교기에 공급하도록 비교기를 선택하는 스위치(430)를 포함할 수 있다. 도 4를 참조하면 입력 신호를 샘플링한 후 첫 번째 비교기(121)에서 제1 기준전압의 절반과 입력 신호(V_{in})를 샘플링한 전압을 비교한 후 비교기(121)의 출력과 제2 클럭을 이용하여 두 번째 단(130)의 클럭을 생성하게 된다. 그럼에서 보듯 플래시 AD 변환부(100)의 변환 구간은 샘플링 신호와 SAR MSB 신호 사이에서 AD 변환기가 사용하는 클럭의 절반만을 사용한다. 여기에서 SAR MSB신호는 축차비교형 AD 변환부(200)의 커패시터 DA 변환기(210)에 최상위 비트의 스위치를 구동시키는 신호로서, 축차비교형 논리회로의 변환 시점을 나타내는 신호이다. SAR MSB 신호가 축차비교형 AD 변환부(200)의 스위치 제어부(220)에 공급되면 축차비교부(230)가 동작하기 시작하고, 이후 축차비교형 AD 변환부(200)는 일반적인 축차비교형 아날로그 디지털 변환기와 동일하게 동작할 수 있다.

[0026] 축차비교형 AD 변환부(200)는 입력 신호(V_{in}) 및 상위 비트에 근거하여 기 설정된 수의 하위 비트를 결정한다. 즉, 도 1의 예에서, 축차비교형 AD 변환부(200)는 총 10비트 중 하위 8비트를 결정할 수 있다. 이 때, 상기 축차비교형 AD 변환부는 클럭 주기마다 상기 하위 비트 중 하나를 결정하는 커패시터 DA 변환기(210)를 포함하고, 커패시터 DA 변환기(210)는 상위 비트 및 하위 비트의 수를 합한 수 만큼의 스위치를 개폐하여 각 비트에 대응하는 커패시터의 충전 여부를 결정할 수 있다. 도 3은 본 발명의 일 실시예에 따른 다단 비교기를 이용하는 플래시 축차비교형 아날로그 디지털 변환기에 포함되는 커패시터 DA 변환기(210)의 회로도이다. 스위치 중 상위 비트에 대응하는 스위치는 플래시 AD 변환부(100)가 결정하는 상위 비트에 의하여 개폐가 결정될 수 있다. 즉 스위치 제어부(220)는 인코더(160) 및 지연부(140)를 통하여 입력받은 상위 비트에 따라 커패시터 DA 변환기(210)의 최상위 비트를 개폐할 수 있다. 도 1 및 도 3의 예에서는 최상위 비트 2개에 해당하는 스위치가 상위 비트에 의하여 개폐될 수 있다.

[0027] 이 때, 스위치는 같은 수의 두 개의 그룹으로 나뉘어 각 그룹의 최 하위 비트에 대응하는 스위치로부터 상위 비트로 1 비트씩 올라갈 때마다 커패시턴스가 배가되는 커패시터의 충전 여부를 결정하고, 두 개의 그룹 사이에는

하나의 기 설정된 용량의 분할 커패시터가 연결될 수 있다. 도 1 및 도 3의 예에서는 총 10비트가 5비트의 그룹 두 개로 나뉘었으며 하위 5비트와 상위 5비트 사이에 분할 커패시터가 연결되었다. 일반적인 커패시터 DA 변환기는 해상도가 높아짐에 따라 사용되는 커패시터의 수가 2의 지수적으로 증가하게 되는데, 분할 커패시터를 사용하여 상위 5비트와 하위 5비트를 분할하여 전체 커패시턴스를 줄여 칩의 면적을 줄이고 변환 시에 커패시터에 충방전 시간을 줄일 수 있어 변환 속도를 향상과 동시에 동적 전력소모를 감소시킬 수 있다.

[0028] 또한 커패시터 DA 변환기(210)는 기준 전압과 상기 각 비트에 대응하는 커패시터를 통과한 전압을 비교하여 클럭 주기마다 상기 하나의 하위 비트를 결정하는 고속 래치 비교기(240)를 포함할 수 있다. 이렇게 커패시터 DA 변환기(210)에서 하나의 고속 래치 비교기(240)를 사용하여 클럭 주기에 해당하는 하위 비트를 결정하고 이러한 결정된 하위 비트가 축차비교부(230)에 의하여 저장되며, 하위 비트를 모두 결정할 때까지 스위치 제어부(220)에 의하여 현재까지 결정된 비트와 샘플링된 입력 신호(V_{in})에 근거하여 커패시터 DA 변환기가 생성하는 전압과 제1 기준 전압(V_{ref})의 비교를 반복함으로써 하위 비트를 모두 결정할 수 있다. 이와 같이 도 2의 예에서는 8비트인 하위 비트를 증폭기를 사용하지 않고 단 한 개의 고속 래치 비교기를 사용하여 축차 비교형 AD 변환부(200)를 구현함으로써 저 전력 특성을 향상시킬 수 있다.

[0029] 이상 살펴본 바와 같이 본 발명에 따르면, 축차비교형 아날로그 디지털 변환기에서 디지털 영역을 분할하여 상위 비트에 따라 하위 비트에서 사용되는 비교기를 결정함으로써, 회로 전체에 사용되는 비교기의 수를 제한하고 회로의 전력 소모를 저전력으로 유지하면서도 아날로그 디지털 변환의 속도를 고속화할 수 있다.

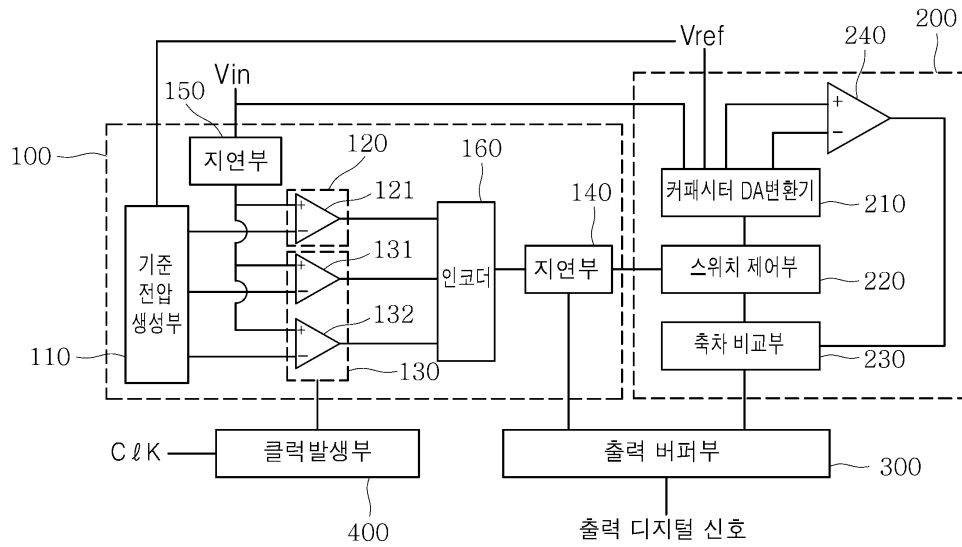
[0030] 본 발명은 도면에 도시된 실시예를 참고로 하여 설명되었으나, 이는 예시적인 것에 불과하며, 당해 기술이 속하는 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서 본 발명의 기술적 보호범위는 아래의 특허청구범위에 의해서 정하여져야 할 것이다.

부호의 설명

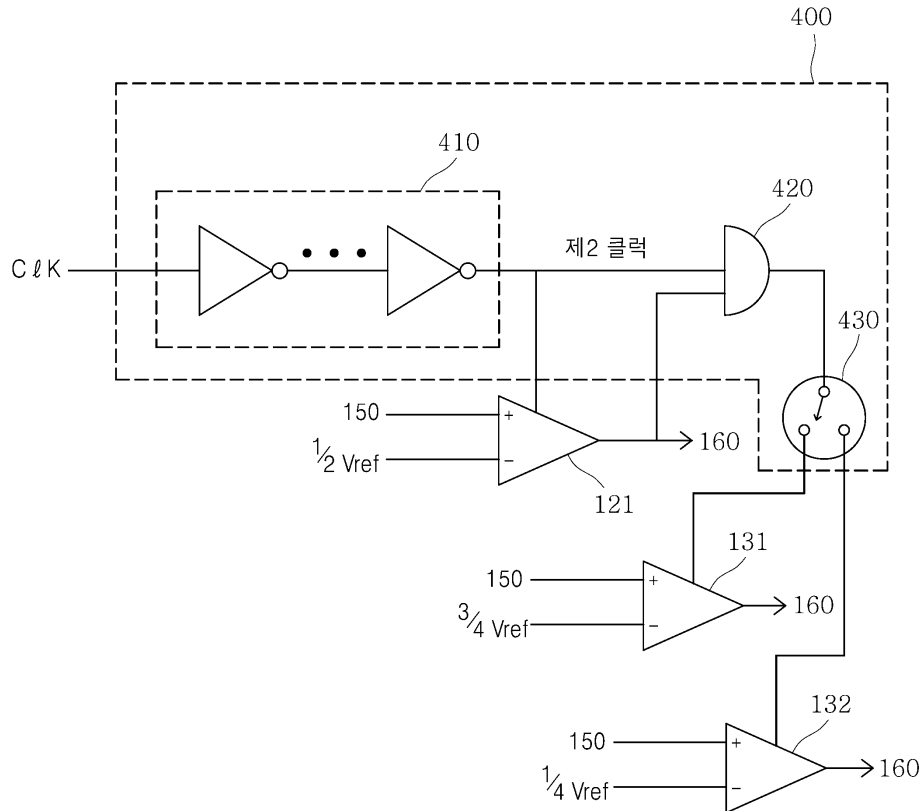
[0031] 100 : 플래시 AD 변환부 110 : 기준 전압 생성부
120, 130 : 비교기 단 121, 131, 132 : 비교기
140 : 지연부 150 : 샘플링부
160 : 인코더 200 : 축차비교형 AD 변환부
210 : 커패시터 AD 변환기 220 : 스위치 제어부
230 : 축차비교부 300 : 버퍼부
400 : 클럭발생부 V_{ref} : 제1 기준전압
 V_{in} : 입력신호 Clk : 외부 클럭
Clk_b : 제2 클럭

도면

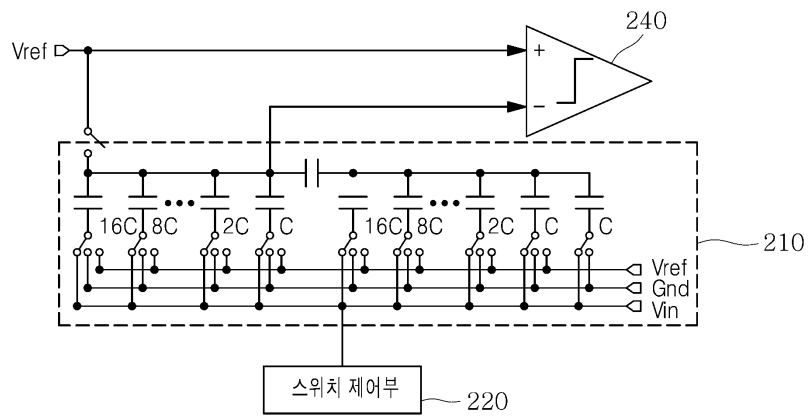
도면1



도면2



도면3



도면4

