



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2014년08월08일  
(11) 등록번호 10-1428787  
(24) 등록일자 2014년08월04일

(51) 국제특허분류(Int. Cl.)  
G11C 7/22 (2006.01) G11C 7/10 (2006.01)  
G11C 7/20 (2006.01)  
(21) 출원번호 10-2008-0006679  
(22) 출원일자 2008년01월22일  
심사청구일자 2012년12월28일  
(65) 공개번호 10-2008-0074730  
(43) 공개일자 2008년08월13일  
(30) 우선권주장  
JP-P-2007-00029287 2007년02월08일 일본(JP)  
(56) 선행기술조사문헌  
US20020167361 A1  
US20050140418 A1  
전체 청구항 수 : 총 8 항

(73) 특허권자  
가부시키가이샤 한도오파이 에네루기 켄큐쇼  
일본국 가나가와켄 아쓰기시 하세 398  
(72) 발명자  
쿠로카와 요시유키  
일본국 243-0036 가나가와켄 아쓰기시 하세 398  
가부시키가이샤한도오파이 에네루기 켄큐쇼 내  
이케다 타카유키  
일본국 243-0036 가나가와켄 아쓰기시 하세 398  
가부시키가이샤한도오파이 에네루기 켄큐쇼 내  
(뒷면에 계속)  
(74) 대리인  
황의만

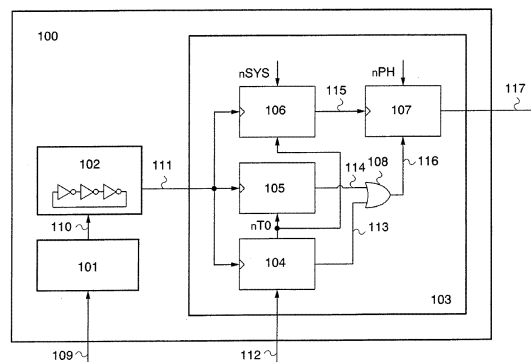
심사관 : 손윤식

(54) 발명의 명칭 클럭 신호 생성 회로 및 반도체 장치

(57) 요약

본 발명은, 제조 프로세스에 있어서의 편차가 원인인 동기 기간이나 동기 기간 종료 후의 자주(自走) 기간에서 주파수가 변동하지 않고, 안정한 동작을 실현하고, 또한, 싸 값의 반도체 장치를 제공한다. 제 1 기준 클럭 신호를 생성하는 기준 클럭 신호 생성 회로와, 제 1 기준 클럭 신호 및 동기 신호를 사용하여 제 1 기준 클럭 신호의 상승 엣지(rising edge)의 수를 계수하는 제 1 카운터 회로와, 제 1 카운터 회로의 계수 값을 사용하여 제 1 기준 클럭 신호의 상승 엣지의 수를 계수하는 제 2 카운터 회로와, 제 1 카운터 회로의 계수 값을 사용하여 제 1 기준 클럭 신호의 주파수를 분주(分周)하여 제 2 기준 클럭 신호를 생성하는 제 1 분주 회로와, 제 2 기준 클럭 신호의 주파수를 분주하여 클럭 신호를 생성하는 제 2 분주 회로를 가지는 클럭 신호 생성 회로를 반도체 장치에 탑재한다.

대표도



(72) 발명자

**엔도 마사미**

일본국 243-0036 가나가와켄 아쓰기시 하세 398 가  
부시키가이샤한도오따이 에네루기 켄큐쇼 내

**템보 히로키**

일본국 243-0036 가나가와켄 아쓰기시 하세 398 가  
부시키가이샤한도오따이 에네루기 켄큐쇼 내

**카와에 다이ске**

일본국 243-0036 가나가와켄 아쓰기시 하세 398 가  
부시키가이샤한도오따이 에네루기 켄큐쇼 내

**이노우에 타카유키**

일본국 243-0036 가나가와켄 아쓰기시 하세 398 가  
부시키가이샤한도오따이 에네루기 켄큐쇼 내

**코즈마 무네히로**

일본국 243-0036 가나가와켄 아쓰기시 하세 398 가  
부시키가이샤한도오따이 에네루기 켄큐쇼 내

## 특허청구의 범위

### 청구항 1

동기 신호를 사용하여 제 1 리셋 신호를 생성하고, 리셋 신호로서 상기 제 1 리셋 신호를 사용하여 제 1 기준 클록 신호의 상승 엣지(rising edge)의 수를 계수하는 제 1 카운터 회로;

상기 제 1 카운터 회로에 접속되고, 상기 제 1 카운터 회로에서의 계수 값을 사용하여 제 2 리셋 신호를 생성하고, 리셋 신호로서 상기 제 2 리셋 신호를 사용하여 상기 제 1 기준 클록 신호의 상승 엣지의 수를 계수하는 제 2 카운터 회로;

상기 제 1 카운터 회로에 접속되고, 리셋 신호로서 상기 제 1 리셋 신호를 사용하여 상기 제 1 기준 클록 신호의 주파수를 분주(分周)함으로써 제 2 기준 클록 신호를 생성하는 제 1 분주 회로;

상기 제 1 카운터 회로 및 상기 제 2 카운터 회로에 접속되고, 상기 제 1 리셋 신호와 상기 제 2 리셋 신호 중의 어느 하나를 제 3 리셋 신호로서 출력하는 리셋 신호 생성 회로; 및

상기 제 1 분주 회로 및 상기 리셋 신호 생성 회로에 접속되고, 리셋 신호로서 상기 제 3 리셋 신호를 사용하여 상기 제 2 기준 클록 신호의 주파수를 분주함으로써 클록 신호를 생성하는 제 2 분주 회로를 포함하는 클록 신호 생성 회로.

### 청구항 2

제 1 전원 전압을 사용하여 제 2 전원 전압을 생성하는 정(定)전압 회로;

상기 정전압 회로에 접속되고, 상기 제 2 전원 전압을 사용하여 제 1 기준 클록 신호를 생성하는 기준 클록 신호 생성 회로;

상기 기준 클록 신호 생성 회로에 접속되고, 동기 신호를 사용하여 제 1 리셋 신호를 생성하고, 리셋 신호로서 상기 제 1 리셋 신호를 사용하여 상기 제 1 기준 클록 신호의 상승 엣지의 수를 계수하는 제 1 카운터 회로;

상기 제 1 카운터 회로 및 상기 기준 클록 신호 생성 회로에 접속되고, 상기 제 1 카운터 회로에서의 계수 값을 사용하여 제 2 리셋 신호를 생성하고, 리셋 신호로서 상기 제 2 리셋 신호를 사용하여 상기 제 1 기준 클록 신호의 상승 엣지의 수를 계수하는 제 2 카운터 회로;

상기 제 1 카운터 회로 및 상기 기준 클록 신호 생성 회로에 접속되고, 리셋 신호로서 상기 제 1 리셋 신호를 사용하여 상기 제 1 기준 클록 신호의 주파수를 분주함으로써 제 2 기준 클록 신호를 생성하는 제 1 분주 회로;

상기 제 1 카운터 회로 및 상기 제 2 카운터 회로에 접속되고, 상기 제 1 리셋 신호와 상기 제 2 리셋 신호 중의 어느 하나를 제 3 리셋 신호로서 출력하는 리셋 신호 생성 회로; 및

상기 제 1 분주 회로 및 상기 리셋 신호 생성 회로에 접속되고, 리셋 신호로서 상기 제 3 리셋 신호를 사용하여 상기 제 2 기준 클록 신호의 주파수를 분주함으로써 클록 신호를 생성하는 제 2 분주 회로를 포함하는 클록 신호 생성 회로.

### 청구항 3

제 1 항 또는 제 2 항에 있어서, 상기 제 1 카운터 회로, 상기 제 2 카운터 회로, 상기 제 1 분주 회로, 및 상기 제 2 분주 회로 각각이, 플립플롭 회로와; 래치 회로, NOT 회로, AND 회로, OR 회로, NAND 회로, 및 NOR 회로 중의 적어도 하나를 포함하는, 클록 신호 생성 회로.

### 청구항 4

안테나;

상기 안테나로부터 수신한 신호로부터 전원 전압을 생성하는 RF 회로;

상기 안테나로부터 수신한 신호의 연산 처리를 행하는 논리 회로; 및

클록 신호 생성 회로를 포함하고,

상기 클록 신호 생성 회로는,

동기 신호를 사용하여 제 1 리셋 신호를 생성하고, 리셋 신호로서 상기 제 1 리셋 신호를 사용하여, 상기 전원 전압에 의거하여 생성된 제 1 기준 클록 신호의 상승 엣지의 수를 계수하는 제 1 카운터 회로;

상기 제 1 카운터 회로에 접속되고, 상기 제 1 카운터 회로에서의 계수 값을 사용하여 제 2 리셋 신호를 생성하고, 리셋 신호로서 상기 제 2 리셋 신호를 사용하여 상기 제 1 기준 클록 신호의 상승 엣지의 수를 계수하는 제 2 카운터 회로;

상기 제 1 카운터 회로에 접속되고, 리셋 신호로서 상기 제 1 리셋 신호를 사용하여 상기 제 1 기준 클록 신호의 주파수를 분주함으로써 제 2 기준 클록 신호를 생성하는 제 1 분주 회로;

상기 제 1 카운터 회로 및 상기 제 2 카운터 회로에 접속되고, 상기 제 1 리셋 신호와 상기 제 2 리셋 신호 중의 어느 하나를 제 3 리셋 신호로서 출력하는 리셋 신호 생성 회로; 및

상기 제 1 분주 회로 및 상기 리셋 신호 생성 회로에 접속되고, 리셋 신호로서 상기 제 3 리셋 신호를 사용하여 상기 제 2 기준 클록 신호의 주파수를 분주함으로써 클록 신호를 생성하는 제 2 분주 회로를 포함하는, 반도체 장치.

## 청구항 5

안테나;

상기 안테나로부터 수신한 신호로부터 제 1 전원 전압을 생성하는 RF 회로;

상기 안테나로부터 수신한 신호의 연산 처리를 행하는 논리 회로; 및

클록 신호 생성 회로를 포함하고,

상기 클록 신호 생성 회로는,

상기 제 1 전원 전압을 사용하여 제 2 전원 전압을 생성하는 정전압 회로;

상기 정전압 회로에 접속되고, 상기 제 2 전원 전압을 사용하여 제 1 기준 클록 신호를 생성하는 기준 클록 신호 생성 회로;

상기 기준 클록 신호 생성 회로에 접속되고, 동기 신호를 사용하여 제 1 리셋 신호를 생성하고, 리셋 신호로서 상기 제 1 리셋 신호를 사용하여 상기 제 1 기준 클록 신호의 상승 엣지의 수를 계수하는 제 1 카운터 회로;

상기 제 1 카운터 회로 및 상기 기준 클록 신호 생성 회로에 접속되고, 상기 제 1 카운터 회로에서의 계수 값을 사용하여 제 2 리셋 신호를 생성하고, 리셋 신호로서 상기 제 2 리셋 신호를 사용하여 상기 제 1 기준 클록 신호의 상승 엣지의 수를 계수하는 제 2 카운터 회로;

상기 제 1 카운터 회로 및 상기 기준 클록 신호 생성 회로에 접속되고, 리셋 신호로서 상기 제 1 리셋 신호를 사용하여 상기 제 1 기준 클록 신호의 주파수를 분주함으로써 제 2 기준 클록 신호를 생성하는 제 1 분주 회로;

상기 제 1 카운터 회로 및 상기 제 2 카운터 회로에 접속되고, 상기 제 1 리셋 신호와 상기 제 2 리셋 신호 중의 어느 하나를 제 3 리셋 신호로서 출력하는 리셋 신호 생성 회로; 및

상기 제 1 분주 회로 및 상기 리셋 신호 생성 회로에 접속되고, 리셋 신호로서 상기 제 3 리셋 신호를 사용하여 상기 제 2 기준 클록 신호의 주파수를 분주함으로써 클록 신호를 생성하는 제 2 분주 회로를 포함하는, 반도체 장치.

## 청구항 6

제 4 항 또는 제 5 항에 있어서, 상기 제 1 카운터 회로, 상기 제 2 카운터 회로, 상기 제 1 분주 회로, 및 상기 제 2 분주 회로 각각이, 플립플롭 회로와; 래치 회로, NOT 회로, AND 회로, OR 회로, NAND 회로,

및 NOR 회로 중의 적어도 하나를 포함하는, 반도체 장치.

#### 청구항 7

제 4 항 또는 제 5 항에 있어서, 상기 RF 회로가 전원 회로, 복조 회로, 및 변조 회로를 포함하는, 반도체 장치.

#### 청구항 8

제 4 항 또는 제 5 항에 있어서, 상기 논리 회로가 제어 회로, 중앙 연산 장치, ROM, 및 RAM을 포함하는, 반도체 장치.

#### 청구항 9

삭제

#### 청구항 10

삭제

#### 청구항 11

삭제

#### 청구항 12

삭제

### 명세서

#### 발명의 상세한 설명

##### 기술 분야

[0001] 본 발명은, 클럭 신호를 생성하는 회로에 관한 것이다. 또한, 그러한 클럭 신호를 생성하는 회로를 탑재하는 반도체 장치에 관한 것이다.

##### 배경 기술

[0002] 근년, 초소형 IC 칩과 무선 통신용 안테나를 조합한 반도체 장치(RFID 태그(tag), 무선 태그, ID 태그, RF 태그라고도 불린다)가 각광을 받고 있다. 이 반도체 장치는, 무선 통신 장치(리더/라이터(reader/writer), 휴대 전화기, 또는 퍼서널 컴퓨터 등, 무선에 의한 통신이 가능한 것)를 사용한 통신 신호의 수수(授受)에 의하여, 데이터를 기입하기 또는 데이터를 판독하기 등의 데이터 송수신을 비접촉으로 행할 수 있다.

[0003] 무선 신호에 의하여 데이터 송수신을 행하는 반도체 장치의 응용 분야로서, 예를 들면, 유통 업계에서의 상품 관리를 들 수 있다. 현재는, 바코드 등을 이용한 상품 관리가 주류이지만, 바코드는 광학적으로 판독하기 때문에, 차폐물이 있으면, 데이터를 판독할 수 없는 경우가 있다. 한편, 무선 통신 장치를 사용하여 비접촉으로 데이터 송수신을 행하는 방식에서는, 반도체 장치의 데이터를 무선으로 판독하기 때문에, 무선에 의한 통신 신호가 차폐물을 통과하면 차폐물이 있어도 판독할 수 있다. 따라서, 상품 관리의 효율화, 저비용화 등이 기대된다. 그 외에도, 승차권, 항공여객권, 요금 자동정산 등, 광범위한 응용이 기대된다. 이와 같이, 무선 통신에 의하여 데이터 송수신을 행하는 소형의 반도체 장치에 의하여 인간이나 물건을 식별, 관리하는 방식은 RFID(Radio Frequency Identification)라고 불리고, IT화 사회의 기반 기술로서 많이 주목을 받고 있다.

[0004] RFID 기술은 유비쿼터스 컴퓨팅(ubiquitous computing) 시대에 있어서의 중심 기술의 하나이다. 그렇지만, RFID 기술의 근본을 이루는 RFID 태그에는, 다음과 같은 과제가 있다. 예를 들면, 물리적 유연성, 고 기밀성(機密性), 경제성 등이다. 이들 요구에 대하여, 가요성 기판 또는 유리 기판 위에 형성한, HF 대역(13.56 MHz)의 무선 신호를 사용하는 반도체 장치(이하, HF판(版) 무선 통신 CPU) 등을 들 수 있다(문헌 1 참조).

[0005] 또한, 상기 HF판 무선 통신 CPU 이상의 더욱 기능적인 RFID 시스템을 구축하기 위해, RFID 태그에 고기능화가 계속해서 요구된다. 예를 들면, 통신 거리의 연장, 저소비전력화, 암호 기능의 강화(내(耐) 사이드 채

널(side-channel) 공격) 등이다. 예를 들면, 내 사이드 채널 공격 기능으로서, Transformed Masking Method(문헌 2 참조) 등을 들 수 있다.

[0006] [문헌 1] H. Dembo et al. "RfCPUs on Glass and Plastic Substrates Fabricated by TFT Transfer Technology" IEDM Tech. Dig. Papers, pp. 1067-1069, 2005.

[0007] [문헌 2] M. Akkar and C. Giraud, "An implementation of DES and AES, secure against some attacks" Proceedings of CHES 2001, LNCS 2162, pp. 309-318, 2001.

## 발명의 내용

### 해결 하고자하는 과제

[0008] 무선 신호에 의하여 데이터 송수신을 행하는 반도체 장치에는, 통신 거리의 연장, 저소비전력화, 칩의 소형화, 암호 통신의 고신뢰성 등, 매우 높은 성능이 요구된다. 통신 거리의 연장은, 예를 들면, UHF 대역(915 MHz)의 무선 신호를 사용하는 것을 들 수 있다. UHF 대역의 무선 신호는, HF 대역의 무선 신호보다 원리적으로 장거리 통신이 가능하기 때문에, 통신 거리의 연장에 대하여 유효하다. 그러나, UHF 대역의 통신 신호를 사용하는 경우에는, 반도체 장치 내부에서, 안정한 클록 신호의 생성 등, 회로 설계상의 과제도 많기 때문에, HF판 무선 통신 CPU로부터 대폭으로 설계를 재검토할 필요가 있다.

[0009] 또한, 클록 신호를 생성하는 클록 신호 생성 회로로서는, 일반적으로 PLL 회로가 사용되는 경우가 많다. PLL 회로는, 전압 제어 발진 회로(Voltage Control Oscillator: VCO), 루프 필터 회로, 위상 비교 회로, 분주 회로 등으로부터 구성된다. 그러나, 무선 신호에 의하여 데이터 송수신을 행하는 반도체 장치에 탑재하는 경우에는, 안정한 클록 신호를 얻는 것은 어렵다. 예를 들면, 동기 기간 종료 후의 자주(自走) 기간 중에, VCO에서의 전원 전압이 변동하는 경우가 있다. 또한, 동기 기간 중에 클록 신호의 주파수가 안정 값에 도달하지 않는 경우도 있다. 이들은, 제조 프로세스에 있어서의 칩의 특성이 불규칙하게 되는 것 등에 기인하지만, 클록 신호의 주파수가 변동하거나 혹은 비규정치로 되는 것을 의미한다. 따라서, 반도체 장치의 오동작의 원인이 된다. 또한, 무선 신호에 의하여 데이터 송수신을 행하는 반도체 장치에는, 저비용으로 제공하는 것도 요구되기 때문에, 무척대고 비싼 값의 제조 프로세스를 적용할 수 없다.

[0010] 본 발명은 상기 문제를 감안하여 된 것으로, 안정한 클록 신호를 공급할 수 있는 클록 신호 생성 회로를 구비함으로써, 동작이 안정한 반도체 장치를 저비용으로 제공하는 것을 목적으로 한다.

### 과제 해결수단

[0011] 본 발명의 일 형태는, 제 1 기준 클록 신호 및 동기 신호가 입력되고, 동기 신호를 사용하여 제 1 리셋 신호를 생성하고, 제 1 리셋 신호에 따라 제 1 기준 클록 신호의 상승 엣지(rising edge)의 수를 계수하는 제 1 카운터 회로와; 제 1 카운터 회로에 접속되고, 제 1 기준 클록 신호가 입력되고, 제 1 카운터 회로의 계수 값을 사용하여 제 2 리셋 신호를 생성하고, 제 2 리셋 신호에 따라 제 1 기준 클록 신호의 상승 엣지의 수를 계수하는 제 2 카운터 회로와; 제 1 카운터 회로에 접속되고, 제 1 기준 클록 신호 및 제 1 리셋 신호가 입력되고, 제 1 리셋 신호에 따라 제 1 기준 클록 신호의 주파수를 분주(分周)함으로써 제 2 기준 클록 신호를 생성하는 제 1 분주 회로와; 제 1 카운터 회로 및 제 2 카운터 회로에 접속되고, 제 1 리셋 신호와 제 2 리셋 신호 중의 어느 하나가 입력되고, 입력된 어느 리셋 신호를 제 3 리셋 신호로서 제 2 분주 회로에 출력하는 리셋 신호 생성 회로와; 제 1 분주 회로 및 리셋 신호 생성 회로에 접속되고, 제 2 기준 클록 신호 및 제 3 리셋 신호가 입력되고, 제 3 리셋 신호에 따라 제 2 기준 클록 신호의 주파수를 분주함으로써 클록 신호를 생성하는 제 2 분주 회로를 포함하는 클록 신호 생성 회로이다.

[0012] 본 발명의 클록 신호 생성 회로에서, 제 1 카운터 회로, 제 2 카운터 회로, 제 1 분주 회로, 및 제 2 분주 회로 각각이, 플립플롭 회로와; 래치 회로, NOT 회로, AND 회로, OR 회로, NAND 회로, 및 NOR 회로 중의 어느 하나 또는 다수를 가지는 구성으로 할 수 있다.

[0013] 본 발명의 일 형태는, 제 1 전원 전압을 사용하여 제 2 전원 전압을 생성하는 정(定)전압 회로와; 정전압 회로에 접속되고, 제 2 전원 전압을 사용하여 제 1 기준 클록 신호를 생성하는 기준 클록 생성 회로와; 기준 클록 신호 생성 회로에 접속되고, 제 1 기준 클록 신호 및 동기 신호가 입력되고, 동기 신호를 사용하여 제 1 리셋 신호를 생성하고, 제 1 리셋 신호에 따라 제 1 기준 클록 신호의 상승 엣지의 수를 계수하는 제 1 카운터 회로와; 기준 클록 신호 생성 회로 및 제 1 카운터 회로에 접속되고, 제 1 기준 클록 신호가 입력되고, 제 1 카

운터 회로의 계수 값을 사용하여 제 2 리셋 신호를 생성하고, 제 2 리셋 신호에 따라 제 1 기준 클록 신호의 상승 엣지의 수를 계수하는 제 2 카운터 회로와; 기준 클록 신호 생성 회로 및 제 1 카운터 회로에 접속되고, 제 1 기준 클록 신호 및 제 1 리셋 신호가 입력되고, 제 1 리셋 신호에 따라 제 1 기준 클록 신호의 주파수를 분주함으로써 제 2 기준 클록 신호를 생성하는 제 1 분주 회로와; 제 1 카운터 회로 및 제 2 카운터 회로에 접속되고, 제 1 리셋 신호와 제 2 리셋 신호 중의 어느 하나가 입력되고, 입력된 어느 리셋 신호를 제 3 리셋 신호로서 제 2 분주 회로에 출력하는 리셋 신호 생성 회로와; 제 1 분주 회로 및 리셋 신호 생성 회로에 접속되고, 제 2 기준 클록 신호 및 제 3 리셋 신호가 입력되고, 제 3 리셋 신호에 따라 제 2 기준 클록 신호의 주파수를 분주함으로써 클록 신호를 생성하는 제 2 분주 회로를 포함하는 클록 신호 생성 회로이다.

[0014] 본 발명의 클록 신호 생성 회로에서, 제 1 카운터 회로, 제 2 카운터 회로, 제 1 분주 회로, 및 제 2 분주 회로 각각이, 플립플롭 회로와; 래치 회로, NOT 회로, AND 회로, OR 회로, NAND 회로, NOR 회로 중의 어느 하나 또는 다수를 가지는 구성으로 하여도 좋다.

[0015] 본 발명의 일 형태는, 안테나와, 클록 신호 생성 회로와, 안테나로부터 수신한 신호로부터 전원 전압을 생성하는 RF 회로와, 안테나로부터 수신한 신호의 연산 처리를 행하는 논리 회로를 포함하는, 안테나를 통하여 무선 통신 장치와 무선으로 신호의 송수신을 행하는 반도체 장치로서, 클록 신호 생성 회로는, 전원 전압에 의거하여 생성된 제 1 기준 클록 신호 및 동기 신호가 입력되고, 동기 신호를 사용하여 제 1 리셋 신호를 생성하고, 제 1 리셋 신호에 따라 제 1 기준 클록 신호의 상승 엣지의 수를 계수하는 제 1 카운터 회로와; 제 1 카운터 회로에 접속되고, 제 1 기준 클록 신호가 입력되고, 제 1 카운터 회로의 계수 값을 사용하여 제 2 리셋 신호를 생성하고, 제 2 리셋 신호에 따라 제 1 기준 클록 신호의 상승 엣지의 수를 계수하는 제 2 카운터 회로와; 제 1 카운터 회로에 접속되고, 제 1 기준 클록 신호 및 제 1 리셋 신호가 입력되고, 제 1 리셋 신호에 따라 제 1 기준 클록 신호의 주파수를 분주함으로써 제 2 기준 클록 신호를 생성하는 제 1 분주 회로와; 제 1 카운터 회로 및 제 2 카운터 회로에 접속되고, 제 1 리셋 신호와 제 2 리셋 신호 중의 어느 하나가 입력되고, 입력된 어느 리셋 신호를 제 3 리셋 신호로서 제 2 분주 회로에 출력하는 리셋 신호 생성 회로와; 제 1 분주 회로 및 리셋 신호 생성 회로에 접속되고, 제 2 기준 클록 신호 및 제 3 리셋 신호가 입력되고, 제 3 리셋 신호에 따라 제 2 기준 클록 신호의 주파수를 분주함으로써 클록 신호를 생성하는 제 2 분주 회로를 포함하는, 반도체 장치이다.

[0016] 본 발명의 일 형태는, 안테나와, 클록 신호 생성 회로와, 안테나로부터 수신한 신호로부터 제 1 전원 전압을 생성하는 RF 회로와, 안테나로부터 수신한 신호의 연산 처리를 행하는 논리 회로를 포함하는, 안테나를 통하여 무선 통신 장치와 무선으로 신호의 송수신을 행하는 반도체 장치로서, 클록 신호 생성 회로는, 제 1 전원 전압을 사용하여 제 2 전원 전압을 생성하는 정전압 회로와; 정전압 회로에 접속되고, 제 2 전원 전압을 사용하여 제 1 기준 클록 신호를 생성하는 기준 클록 신호 생성 회로와; 기준 클록 신호 생성 회로에 접속되고, 제 1 기준 클록 신호 및 동기 신호가 입력되고, 동기 신호를 사용하여 제 1 리셋 신호를 생성하고, 제 1 리셋 신호에 따라 제 1 기준 클록 신호의 상승 엣지의 수를 계수하는 제 1 카운터 회로와; 기준 클록 신호 생성 회로 및 제 1 카운터 회로에 접속되고, 제 1 기준 클록 신호가 입력되고, 제 1 카운터 회로의 계수 값을 사용하여 제 2 리셋 신호를 생성하고, 제 2 리셋 신호에 따라 제 1 기준 클록 신호의 상승 엣지의 수를 계수하는 제 2 카운터 회로와; 기준 클록 신호 생성 회로 및 제 1 카운터 회로에 접속되고, 제 1 기준 클록 신호 및 제 1 리셋 신호가 입력되고, 제 1 리셋 신호에 따라 제 1 기준 클록 신호의 주파수를 분주함으로써 제 2 기준 클록 신호를 생성하는 제 1 분주 회로와; 제 1 카운터 회로 및 제 2 카운터 회로에 접속되고, 제 1 리셋 신호와 제 2 리셋 신호 중의 어느 하나가 입력되고, 입력된 어느 리셋 신호를 제 3 리셋 신호로서 제 2 분주 회로에 출력하는 리셋 신호 생성 회로와; 제 1 분주 회로 및 리셋 신호 생성 회로에 접속되고, 제 2 기준 클록 신호 및 제 3 리셋 신호가 입력되고, 제 3 리셋 신호에 따라 제 2 기준 클록 신호의 주파수를 분주함으로써 클록 신호를 생성하는 제 2 분주 회로를 포함하는, 반도체 장치이다.

[0017] 본 발명의 반도체 장치에서, 제 1 카운터 회로, 제 2 카운터 회로, 제 1 분주 회로, 및 제 2 분주 회로 각각은, 플립플롭 회로와; 래치 회로, NOT 회로, AND 회로, OR 회로, NAND 회로, NOR 회로 중의 어느 하나 또는 다수를 가져도 좋다.

[0018] 본 발명의 반도체 장치에서, RF 회로는, 전원 회로, 복조 회로, 및 변조 회로를 가져도 좋다.

[0019] 본 발명의 반도체 장치에서, 논리 회로는, 제어 회로, 중앙 연산 장치, ROM, 및 RAM을 가져도 좋다.

[0020] 본 발명은, 입력된 제 1 기준 클록 신호 및 동기 신호를 사용하여 제 1 기준 클록 신호의 상승 엣지의 수를 계수하는 제 1 카운터 회로와, 제 1 카운터 회로의 계수 값을 사용하여 제 1 기준 클록 신호의 상승 엣지



의 수를 계수하는 제 2 카운터 회로와, 제 1 카운터 회로의 계수 값을 사용하여 제 1 기준 클럭 신호의 주파수를 분주하여 제 2 기준 클럭 신호를 생성하는 제 1 분주 회로와, 제 2 기준 클럭 신호의 주파수를 분주하여 클럭 신호를 생성하는 제 2 분주 회로를 구비한 클럭 신호 생성 회로를 사용하여, 동기 기간 종료 후의 자주 기간에서도, 일정한 주파수의 클럭 신호를 생성하는 반도체 장치를 제작하는 것을 특징으로 한다.

## 효 과

[0021] 본 발명에 의하여, 안정한 클럭 신호를 생성할 수 있고, 동작이 안정한 클럭 신호 생성 회로, 및 이 클럭 신호 생성 회로를 구비한 반도체 장치를싼 값으로 제공할 수 있다.

## 발명의 실시를 위한 구체적인 내용

[0022] 이하에, 본 발명의 실시형태를 도면에 의거하여 설명한다. 그러나, 본 발명은 많은 다른 양태로 실시하는 것이 가능하고, 본 발명의 형태 및 상세한 사항은 본 발명의 취지 및 범위에서 벗어남이 없이 다양하게 변경될 수 있다는 것은 당업자라면 용이하게 이해할 수 있다. 따라서, 본 발명이 하기 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다. 또한, 실시형태를 설명하기 위한 모든 도면에서, 동일 부분 또는 동일 기능을 가지는 부분에는 동일한 부호를 붙이고, 그의 반복 설명은 생략한다.

[0023] [실시형태 1]

[0024] 본 실시형태에서는, 본 발명의 클럭 신호 생성 회로에 대하여 설명한다.

[0025] 본 발명의 클럭 신호 생성 회로의 블록도를 도 1에 나타낸다. 도 1에서, 클럭 신호 생성 회로(클럭 제너레이터라고도 한다)(100)는, 정(定)전압 회로(레귤레이터라고도 한다)(101)와, 기준 클럭 신호 생성 회로(102)와, 카운터 군(群)(103)을 가진다. 카운터 군(103)은 제 1 카운터 회로(104)와, 제 2 카운터 회로(105)와, 제 1 분주 회로(106)와, 제 2 분주 회로(107)와, 리셋 신호 생성 회로(108)를 가진다.

[0026] 다음에, 클럭 신호 생성 회로(100)에 있어서의 각 구성의 접속 관계에 대하여 설명한다.

[0027] 정전압 회로(101)는 기준 클럭 신호 생성 회로(102)와 접속되고, 기준 클럭 신호 생성 회로(102)는 제 1 카운터 회로(104), 제 2 카운터 회로(105), 및 제 1 분주 회로(106)와 접속된다. 제 1 카운터 회로(104)는 제 2 카운터 회로(105), 제 1 분주 회로(106), 및 리셋 신호 생성 회로(108)와 접속되고, 제 2 카운터 회로(105)는 리셋 신호 생성 회로(108)와 접속되고, 제 1 분주 회로(106)는 제 2 분주 회로(107)와 접속된다.

[0028] 정전압 회로(101)는 제 1 전원 전압(VDD<sub>CG</sub>)(109)으로부터, 전압 값이 일정한 제 2 전원 전압(VDD<sub>RO</sub>)(110)을 생성하여, 기준 클럭 신호 생성 회로(102)에 공급하는 기능을 가진다.

[0029] 기준 클럭 신호 생성 회로(102)는 제 2 전원 전압(110)을 사용하여, 주파수 f<sub>RO</sub>를 가지는 제 1 기준 클럭 신호(CLK<sub>RO</sub>)(111)를 생성하는 기능을 가진다. 기준 클럭 신호 생성 회로(102)로서, 예를 들면, 링 발진기(ring oscillator) 또는 수정 발진기 등을 사용할 수 있다. 또한, 이하의 설명에서는, 제 1 기준 클럭 신호(111)의 주파수는 동기(SYNC) 기간 및 비동기(비(非)SYNC) 기간에서 각각 f<sub>ROS</sub> 및 f<sub>RONs</sub>로 한다.

[0030] 제 1 카운터 회로(104)는 동기 기간에서, 주기 T<sub>0</sub>에서 유효하게 되는 동기 신호(SYNC)(112)를 사용하여 제 1 리셋 신호(RST<sub>MASTER</sub>)(113)를 생성하는 것과 함께, 제 1 리셋 신호(113)를 리셋 신호로 하여 제 1 기준 클럭 신호(111)의 상승 엣지의 수를 계수한다. 또한, 여기서, (nT<sub>0</sub>-1)/f<sub>ROS</sub> ≤ T<sub>0</sub> < (nT<sub>0</sub>+1)/f<sub>ROS</sub>의 관계가 성립한다. 부등호는 T<sub>0</sub>를 양자화(量子化)하는 것에 의한 오차를 포함하는 것을 의미한다.

[0031] 또한, 본 명세서에서, "신호가 유효하게 되는"("어서트(assert)되는" 이라고도 한다) 이란, 전기 회로에서의 신호 또는 논리가 유효하게 되는(액티브로 되는) 것과 같은 의미이다. 전기 회로의 경우, 전압 레벨을 제어함으로써, 전류의 방향이나 전류의 유무 등이 결정되고, 전류의 방향이나 전류의 유무에 따라 온(ON) 또는 오프(OFF)를 표현하지만, 목적에 따라 이 표현 방법이 혼재하여 사용되기 때문에, 해석이 곤란하다. 따라서, 신호가 유효인가 무효인가에 따라 표현함으로써 전압 레벨에 관계 없이 신호의 상태를 표현할 수 있다.

[0032] 제 2 카운터 회로(105)는 동기 기간 및 비동기 기간에서, 제 1 기준 클럭 신호(111)의 상승 엣지의 수를 nT<sub>0</sub>개 계수할 때마다, 제 2 리셋 신호(RST<sub>SLAVE</sub>)(114)를 생성한다. 즉, 제 2 리셋 신호(114)는 주기 T<sub>ONS</sub> =



$n_{T0}/f_{RONS}$ 의 펄스 신호가 된다.

- [0033] 제 1 분주 회로(106)에서는, 제 1 리셋 신호(113)를 리셋 신호로 하여 제 1 기준 클록 신호(111)를 분주하고, 제 2 기준 클록 신호( $CLK_{SYS}$ )(115)를 생성한다.
- [0034] 본 실시형태에서, 리셋 신호 생성 회로(108)는 OR 회로로 구성되고, 제 1 카운터 회로(104) 또는 제 2 카운터 회로(105)로부터 리셋 신호가 입력된 경우에 제 3 리셋 신호(116)를 제 2 분주 회로(107)에 출력하는 기능을 가진다.
- [0035] 제 2 분주 회로(107)는 제 2 기준 클록 신호(115)에 의해 구동되고, 제 3 리셋 신호( $RST_{PH} = RST_{MASTER}$  또는  $RST_{SLAVE}$ )(116)를 리셋 신호로 하여 제 2 기준 클록 신호(115)를 분주하고, 논리 회로의 클록 신호(PH)(117)를 생성한다.
- [0036] 또한, 여기서,  $T_0$ 는 통신 규격에 의해 결정되는 값이다. 또한,  $n_{T0}$  및  $n_{SYS}$ 는 설계 사양에 의해 결정되는 정수(整數) 값이다.
- [0037] 다음에, 클록 신호 생성 회로(100)의 동작에 대하여 도 8 및 도 16의 타이밍 차트를 사용하여 보다 상세히 설명한다. 또한, 도 8에서, 제 1 신호 파형(801)은 동기 신호(112)의 신호 파형, 제 2 신호 파형(802)은 제 1 카운터 회로(104)의 계수 값, 제 3 신호 파형(803)은 제 2 카운터 회로(105)의 계수 값, 제 4 신호 파형(804)은 제 1 리셋 신호(113)의 신호 파형, 제 5 신호 파형(805)은 제 2 리셋 신호(114)의 신호 파형, 제 6 신호 파형(806)은 제 2 기준 클록 신호(115)의 신호 파형, 제 7 신호 파형(807)은 클록 신호(117)의 신호 파형에 각각 대응한다.
- [0038] 동기 기간(SYNC 기간)(808)에서는, 동기 신호(112)는, 제 1 신호 파형(801)에 나타내는 바와 같이, 각각 주기  $T_0$ 에서 신호가 유효하게 됨으로써, 제 1 카운터 회로(104)에서는, 동기 신호(112)를 사용하여 제 4 신호 파형(804)과 같은 제 1 리셋 신호(113)를 생성한다. 구체적으로는, 동기 신호(112)를, 제 1 기준 클록 신호(111)를 사용하여 동작시키는 플립플롭 회로에 입력함으로써, 제 1 기준 클록 신호(111)에 동기시킨 신호를 생성한다.
- [0039] 제 1 카운터 회로(104)에서는, 제 1 리셋 신호(113)를 리셋 신호로 하여 제 1 기준 클록 신호(111)의 상승 엣지의 수를 계수한다. 계수 값(카운트 값)은 제 2 신호 파형(802) 처럼 된다. 또한, 계수는 다음에 동기 신호(112)가 유효가 될 때까지 계속되고, 이 시점에서의 계수 값  $n_{T0}$ 를 제 2 카운터 회로(105) 및 제 1 분주 회로(106)에 공급한다.
- [0040] 또한, 본 명세서에서, 계수하는 것이란, 단위 시간당의 신호의 상승 엣지의 수를 카운트하는 것과 같은 의미이다.
- [0041] 비동기 기간(비SYNC 기간)(809)에서는, 동기 신호(112)가 무효 상태이기 때문에, 제 1 카운터 회로(104)는 계속해서 계수한다. 또한, 제 1 리셋 신호(113)가 생성되지 않기 때문에, 계수 값  $n_{T0}$ 는 갱신되지 않는다.
- [0042] 제 2 카운터 회로(105)에서는, 제 1 카운터 회로(104)에서 계수된 계수 값  $n_{T0}$ 를 정상 값인지 아닌지를 판정하고, 정상 값이라고 판정한 경우에는, 제 1 기준 클록 신호(111)의 상승 엣지의 수의 계수를 시작한다. 또한, 계수 값에 관해서는, 화살표(118) 및 화살표(119)로 나타내는 바와 같이, 제 2 카운터 회로(105)에서 계수를 행하는 기간 직전의 기간  $T_0$ 에서, 제 1 카운터 회로(104)에서 계수된 계수 값  $n_{T0}$ 까지 계수를 행하고,  $n_{T0}$ 의 값까지 계수할 때마다, 제 5 신호 파형(805)과 같은 제 2 리셋 신호(114)를 생성하고, 계수 값을 리셋하고, 계수를 재개한다. 즉, 제 2 카운터 회로(105)의 카운트 값은 제 3 신호 파형(803)과 같이 된다. 여기서, 계수 값  $n_{T0}$ 가 정상 값인지 아닌지의 판정은, 예를 들면, 계수 값  $n_{T0}$ 의 계수 값이 사양에 따라 미리 정해진 범위 내인지 아닌지를 판정하는 것이다. 또한, 판정은 계수 값  $n_{T0}$ 가 갱신될 때 행하는 것으로 한다.
- [0043] 한편, 비동기 기간(809)과 같이, 제 1 카운터 회로(104)에서 계수된 계수 값  $n_T$ 를 정상 값이 아니라고 판정한 경우에는, 화살표(120) 및 화살표(121)로 나타내는 바와 같이, 제 1 카운터 회로(104)에서 정상 값이 아닌 계수 값을 계수한 기간  $T_0$  직전의 기간  $T_0$ 에서 계수된 정상 값인 계수 값  $n_{T0}$ 에 따라 계수를 행한다.

- [0044] 제 1 분주 회로(106)에서는, 제 1 카운터 회로(104)에서의 계수 값  $n_{T0}$ 가 정상 값인지 아닌지를 판정하고, 정상 값이라고 판정한 경우에는, 제 1 리셋 신호( $RST_{MASTER}$ )를 리셋 신호로 하여 제 1 기준 클록 신호(111)의 주파수를 분주하고, 펄스 수가  $n_{SYS}$ 개인 제 2 기준 클록 신호(115)를 생성한다. 구체적으로는, 분주비  $m = INT(n_{T0}/n_{SYS})$ 로 제 1 기준 클록 신호(111)의 주파수를 분주한다. 여기서,  $INT$ 란,  $n_{T0}$ 를  $n_{SYS}$ 로 나눈 값 중 소수점 이하를 버리고 정수만을 나타내는 함수이다.
- [0045] 또한, 설계 파라미터인  $n_{SYS}$ 는 2의  $n$ 승(乘)( $n$ 는 자연수)으로 하는 것이 바람직하다.  $n_{SYS}$ 를 2의  $n$ 승으로 함으로써, 계수 값  $n_{T0}$ 의 하위  $n$ 비트를 제외한 상위 비트를 분주비로 할 수 있고, 또한, 제산(除算) 회로 등, 대규모 회로를 필요하지 않기 때문에, 클록 신호 생성 회로(100)의 칩 면적을 축소할 수 있다. 또한, 제 2 기준 클록 신호(115)의 신호 파형은 제 6 신호 파형(806)과 같게 된다. 여기서, 계수 값  $n_{T0}$ 가 정상 값인지 아닌지의 판정은, 예를 들면, 계수 값  $n_{T0}$ 의 계수 값이 사양에 따라 미리 정해진 범위 내인지 아닌지를 판정하는 것이다. 또한, 판정은 계수 값  $n_{T0}$ 가 갱신될 때 행하는 것으로 한다.
- [0046] 리셋 신호 생성 회로(108)에서는, 제 1 카운터 회로에서 생성되는 제 1 리셋 신호와 제 2 카운터 회로에서 생성되는 제 2 리셋 신호 중의 어느 신호가 입력된 경우에, 입력된 리셋 신호가 제 3 리셋 신호(116)로서 제 2 분주 회로(107)에 출력된다.
- [0047] 제 2 분주 회로(107)에서는, 제 3 리셋 신호(116)를 리셋 신호로 하여 제 2 기준 클록 신호(115)의 주파수를 분주하고, 또한, 제 3 리셋 신호(116)가 다음에 유효하게 된 기간까지,  $n_{PH}$ 개의 펄스를 생성한다. 여기서,  $n_{PH}$ 는 설계 파라미터이다. 구체적으로는, 제 3 리셋 신호(116)가 유효하게 되면, 제 2 기준 클록 신호(115)를 미리 설정한 분주비로 분주 개시하여 클록 신호(117)를 생성한다. 동시에 클록 신호(117)의 펄스 수를 계수하고, 이 펄스 수가  $n_{PH}$ 에 도달하면, 클록 신호(117)의 생성을 정지한다. 그리고, 다음에 제 3 리셋 신호(116)가 유효하게 되면, 클록 신호(117)의 생성을 재개한다. 또한, 클록 신호(117)의 신호 파형은 제 7 신호 파형(807)과 같게 된다.
- [0048] 또한, 클록 신호(117)는, 제 3 리셋 신호(116)가 유효하게 된 후, 각각  $2n_{PH}$  회 토글(toggle)한다. 즉, 도 16의 신호 파형(808) 및 신호 파형(809)에 나타내는 바와 같이, 동기 기간 및 비동기 기간에서, 평균 주파수  $f_{PH} = n_{PH}/T_0$ 의 PH1의 신호 및 평균 주파수  $f_{PHNS} = n_{PH}/T_{ONS}$ 의 PH2의 신호가 각각 얻어진다.
- [0049] 또한, 제 2 분주 회로(107)에서의 분주 동작은, 도 8의 신호 파형(806)의 제 2 기준 클록 신호(115) 및 신호 파형(807)의 클록 신호(117)에 나타내는 바와 같이, 제 1 리셋 신호(113)를 제 3 리셋 신호(116)로 하여 분주를 개시하지만, 제 2 리셋 신호(114)가 제 3 리셋 신호(116)가 되는 경우에는, 제 2 리셋 신호(114)를 제 3 리셋 신호(116)로 하여 분주를 개시한다.
- [0050] 또한, 본 실시형태에서, 제 1 카운터 회로(104), 제 2 카운터 회로(105), 제 1 분주 회로(106), 및 제 2 분주 회로(107) 각각에는, 플립플롭 회로와, 래치 회로, NOT 회로, AND 회로, OR 회로, NAND 회로, NOR 회로 중의 어느 하나 또는 다수를 가지는 구성의 회로를 사용함으로써, 본 실시형태의 클록 신호 생성 회로(100)에서 계수 또는 분주의 각 동작을 행할 수 있다.
- [0051] 이상과 같은 구성으로 함으로써, 동기 기간(808) 및 비동기 기간(809)에서, 각 주기  $T_0$ 에서 펄스 수  $n_{PH}$ 개의 신호를 생성할 수 있다. 즉, 평균 주파수가  $1/n_{PH}T_0$ 인 클록 신호(117)를 생성할 수 있다.
- [0052] 여기서, 본 발명의 반도체 장치에 탑재하는 클록 신호 생성 회로에 있어서의 클록 신호의 주파수 정밀도와 주파수 편차에 대하여 고찰한다.
- [0053] 먼저, 주파수 정밀도는  $T_0$ 를 양자화(量子化)한 것에 의한 오차에 기인한다. 즉, 계수된 제 1 기준 클록 신호(111)의 상승 엣지의 수  $n_{T0}$ 에 의하여  $T_0$ 를 계수한 것에 의한 "나머지" 항인 양자화 오차이다. 양자화 오차는  $n_{T0}$ 의 역수에 비례한 크기를 가진다. 따라서,  $n_{T0}$ 를 크게, 즉, 제 1 기준 클록 신호(111)의 주파수를 증대함으로써, 상대적으로 작게 할 수 있다. 즉, 용이하게 주파수 정도를 높일 수 있는 것을 알 수 있다.
- [0054] 한편, 주파수 편차는 동기 기간 및 비동기 기간에서의 제 1 기준 클록 신호(111)의 주파수의 차이에 기

인한다. 정량적으로는,  $T_0$ 와  $T_{ONS}$ 의 관계로부터,  $(1-1/n_{T0}) \cdot (f_{RONS}/f_{ROS}) \leq (f_{PHNS}/f_{PHS}) < (1+1/n_{T0}) \cdot (f_{RONS}/f_{ROS})$ 의 관계가 얻어진다. 즉, 펄스 수  $n_{T0}$ 를 증대, 즉, 제 1 기준 클록 신호(111)의 주파수를 증대함으로써, 주파수 변동을 상대적으로 저감할 수 있다. 본 발명의 클록 신호 생성 회로에서는, 기준 클록 신호 생성 회로(102)에 공급하는 제 2 전원 전압(110)을 정전압 회로(101)로부터 공급함으로써, 제 1 기준 클록 신호(111)의 주파수 변동을 저감할 수 있다.

[0055] 이상과 같이, 본 실시형태에 있어서의 다수의 카운터 회로 및 다수의 분주 회로를 구비한 클록 신호 생성 회로에 의하여, 주파수 정도가 높고, 주파수 편차가 매우 적은 클록 신호를 생성할 수 있다.

[0056] 또한, 본 발명에 의하여, 예를 들면, UHF 대역의 무선 통신에 있어서도 안정한 동작을 실현할 수 있는 반도체 장치를 싼 값으로 제공할 수 있다.

[0057] [실시형태 2]

[0058] 본 실시형태에서는, 상기 실시형태 1에 나타난 클록 신호 생성 회로를 구비한 반도체 장치에 대하여 설명한다.

[0059] 본 실시형태의 반도체 장치의 구성을 도 3에 나타낸다. 반도체 장치(300)는, RF 회로(301), 클록 신호 생성 회로(302), 논리 회로(303), 및 안테나부(318)의 안테나(317)에 의하여 구성된다. 또한, 도 3에는 나타나지 않지만, 반도체 장치(300)는, 무선 통신 장치 등의 외부 회로와 안테나(317)를 통하여 무선 신호의 송수신을 행한다.

[0060] 다음에, 각 회로의 구성에 대하여 설명한다. RF 회로(301)는, 전원 회로(304), 복조 회로(305), 및 변조 회로(306)를 가진다. 또한, 클록 신호 생성 회로(302)는, 정전압 회로(307), 링 발진기(308), 및 카운터 군(309)을 가진다. 또한, 논리 회로(303)는, 콘트롤러(313), CPU(중앙 연산 장치라고도 한다)(310), ROM(Read Only Memory)(311), 및 RAM(Random Access Memory)(312)을 가진다.

[0061] 또한, 콘트롤러(313)는 CPU 인터페이스(314), RF 인터페이스(315), 및 메모리 콘트롤러(316)를 가진다.

[0062] 또한, RF 회로(301)에서, 전원 회로(304)는 정류 회로와 보유 용량으로 구성되고, 제 1 전원 전압을 그 외의 회로에 공급하는 기능을 가진다. 복조 회로(305)는 정류 회로와 LPF(로 패스(low-pass) 필터)로 구성되고, 통신 신호로부터 코맨드(command)나 데이터를 추출하는 기능을 가진다. 변조 회로(306)는 송신 데이터를 변조하는 기능을 가지고, 변조된 데이터는 안테나(317)로부터 송신 신호로서 송신된다.

[0063] 다음에, 본 실시형태의 반도체 장치의 동작에 대하여 설명한다. 먼저, 외부의 통신 장치로부터 송신된 수신 신호에 의하여, 반도체 장치(300)가 수신 신호를 수신한다. 수신 신호는 복조 회로(305)로 복조된 후, 콘트롤러(313)의 RF 인터페이스(315)에 입력된다. RF 인터페이스(315)에 입력된 수신 신호는 CPU 인터페이스(314)를 통하여 CPU(310)에서 연산 처리된다. 또한, RF 인터페이스(315)에 입력된 수신 신호에 의하여, 메모리 콘트롤러(316)를 통하여 ROM(311) 및 RAM(312)에 대하여 액세스를 행한다.

[0064] 그리고, CPU(310)에 의한 연산 처리, ROM(311) 및 RAM(312)에서의 데이터의 입출력 후에 송신 데이터를 생성하고, 변조 회로(306)로 변조하고, 안테나(317)로부터 송신 신호를 통신 장치에 송신한다.

[0065] 또한, 본 실시형태의 클록 신호 생성 회로(302)에, 상기 실시형태 1에서 도 1에 나타난 클록 신호 생성 회로(100)를 적용할 수 있다. 여기서, 정전압 회로(101), 기준 클록 신호 생성 회로(102), 카운터 군(103)은 각각 정전압 회로(307), 링 발진기(308), 카운터 군(309)에 대응한다.

[0066] 이상과 같이, 본 발명의 클록 신호 생성 회로를 구비한 반도체 장치에 의하여, 주파수 정밀도가 높고, 주파수 편차가 매우 적은 클록 신호를 생성할 수 있다.

[0067] 또한, 본 발명의 클록 신호 생성 회로를 구비한 반도체 장치는, 안정한 동작을 실현할 수 있고, 예를 들면, UHF 대역을 사용한 무선 통신에 있어서도, 안정한 동작을 실현할 수 있는 반도체 장치를 싼 값으로 제공할 수 있다.

[0068] [실시형태 3]

[0069] 본 실시형태에서는, 상기 실시형태에서 나타난 반도체 장치의 제작방법의 일례에 대하여 설명한다. 본 실시형태에서는, 안테나 회로를 포함하는 반도체 장치를 동일 기판 위에 형성하는 구성에 대하여 설명한다.

[0070] 먼저, 도 9(A)에 나타내는 바와 같이, 기판(1901)의 표면에 절연막(1902)을 형성하고, 절연막(1902)을

사이에 두고 박리층(1903)을 형성하고, 이어서, 하지막으로서 기능하는 절연막(1904)과 반도체막(1905)(예를 들면, 비정질 규소를 함유하는 막)을 적층하여 형성한다. 또한, 절연막(1902), 박리층(1903), 절연막(1904), 및 반도체막(1905)은 연속으로 형성할 수 있다.

[0071] 또한, 기판(1901)은, 유리 기판, 석영 기판, 세라믹 기판, 금속 기판(예를 들면, 스테인리스 기판 등), 및 Si 기판 등의 반도체 기판으로부터 선택되는 것이다. 그 외에도, 플라스틱 기판으로서, 폴리에틸렌 테레프탈레이트(PET), 폴리에틸렌 나프탈레이트(PEN), 폴리에테르 술폰(PES), 아크릴 등의 기판을 선택할 수도 있다.

[0072] 또한, 본 공정에서, 박리층(1903)은 절연막(1902)을 사이에 두고 기판(1901)의 전면에 형성하지만, 필요에 따라, 기판(1901)의 전면에 박리층을 형성한 후에, 포토리소그래피법에 의하여 선택적으로 형성하여도 좋다.

[0073] 또한, 절연막(1902)과 절연막(1904)은, CVD법이나 스퍼터링법 등을 사용하여, 산화규소, 질화규소, 산화질화규소( $\text{SiO}_x\text{N}_y$ )( $x > y > 0$ ), 질화산화규소( $\text{SiN}_x\text{O}_y$ )( $x > y > 0$ ) 등의 재료를 사용하여 형성한다. 예를 들면, 절연막(1902, 1904)을 2층 구조로 하는 경우, 첫번째 층의 절연막으로서 질화산화규소막을 형성하고, 두번째 층의 절연막으로서 산화질화규소막을 형성하면 좋다. 또한, 첫번째 층의 절연막으로서 질화규소막을 형성하고, 두번째 층의 절연막으로서 산화규소막을 형성하여도 좋다. 절연막(1902)은 기판(1901)으로부터 박리층(1903) 또는 그 위에 형성되는 소자에 불순물 원소가 혼입하는 것을 방지하는 블로킹층으로서 기능하고, 절연막(1904)은 기판(1901) 및 박리층(1903)으로부터 그 위에 형성되는 소자에 불순물 원소가 혼입하는 것을 방지하는 블로킹층으로서 기능한다. 이와 같이, 블로킹층으로서 기능하는 절연막(1902, 1904)을 형성함으로써, 기판(1901)으로부터 Na 등의 알칼리 금속 원소나 알칼리토류 금속 원소 등을 포함하는 불순물이 그 위에 형성되는 소자에 악영향을 주는 것을 방지하고, 또한, 박리층(1903)으로부터 박리층(1903)에 함유되는 불순물이 그 위에 형성되는 소자에 악영향을 주는 것을 방지할 수 있다. 또한, 기판(1901)으로서 석영을 사용하는 경우에는 절연막(1902, 1904)을 생략하여도 좋다.

[0074] 또한, 박리층(1903)은 금속막이나 금속막과 금속 산화막의 적층 구조 등을 사용할 수 있다. 금속막으로서, 텅스텐, 몰리브덴, 티탄, 탄탈, 니오브, 니켈, 코발트, 지르코늄, 아연, 루테튬, 로듐, 팔라듐, 오스뮴, 이리듐으로부터 선택된 원소 또는 상기 원소를 주성분으로 하는 합금 재료 또는 화합물 재료로 되는 막을 단층 또는 적층하여 형성한다. 또한, 이들 재료는, 스퍼터링법이나 플라즈마 CVD법 등의 각종 CVD법 등을 사용하여 형성할 수 있다. 금속막과 금속 산화막의 적층 구조로서는, 상술한 금속막을 형성한 후에, 산소 분위기 기화 또는  $\text{N}_2\text{O}$  분위기 하에서의 플라즈마 처리, 산소 분위기화 또는  $\text{N}_2\text{O}$  분위기 하에서의 가열 처리를 행함으로써, 금속막 표면에 상기 금속막의 산화물 또는 산화질화물을 형성할 수 있다. 예를 들면, 금속막으로서 스퍼터링법이나 CVD법 등에 의하여 텅스텐막을 형성한 경우, 텅스텐막에 플라즈마 처리를 행함으로써, 텅스텐막 표면에 텅스텐 산화물로 되는 금속 산화막을 형성할 수 있다. 또한, 이 경우, 텅스텐 산화물은  $\text{WO}_x$ 로 나타내어지고,  $x$ 는 2 내지 3이고,  $x$ 가 2인 경우( $\text{WO}_2$ ),  $x$ 가 2.5인 경우( $\text{W}_2\text{O}_5$ ),  $x$ 가 2.75인 경우( $\text{W}_4\text{O}_{11}$ ),  $x$ 가 3인 경우( $\text{WO}_3$ ) 등이 있다. 텅스텐 산화물을 형성함에 있어서, 상기에 든  $x$ 의 값에 특별히 제약은 없고, 에칭 레이트 등을 기초로 어느 산화물을 형성할지를 결정하면 된다. 그 외에도, 예를 들면, 금속막(예를 들면, 텅스텐)을 형성한 후에, 이 금속막 위에 스퍼터링법으로 산화규소 등의 절연막을 형성함과 동시에, 금속막 위에 금속 산화물(예를 들면, 텅스텐 위에 텅스텐 산화물)을 형성하여도 좋다. 또한, 플라즈마 처리로서, 예를 들면, 상술한 고밀도 플라즈마 처리를 행하여도 좋다. 또한, 금속 산화막 이외에도, 금속 질화물이나 금속 산화질화물을 사용하여도 좋다. 이 경우, 금속막에 질소 분위기 하 또는 질소와 산소 분위기 하에서 플라즈마 처리나 가열 처리를 행하면 좋다.

[0075] 또한, 반도체막(1905)은, 스퍼터링법, LPCVD법, 플라즈마 CVD법 등에 의하여, 25 nm 이상 200 nm 이하(바람직하게는 30 nm 이상 150nm 이하)의 두께로 형성한다.

[0076] 다음에, 도 9(B)에 나타내는 바와 같이, 반도체막(1905)에 레이저 빔을 조사하여 결정화를 행한다. 또한, 레이저 빔의 조사와, RTA 또는 퍼니스 어닐로를 사용하는 열 결정화법, 결정화를 조장하는 금속 원소를 사용하는 열 결정화법을 조합한 방법 등에 의해 반도체막(1905)의 결정화를 행하여도 좋다. 그 후, 얻어진 결정질 반도체막을 소망의 형상으로 에칭하여, 결정화한 결정질 반도체막(1905a~1905f)을 형성하고, 이 결정질 반도체막(1905a~1905f)의 각 결정질 반도체막을 덮도록 게이트 절연막(1906)을 형성한다.

[0077] 또한, 게이트 절연막(1906)은, CVD법이나 스퍼터링법 등을 사용하여, 산화규소, 질화규소, 산화질화규



소( $\text{SiO}_x\text{N}_y$ )( $x>y>0$ ), 질화산화규소( $\text{SiN}_x\text{O}_y$ )( $x>y>0$ ) 등의 절연 재료를 사용하여 형성한다. 예를 들면, 게이트 절연막(1906)을 2층 구조로 하는 경우, 첫번째 층의 절연막으로서 산화질화규소막을 형성하고, 두번째 층의 절연막으로서 질화산화규소막을 형성하면 좋다. 또한, 첫번째 층의 절연막으로서 산화규소막을 형성하고, 두번째 층의 절연막으로서 질화규소막을 형성하여도 좋다.

[0078]

결정화된 반도체막(1905a~1905f)의 제작 공정의 일례를 이하에 간단히 설명하면, 먼저, 플라즈마 CVD 법을 사용하여 막 두께 50 nm 이상 60 nm 이하의 비정질 반도체막을 형성한다. 다음에, 결정화를 조장하는 금속 원소인 니켈을 함유하는 용액을 비정질 반도체막 위에 보유시킨 후, 비정질 반도체막에 탈수소화 처리(500℃, 1시간)와 열결정화 처리(550℃, 4시간)를 행하여 결정질 반도체막을 형성한다. 그 후, 레이저 빔을 조사하고, 포토리소그래피법을 사용함으로써, 결정질 반도체막(1905a~1905f)을 형성한다. 또한, 결정화를 조장하는 금속 원소를 사용하는 열 결정화를 행하지 않고, 레이저 빔의 조사만으로 비정질 반도체막의 결정화를 행하여도 좋다.

[0079]

또한, 결정화에 사용하는 레이저 발진기로서는, 연속 발진형 레이저 빔(CW 레이저 빔)이나 펄스 발진형 레이저 빔(펄스 레이저 빔)을 사용할 수 있다. 여기서 사용할 수 있는 레이저 빔은, Ar 레이저, Kr 레이저, 엑시머 레이저 등의 기체 레이저, 단결정의 YAG,  $\text{YVO}_4$ , 포스테라이트(forsterite)( $\text{Mg}_2\text{SiO}_4$ ),  $\text{YAlO}_3$ ,  $\text{GdVO}_4$ , 또는 다결정(세라믹)의 YAG,  $\text{Y}_2\text{O}_3$ ,  $\text{YVO}_4$ ,  $\text{YAlO}_3$ ,  $\text{GdVO}_4$ 에 도펀트로서 Nd, Yb, Cr, Ti, Ho, Er, Tm, Ta 중의 1종 또는 다수 종이 첨가되어 있는 것을 매질로 하는 레이저, 유리 레이저, 루비 레이저, 알렉산드라이트 레이저, Ti:사파이어 레이저, 구리 증기 레이저, 금 증기 레이저 중의 1종 또는 다수 종으로부터 발진되는 것을 사용할 수 있다. 이러한 레이저 빔의 기본파, 및 이들 기본파의 제 2 고조파 내지 제 4 고조파의 레이저 빔을 조사함으로써, 대입경의 결정을 얻을 수 있다. 예를 들면, Nd:YVO<sub>4</sub> 레이저(기본파 1064 nm)의 제 2 고조파(532 nm)나 제 3 고조파(355 nm)를 사용할 수 있다. 이때, 레이저의 파워 밀도는 0.01 MW/cm<sup>2</sup> 이상 100 MW/cm<sup>2</sup> 이하 정도(바람직하게는 0.1 MW/cm<sup>2</sup> 이상 10 MW/cm<sup>2</sup> 이하)가 필요하다. 그리고, 주사 속도를 10 cm/sec 이상 2000 cm/sec 이하 정도로 하여 조사한다. 또한, 단결정의 YAG,  $\text{YVO}_4$ , 포스테라이트( $\text{Mg}_2\text{SiO}_4$ ),  $\text{YAlO}_3$ ,  $\text{GdVO}_4$ , 또는 다결정(세라믹)의 YAG,  $\text{Y}_2\text{O}_3$ ,  $\text{YVO}_4$ ,  $\text{YAlO}_3$ ,  $\text{GdVO}_4$ 에 도펀트로서 Nd, Yb, Cr, Ti, Ho, Er, Tm, Ta 중 1종 또는 다수 종이 첨가되어 있는 것을 매질로 하는 레이저, Ar 이온 레이저, 또는 Ti:사파이어 레이저는 연속 발진시키는 것이 가능하고, 모드(mode) 동기 등을 행함으로써 10 MHz 이상의 발진 주파수로 펄스 발진시키는 것도 가능하다. 10 MHz 이상의 발진 주파수로 레이저 빔을 발진시키면, 반도체막이 레이저에 의해 용융되고 나서 고화할 때까지의 사이에, 다음의 펄스가 반도체막에 조사된다. 따라서, 발진 주파수가 낮은 펄스 레이저를 사용하는 경우와 달리, 반도체막 중에서 고액 계면을 연속적으로 이동시킬 수 있기 때문에, 주사 방향을 향하여 연속적으로 성장한 결정립을 얻을 수 있다.

[0080]

또한, 게이트 절연막(1906)은, 반도체막(1905a~1905f)에 대하여 상술한 고밀도 플라즈마 처리를 행하여 표면을 산화 또는 질화함으로써 형성하여도 좋다. 예를 들면, He, Ar, Kr, Xe 등의 희가스와, 산소, 산화질소, 암모니아, 질소, 수소 등의 혼합 가스를 도입한 플라즈마 처리로 형성한다. 이 경우의 플라즈마 여기(勵起)는, 마이크로파의 도입에 의해 행하면, 낮은 전자 온도에서 고밀도 플라즈마를 생성할 수 있다. 이 고밀도 플라즈마로 생성된 산소 라디칼(OH 라디칼을 포함하는 경우도 있다)이나 질소 라디칼(NH 라디칼을 포함하는 경우도 있다)에 의해 반도체막의 표면을 산화 또는 질화할 수 있다.

[0081]

이와 같은 고밀도 플라즈마를 사용한 처리에 의해, 1 nm 이상 20 nm 이하, 대표적으로는 5 nm 이상 10 nm 이하의 절연막이 반도체막에 형성된다. 이 경우의 반응은 고상 반응이기 때문에, 이 절연막과 반도체막과의 계면 준위 밀도를 극히 낮게 할 수 있다. 이와 같은 고밀도 플라즈마 처리는 반도체막(결정성 규소, 또는 다결정 규소)을 직접 산화(또는 질화)하기 때문에, 형성되는 절연막의 두께의 불균일을 극히 작게 할 수 있다. 더욱이, 결정성 규소의 결정립계에서도 산화가 강하게 되는 일이 없기 때문에, 매우 바람직한 상태가 된다. 즉, 여기서 나타내는 고밀도 플라즈마 처리에 의해 반도체막의 표면을 고상 산화함으로써, 결정립계에서 지나치게 산화 반응을 시키는 일 없이, 균일성이 좋고, 계면 준위 밀도가 낮은 절연막을 형성할 수 있다.

[0082]

또한, 게이트 절연막(1906)은 고밀도 플라즈마 처리에 의하여 형성되는 절연막만을 사용하여도 좋고, 그것에 플라즈마나 열 반응을 이용한 CVD법으로 산화규소, 산화질화규소, 질화규소 등의 절연막 중의 어느 하나 또는 다수를 퇴적하여 적층시켜도 좋다. 어쨌든, 고밀도 플라즈마로 형성한 절연막을 게이트 절연막의 일부 또는 전부에 포함하여 형성되는 트랜지스터는 특성 편차를 작게 할 수 있다.

- [0083] 또한, 반도체막에 대하여 연속 발진 레이저 또는 10 MHz 이상의 주파수로 발진하는 레이저 빔을 조사하면서 한 방향으로 주사하여 결정화시켜 얻어진 반도체막(1905a~1905f)은 그 빔의 주사 방향으로 결정이 성장하는 특성이 있다. 그 주사 방향을 채널 길이 방향(채널 형성 영역이 형성되었을 때 캐리어가 흐르는 방향)에 맞추어 트랜지스터를 배치하고, 상기 게이트 절연막(1906)을 조합함으로써, 특성 편차가 작고, 또한 전체효과 이동도가 높은 박막트랜지스터(TFT: Thin Film Transistor)를 얻을 수 있다.
- [0084] 다음에, 게이트 절연막(1906) 위에 제 1 도전막과 제 2 도전막을 적층하여 형성한다. 여기서는, 제 1 도전막은 CVD법이나 스퍼터링법 등에 의하여 20 nm 이상 100 nm 이하의 두께로 형성한다. 제 2 도전막은 100 nm 이상 400 nm 이하의 두께로 형성한다. 제 1 도전막과 제 2 도전막은, 탄탈, 텅스텐, 티탄, 몰리브덴, 알루미늄, 구리, 크롬, 니오브 등으로부터 선택된 원소 또는 이들 원소를 주성분으로 하는 합금 재료 또는 화합물 재료로 형성한다. 또는, 인 등의 불순물 원소를 도핑한 다결정 규소로 대표되는 반도체 재료에 의하여 형성한다. 제 1 도전막과 제 2 도전막의 조합의 예를 들면, 질화탄탈막과 텅스텐막, 질화텅스텐막과 텅스텐막, 질화몰리브덴막과 몰리브덴막 등을 들 수 있다. 텅스텐이나 질화탄탈은 내열성이 높기 때문에, 제 1 도전막과 제 2 도전막을 형성한 후에 열 활성화를 목적으로 한 가열 처리를 행할 수 있다. 또한, 2층 구조가 아니라, 3층 구조인 경우에는, 몰리브덴막과 알루미늄막과 몰리브덴막의 적층 구조를 채용하면 좋다.
- [0085] 다음에, 포토리소그래피법을 사용하여 레지스트로 되는 마스크를 형성하고, 게이트 전극과 게이트선을 형성하기 위한 에칭 처리를 행하여, 반도체막(1905a~1905f)의 상부에 게이트 전극(1907)을 형성한다. 여기서는, 게이트 전극(1907)으로서 제 1 도전막(1907a)과 제 2 도전막(1907b)의 적층 구조로 형성한 예를 나타낸다.
- [0086] 다음에, 도 9(C)에 나타내는 바와 같이, 게이트 전극(1907)을 마스크로 하여 반도체막(1905a~1905f)에 이온 도핑법 또는 이온 주입법에 의하여 n형을 부여하는 불순물 원소를 저농도로 첨가하고, 그 후, 포토리소그래피법에 의하여 레지스트로 된 마스크를 선택적으로 형성하고, p형을 부여하는 불순물 원소를 고농도로 첨가한다. n형을 나타내는 불순물 원소로서는, 인이나 비소 등을 사용할 수 있다. p형을 나타내는 불순물 원소로서는, 붕소나 알루미늄이나 갈륨 등을 사용할 수 있다. 여기서는, n형을 부여하는 불순물 원소로서 인을 사용하고,  $1 \times 10^{15} / \text{cm}^3$  이상  $1 \times 10^{19} / \text{cm}^3$  이하의 농도로 함유되도록 반도체막(1905a~1905f)에 선택적으로 도입하여, n형을 나타내는 불순물 영역(1908)을 형성한다. 또한, p형을 부여하는 불순물 원소로서 붕소(B)를 사용하고  $1 \times 10^{19} / \text{cm}^3$  이상  $1 \times 10^{20} / \text{cm}^3$  이하의 농도로 함유되도록 선택적으로 반도체막(1905c, 1905e)에 도입하여, p형을 나타내는 불순물 영역(1909)을 형성한다.
- [0087] 계속해서, 게이트 절연막(1906)과 게이트 전극(1907)을 덮도록 절연막을 형성한다. 절연막은, 플라즈마 CVD법이나 스퍼터링법 등에 의하여, 규소, 규소의 산화물 또는 규소의 질화물의 무기 재료를 포함하는 막, 및 유기 수지 등의 유기 재료를 포함하는 막의 1종 또는 다수 종을 단층 또는 적층하여 형성한다. 다음에, 절연막을, 수직 방향을 주체로 한 이방성 에칭에 의하여 선택적으로 에칭하여, 게이트 전극(1907)의 측면에 접하는 절연막(1910)(사이드월(sidewall)이라고도 불린다)을 형성한다. 절연막(1910)은 LDD(Lightly Doped Drain) 영역을 형성할 때의 도핑용 마스크로서 사용된다.
- [0088] 계속해서, 포토리소그래피법에 의해 형성한 레지스트로 되는 마스크와 게이트 전극(1907) 및 절연막(1910)을 마스크로서 사용하여 반도체막(1905a, 1905b, 1905d, 1905f)에 n형을 부여하는 불순물 원소를 고농도로 첨가하여, n형을 나타내는 불순물 영역(1911)을 형성한다. 여기서는, n형을 부여하는 불순물 원소로서 인(P)을 사용하고,  $1 \times 10^{19} / \text{cm}^3$  이상  $1 \times 10^{20} / \text{cm}^3$  이하의 농도로 함유되도록 반도체막(1905a, 1905b, 1905d, 1905f)에 선택적으로 도입하여, 불순물 영역(1908)보다 고농도의 n형을 나타내는 불순물 영역(1911)을 형성한다.
- [0089] 이상의 공정에 의해, 도 9(D)에 나타내는 바와 같이, n채널형 박막트랜지스터(1900a, 1900b, 1900d, 1900f)와 p채널형 박막트랜지스터(1900c, 1900e)가 형성된다.
- [0090] 또한, n채널형 박막트랜지스터(1900a)는, 게이트 전극(1907)과 겹치는 반도체막(1905a)의 영역에 채널 형성 영역이 형성되고, 게이트 전극(1907) 및 절연막(1910)과 겹치지 않는 영역에 소스 영역 또는 드레인 영역을 형성하는 불순물 영역(1911)이 형성되고, 절연막(1910)과 겹치는 영역이며 채널 형성 영역과 불순물 영역(1911)의 사이에 저농도 불순물 영역(LDD 영역)이 형성되어 있다. 또한, n채널형 박막트랜지스터(1900b, 1900d, 1900f)도 마찬가지로 채널 형성 영역, 저농도 불순물 영역 및 불순물 영역(1911)이 형성되어 있다.
- [0091] 또한, p채널형 박막트랜지스터(1900c)는, 게이트 전극(1907)과 겹치는 반도체막(1905c)의 영역에 채널

형성 영역이 형성되고, 게이트 전극(1907)과 겹치지 않는 영역에 소스 영역 또는 드레인 영역을 형성하는 불순물 영역(1909)이 형성되어 있다. 또한, p채널형 박막트랜지스터(1900e)도 마찬가지로 채널 형성 영역 및 불순물 영역(1909)이 형성되어 있다. 또한, 여기서는, p채널형 박막트랜지스터(1900c, 1900e)에는 LDD 영역을 형성하지 않지만, p채널형 박막트랜지스터에 LDD 영역을 형성하여도 좋고, n채널형 박막트랜지스터에 LDD 영역을 형성하지 않는 구성으로 하여도 좋다.

[0092] 다음에, 도 10(A)에 나타내는 바와 같이, 반도체막(1905a~1905f), 게이트 전극(1907) 등을 덮도록 절연막을 단층 또는 적층하여 형성하고, 상기 절연막 위에 박막트랜지스터(1900a~1900f)의 각 트랜지스터의 소스 영역 또는 드레인 영역을 형성하는 불순물 영역(1909, 1911)과 전기적으로 접속하는 도전막(1913)을 형성한다. 절연막은 CVD법, 스퍼터링법, SOG법, 액적 도출법, 스크린 인쇄법 등에 의해, 규소의 산화물 또는 규소의 질화물 등의 무기 재료, 폴리이미드, 폴리아미드, 벤조시클로부텐, 아크릴, 에폭시 등의 유기 재료나 실록산 재료 중의 어느 1종 또는 다수 종을 단층 또는 적층으로 형성한다. 여기서는, 상기 절연막을 2층으로 형성하고, 첫 번째 층의 절연막(1912a)을 질화산화규소막으로 형성하고, 두 번째 층의 절연막(1912b)을 산화질화규소막으로 형성한다. 또한, 도전막(1913)은 반도체막(1905a~1905f)의 소스 전극 또는 드레인 전극을 형성한다.

[0093] 또한, 절연막(1912a, 1912b)을 형성하기 전, 또는 절연막(1912a, 1912b) 중의 하나 또는 다수의 박막을 형성한 후에, 반도체막의 결정성의 회복이나 반도체막에 첨가된 불순물 원소의 활성화, 반도체막의 수소화를 목적으로 한 가열 처리를 행하면 좋다. 가열 처리에는 열 어닐법, 레이저 어닐법 또는 RTA법 등을 적용하면 좋다.

[0094] 또한, 도전막(1913)은 CVD법이나 스퍼터링법 등에 의해, 알루미늄, 텅스텐, 티탄, 탄탈, 몰리브덴, 니켈, 백금, 구리, 금, 은, 망간, 네오디뮴, 탄소, 규소로부터 선택된 원소 또는 이들 원소를 주성분으로 하는 합금 재료 또는 화합물 재료로 단층 또는 적층으로 형성한다. 알루미늄을 주성분으로 하는 합금 재료란, 예를 들면, 알루미늄을 주성분으로 하고 니켈을 함유하는 재료, 또는, 알루미늄을 주성분으로 하고 니켈과, 탄소와 규소 중의 어느 한쪽 또는 양쪽을 함유하는 합금 재료 등을 사용할 수 있다. 도전막(1913)은, 예를 들면, 배리어막과 알루미늄-규소(Al-Si)막과 배리어막의 적층 구조, 배리어막과 알루미늄-규소(Al-Si)막과 질화티탄막과 배리어막의 적층 구조를 채용하면 좋다. 또한, 배리어막이란, 티탄, 티탄의 질화물, 몰리브덴, 또는 몰리브덴의 질화물로 되는 박막에 상당한다. 알루미늄이나 알루미늄-규소는 저항값이 낮고 싼 값이기 때문에, 도전막(1913)을 형성하는 재료로서 최적이다. 또한, 상층과 하층의 배리어층을 형성하면, 알루미늄이나 알루미늄-규소의 힐록의 발생을 방지할 수 있다. 또한, 환원성이 높은 원소인 티탄으로 되는 배리어막을 형성하면, 결정질 반도체막 위에 얇은 자연산화막이 생겨 있었다고 하여도, 이 자연산화막을 환원하여, 결정질 반도체막과 양호한 콘택트를 취할 수 있다.

[0095] 다음에, 도전막(1913)을 덮도록 절연막(1914)을 형성하고, 이 절연막(1914) 위에, 반도체막(1905a~1905f)의 소스 전극 또는 드레인 전극을 형성하는 도전막(1913)에 각각 전기적으로 접속하는 도전막(1915a, 1915b)을 형성한다. 또한, 반도체막(1905b, 1905e)의 소스 전극 또는 드레인 전극을 형성하는 도전막(1913)과 각각 전기적으로 접속하는 도전막(1916a, 1916b)을 형성한다. 또한, 도전막(1915a, 1915b)과 도전막(1916a, 1916b)은 동일 재료로 동시에 형성하여도 좋다. 도전막(1915a, 1915b)과 도전막(1916a, 1916b)은, 상술한 도전막(1913)에 사용할 수 있는 재료 중의 어느 하나를 사용하여 형성할 수 있다.

[0096] 계속해서, 도 10(B)에 나타내는 바와 같이, 안테나로서 기능하는 도전막(1917a, 1917b)을 도전막(1916a, 1916b)에 전기적으로 접속되도록 형성한다.

[0097] 또한, 절연막(1914)은, CVD법이나 스퍼터링법 등에 의해, 산화규소( $\text{SiO}_x$ ), 질화규소( $\text{SiN}_x$ ), 산화질화규소( $\text{SiO}_x\text{N}_y$ )( $x>y>0$ ), 질화산화규소( $\text{SiN}_x\text{O}_y$ )( $x>y>0$ ) 등의 산소 또는 질소를 가지는 절연막이나 DLC(diamond-like carbon) 등의 탄소를 함유하는 막, 에폭시, 폴리이미드, 폴리아미드, 폴리비닐페놀, 벤조시클로부텐, 아크릴 등의 유기 재료 또는 실록산 수지 등의 실록산 재료로 되는 단층 또는 적층 구조로 형성할 수 있다. 또한, 실록산 재료란, Si-O-Si 결합을 함유하는 재료에 상당한다. 실록산은 규소(Si)와 산소(O)와의 결합으로 골격 구조가 구성된다. 치환기로서, 적어도 수소를 함유하는 유기기(예를 들면, 알킬기, 방향족 탄화수소)가 사용된다. 치환기로서, 플루오로기를 사용할 수도 있다. 또는, 치환기로서, 적어도 수소를 함유하는 유기기와 플루오로기를 사용하여도 좋다.

[0098] 또한, 도전막(1917a, 1917b)은 CVD법, 스퍼터링법, 스크린 인쇄나 그라비아 인쇄 등의 인쇄법, 액적 도출법, 디스펜서법, 도금법 등을 사용하여, 도전성 재료에 의하여 형성한다. 도전성 재료는, 알루미늄, 티탄,



은, 구리, 금, 백금, 니켈, 팔라듐, 탄탈, 몰리브덴으로부터 선택된 원소, 또는 이들 원소를 주성분으로 하는 합금 재료 또는 화합물 재료에 의해 단층 구조 또는 적층 구조로 형성한다.

[0099]

예를 들면, 스크린 인쇄법을 사용하여, 안테나로서 기능하는 도전막(1917a, 1917b)을 형성하는 경우에는, 입경이 수 nm 내지 수십  $\mu\text{m}$ 의 도전체 입자를 유기 수지에 용해 또는 분산시킨 도전성 페이스트를 선택적으로 인쇄함으로써 형성할 수 있다. 도전체 입자로서는, 은, 금, 구리, 니켈, 백금, 팔라듐, 탄탈, 몰리브덴 및 티탄 등의 어느 하나 이상의 금속 입자나 할로젠화 은의 미립자, 또는 분산성 나노 입자를 사용할 수 있다. 또한, 도전성 페이스트에 포함되는 유기 수지는, 금속 입자의 바인더, 용매, 분산제 또는 피복재로서 기능하는 유기 수지로부터 선택된 하나 또는 다수를 사용할 수 있다. 대표적으로는, 에폭시 수지, 실리콘 수지 등의 유기 수지를 들 수 있다. 또한, 도전막의 형성에 있어서, 도전성 페이스트를 압출한 후에 소성하는 것이 바람직하다. 예를 들면, 도전성 페이스트의 재료로서, 은을 주성분으로 하는 미립자(예를 들면, 입경 1 nm 이상 100 nm 이하)를 사용하는 경우, 150℃ 이상 300℃ 이하의 온도 범위에서 소성함으로써 경화시켜 도전막을 얻을 수 있다. 또한, 땀납이나 무연(無鉛) 땀납을 주성분으로 하는 미립자를 사용하여도 좋고, 이 경우에는 입경 20  $\mu\text{m}$  이하의 미립자를 사용하는 것이 바람직하다. 땀납이나 무연 땀납은 저비용이라는 이점을 가진다.

[0100]

다음에, 도 10(C)에 나타내는 바와 같이, 도전막(1917a, 1917b)을 덮도록 절연막(1918)을 형성한 후, 박막트랜지스터(1900a~1900f), 도전막(1917a, 1917b) 등을 포함하는 층(이하, "소자 형성층(1919)"이라고 기재한다)을 기판(1901)으로부터 박리한다. 여기서는, 레이저 빔(예를 들면, UV광)을 조사함으로써, 박막트랜지스터(1900a~1900f)를 피한 영역에 개구부를 형성한 후, 물리적인 힘을 사용하여 기판(1901)으로부터 소자 형성층(1919)을 박리할 수 있다. 또한, 기판(1901)으로부터 소자 형성층(1919)을 박리하기 전에, 형성한 개구부에 에칭제를 도입하여 박리층(1903)을 선택적으로 제거하여도 좋다. 에칭제는, 불화 할로젠 또는 할로젠 화합물을 함유하는 기체 또는 액체를 사용한다. 예를 들면, 불화 할로젠을 함유하는 기체로서 삼불화염소( $\text{ClF}_3$ )를 사용한다. 그렇게 하면, 소자 형성층(1919)은 기판(1901)으로부터 박리된 상태가 된다. 또한, 박리층(1903)은 모두 제거하지 않고 일부분을 잔존시켜도 좋다. 이렇게 함으로써, 에칭제의 소비량을 억제하여 박리층의 제거에 필요한 처리 시간을 단축하는 것이 가능하게 된다. 또한, 박리층(1903)을 제거한 후에도, 기판(1901) 위에 소자 형성층(1919)을 유지하여 두는 것이 가능하게 된다. 또한, 소자 형성층(1919)이 박리된 기판(1901)을 재이용함으로써, 비용 삭감을 할 수 있다.

[0101]

절연막(1918)은, CVD법이나 스퍼터링법 등에 의해, 산화규소( $\text{SiO}_x$ ), 질화규소( $\text{SiN}_x$ ), 산화질화규소( $\text{SiO}_x\text{N}_y$ )( $x > y > 0$ ), 질화산화규소( $\text{SiN}_x\text{O}_y$ )( $x > y > 0$ ) 등의 산소 또는 질소를 가지는 절연막이나 DLC(diamond-like carbon) 등의 탄소를 함유하는 막, 에폭시, 폴리이미드, 폴리아미드, 폴리비닐페놀, 벤조시클로부텐, 아크릴 등의 유기 재료 또는 실록산 수지 등의 실록산 재료로 되는 단층 또는 적층 구조로 형성할 수 있다.

[0102]

본 실시형태에서는, 도 11(A)에 나타내는 바와 같이, 레이저 빔의 조사에 의해 소자 형성층(1919)에 개구부를 형성한 후에, 그 소자 형성층(1919)의 한쪽 면(절연막(1918)이 노출한 면)에 제 1 시트(sheet)재(1920)를 부착시킨 후, 기판(1901)으로부터 소자 형성층(1919)을 박리한다.

[0103]

다음에, 도 11(B)에 나타내는 바와 같이, 소자 형성층(1919)의 다른 쪽 면(박리에 의해 노출한 면)에 제 2 시트재(1921)를 부착시킨 후, 가열 처리와 가압 처리 중의 어느 한쪽 또는 양쪽 모두를 행하여 제 2 시트재(1921)를 부착한다. 제 1 시트재(1920)와 제 2 시트재(1921)로서, 핫 멜트(hot-melt) 필름 등을 사용할 수 있다.

[0104]

또한, 제 1 시트재(1920)와 제 2 시트재(1921)로서, 정전기 등을 방지하는 대전 방지 대책을 시행한 필름(이하, 대전 방지 필름이라고 기재한다)을 사용할 수도 있다. 대전 방지 필름으로서, 대전 방지 가능한 재료를 수지 중에 분산시킨 필름, 및 대전 방지 가능한 재료가 부착된 필름 등을 들 수 있다. 대전 방지 가능한 재료가 제공된 필름은, 한쪽 면에 대전 방지 가능한 재료를 제공한 필름이어도 좋고, 양면에 대전 방지 가능한 재료를 제공한 필름이어도 좋다. 또한, 한쪽 면에 대전 방지 가능한 재료가 제공된 필름은, 대전 방지 가능한 재료가 제공된 면을 필름의 내측이 되도록 층에 부착하여도 좋고, 필름의 외측이 되도록 부착하여도 좋다. 또한, 대전 방지 가능한 재료는 필름의 전면 또는 일부에 제공되어 있으면 좋다. 여기서의 대전 방지 가능한 재료로서는, 금속, 인듐과 주석의 산화물(ITO : Indium Tin Oxide), 양성 계면활성제나 양이온성 계면활성제나 비이온성 계면활성제 등의 계면활성제를 사용할 수 있다. 또한, 그 외에도, 대전 방지 재료로서, 측쇄에 카르복실기 및 4급 암모늄 염기를 가지는 가교성 공중합체 고분자를 포함하는 수지 재료 등을 사용할 수 있다. 이들 재료를 필름에 부착하거나 이겨넣거나 도포하거나 함으로써 대전 방지 필름으로 할 수 있다. 대전 방지 필름으

로 밀봉함으로써, 상품으로서 취급할 때 외부로부터의 정전기 등에 의해 반도체 소자에 악영향이 미치는 것을 억제할 수 있다.

[0105] 또한, 본 실시형태에서는, 소자 형성층(1919)을 기판(1901)으로부터 박리하여 이용하는 예를 나타내지만, 박리층(1903)을 형성하지 않고, 기판(1901) 위에 상술한 소자 형성층(1919)을 형성하여, 반도체 장치로서 이용하여도 좋다. 또한, 기판(1901)으로서 SOI(Silicon On Insulator) 기판을 사용하는 경우는, 반도체막으로서 단결정 반도체막을 사용하면 좋고, 반도체막의 결정화 공정분의 단축을 도모할 수 있다.

[0106] 이상과 같이, 본 실시형태의 제작방법을 사용함으로써, 소형이고, 물리적 형상에 대한 유연성을 가지고, 안정한 동작을 실현할 수 있는 본 발명의 클록 신호 생성 회로를 구비하는 반도체 장치를 제공할 수 있다.

[0107] 또한, 본 실시형태는 다른 실시형태와 적절히 조합할 수 있다.

[0108] [실시형태 4]

[0109] 본 실시형태에서는, 단결정 기판에 형성된 트랜지스터를 사용하여, 본 발명의 반도체 장치를 제작하는 예에 대하여 설명한다.

[0110] 먼저, 도 12(A)에 나타내는 바와 같이, 반도체 기판(2300)에, 반도체 소자를 전기적으로 분리하기 위한 소자 분리용 절연막(2301)을 절연막으로 형성한다. 소자 분리용 절연막(2301)의 형성에 의하여, 트랜지스터를 형성하기 위한 영역(소자 형성 영역(2302))과, 소자 형성 영역(2303)을 전기적으로 분리할 수 있다.

[0111] 반도체 기판(2300)은, 예를 들면, n형 또는 p형의 도전형을 가지는 단결정 규소 기판, 화합물 반도체 기판(GaAs 기판, InP 기판, GaN 기판, SiC 기판, 사파이어 기판, ZnSe 기판 등), 및 점착법 또는 SIMOX(Separation by Implanted Oxygen)법을 사용하여 제작된 SOI(Silicon On Insulator) 기판 중의 어느 기판을 사용할 수 있다.

[0112] 소자 분리용 절연막(2301)의 형성에는, 선택 산화법(LOCOS: Local Oxidation of Silicon법) 또는 트렌치 분리법 등을 사용할 수 있다.

[0113] 또한, 본 실시형태에서는, n형의 도전형을 가지는 단결정 규소 기판을 반도체 기판(2300)으로서 사용하고, 소자 형성 영역(2303)에 p웰(well)(2304)을 형성한 예를 나타낸다. 반도체 기판(2300)의 소자 형성 영역(2303)에 형성된 p웰(2304)은, p형의 도전형을 부여하는 불순물 원소를 소자 형성 영역(2303)에 선택적으로 도입함으로써 형성될 수 있다. p형을 부여하는 불순물 원소로서는, 붕소(B), 알루미늄(Al), 갈륨(Ga) 등을 사용할 수 있다. 또한 반도체 기판(2300)으로서 p형의 도전형을 가지는 반도체 기판을 사용하는 경우, 소자 형성 영역(2302)에 n형을 부여하는 불순물 원소를 선택적으로 도입하여, n웰을 형성하면 좋다.

[0114] 또한, 본 실시형태에서는, 반도체 기판(2300)으로서 n형의 도전형을 가지는 반도체 기판을 사용하기 때문에, 소자 형성 영역(2302)에는 불순물 원소의 도입을 행하지 않는다. 그러나, n형을 부여하는 불순물 원소를 도입함으로써, 소자 형성 영역(2302)에 n웰을 형성하여도 좋다. n형을 부여하는 불순물 원소로서는, 인이나 비소 등을 사용할 수 있다.

[0115] 다음에, 도 12(B)에 나타내는 바와 같이, 소자 형성 영역(2302, 2303)을 덮도록 절연막(2305, 2306)을 각각 형성한다. 본 실시형태에서는, 반도체 기판(2300)을 열 산화함으로써 소자 형성 영역(2302, 2303)에 형성된 산화규소막을 절연막(2305, 2306)으로서 사용한다. 또한, 열 산화에 의하여 산화규소막을 형성한 후, 질화 처리를 행함으로써, 산화규소막의 표면을 질화시켜 산질화규소막을 형성하여, 산화규소막과 산질화규소막이 적층된 층을 절연막(2305, 2306)으로서 사용하여도 좋다.

[0116] 그 외에도, 상술한 바와 같이, 플라즈마 처리를 사용하여 절연막(2305, 2306)을 형성하여도 좋다. 예를 들면, 고밀도 플라즈마 처리에 의하여 반도체 기판(2300)의 표면을 산화 또는 질화함으로써, 소자 형성 영역(2302, 2303)에, 절연막(2305, 2306)으로서 사용하는 산화규소막 또는 질화규소막을 형성할 수 있다.

[0117] 다음에, 도 12(C)에 나타내는 바와 같이, 절연막(2305, 2306)을 덮도록 도전막을 형성한다. 본 실시형태에서는, 도전막으로서, 순차로 적층된 도전막(2307)과 도전막(2308)을 사용한 예를 나타낸다. 도전막은, 단층의 도전막을 사용하여도 좋고, 3층 이상의 도전막이 적층된 구조를 사용하여도 좋다.

[0118] 도전막(2307, 2308)으로서, 탄탈, 텅스텐, 티탄, 몰리브덴, 알루미늄, 구리, 크롬, 니오브 등을 사용할 수 있다. 또한, 도전막(2307, 2308)은, 상기 금속으로 형성된 막 이외에도, 상기 금속을 주성분으로 하는 합금

으로 형성된 막, 혹은 상기 금속을 함유하는 화합물을 사용하여 형성된 막을 사용하여도 좋다. 또한, 반도체막에 도전성을 부여하는 인 등의 불순물 원소를 도핑한 다결정 규소 등의 반도체를 사용하여 형성하여도 좋다. 본 실시형태에서는, 질화탄탈을 사용하여 도전막(2307)을 형성하고, 텅스텐을 사용하여 도전막(2308)을 형성한다.

[0119] 다음에, 도 13(A)에 나타내는 바와 같이, 적층하여 형성된 도전막(2307, 2308)을 소정의 형상으로 가공(패터닝 등)함으로써, 절연막(2305, 2306) 위에 게이트 전극(2309, 2310)을 형성한다.

[0120] 다음에, 도 13(B)에 나타내는 바와 같이, 소자 형성 영역(2302)을 덮도록 레지스트로 마스크(2311)를 선택적으로 형성한다. 그리고, 소자 형성 영역(2303)에 불순물 원소를 도입한다. 마스크(2311)에 추가하여 게이트 전극(2310)도 마스크로서 기능하기 때문에, 상기 불순물 원소의 도입에 의하여, p웰(2304)에 소스 영역 또는 드레인 영역으로서 기능하는 불순물 영역(2312)과, 채널 형성 영역(2313)이 형성된다. 불순물 원소는, n형을 부여하는 불순물 원소 또는 p형을 부여하는 불순물 원소를 사용한다. n형을 부여하는 불순물 원소로서는, 인이나 비소 등을 사용할 수 있다. p형을 부여하는 불순물 원소로서는, 붕소나 알루미늄이나 갈륨 등을 사용할 수 있다. 본 실시형태에서는, 불순물 원소로서, 인(P)을 사용한다.

[0121] 다음에, 마스크(2311)를 제거한 후, 도 13(C)에 나타내는 바와 같이, 소자 형성 영역(2303)을 덮도록 레지스트로 마스크(2314)를 선택적으로 형성한다. 그리고, 소자 형성 영역(2302)에 불순물 원소를 도입한다. 마스크(2314)에 추가하여 게이트 전극(2309)도 마스크로서 기능하기 때문에, 상기 불순물 원소의 도입에 의하여, 소자 형성 영역(2302) 내의 반도체 기판(2300)에서, 소스 영역 또는 드레인 영역으로서 기능하는 불순물 영역(2315)과, 채널 형성 영역(2316)이 형성된다. 불순물 원소로서는, n형을 부여하는 불순물 원소 또는 p형을 부여하는 불순물 원소를 사용한다. n형을 부여하는 불순물 원소로서는, 인이나 비소 등을 사용할 수 있다. p형을 부여하는 불순물 원소로서는, 붕소나 알루미늄이나 갈륨 등을 사용할 수 있다. 본 실시형태에서는, 도 13(C)에서 소자 형성 영역(2303)에 도입한 불순물 원소와 다른 도전형을 가지는 불순물 원소(예를 들면, 붕소)를 도입한다.

[0122] 다음에, 도 14(A)에 나타내는 바와 같이, 절연막(2305, 2306), 게이트 전극(2309, 2310)을 덮도록 절연막(2317)을 형성한다. 그리고, 절연막(2317)에 콘택트 홀을 형성하여, 불순물 영역(2312, 2315)을 일부 노출시킨다. 다음에, 콘택트 홀을 통하여 불순물 영역(2312, 2315)과 접속하는 도전막(2318)을 형성한다. 도전막(2318)은 CVD법이나 스퍼터링법 등에 의하여 형성할 수 있다.

[0123] 절연막(2317)은, 무기 재료, 유기 재료, 또는 유기 재료와 무기 재료의 혼합 재료를 사용하여 형성할 수 있다. 예를 들면, 산화규소, 산화질화규소, 질화산화규소, DLC(diamond-like carbon)로 대표되는 탄소를 함유하는 막, 아크릴, 에폭시, 폴리이미드, 폴리아미드, 폴리비닐페놀, 또는 벤조시클로부텐 등을 사용할 수 있다. 또한, 절연막(2317)은 그의 재료에 따라, CVD법, 스퍼터링법, 액적 토출법 또는 인쇄법 등으로 형성할 수 있다.

[0124] 또한, 본 발명의 반도체 장치에 사용하는 트랜지스터는, 본 실시형태에서 도시한 구조에 한정되지 않는다. 예를 들면, 역 스택형이어도 좋다.

[0125] 다음에, 도 14(B)에 나타내는 바와 같이, 층간막(2324)을 형성한다. 그리고, 층간막(2324)을 에칭함으로써, 콘택트 홀을 형성하여, 도전막(2318)의 일부를 노출시킨다. 층간막(2324)은 수지에 한정되지 않고, CVD 산화막 등의 다른 막이라도 좋지만, 평탄성의 관점에서 수지인 것이 바람직하다. 또한, 감광성 수지를 사용하여, 노광 현상에 의하여 에칭을 사용하지 않고, 콘택트 홀을 형성하여도 좋다. 다음에, 층간막(2324) 위에, 콘택트 홀을 통하여 도전막(2318)과 접하는 배선(2325)을 형성한다.

[0126] 다음에, 안테나로서 기능하는 도전막(2326)을, 배선(2325)과 접하도록 형성한다. 도전막(2326)은, 은, 금, 구리, 팔라듐, 크롬, 백금, 몰리브덴, 티탄, 탄탈, 텅스텐, 알루미늄, 철, 코발트, 아연, 주석, 니켈 등의 금속을 사용하여 형성할 수 있다. 도전막(2326)은, 상기 금속으로 형성된 막 이외에도, 상기 금속을 주성분으로 하는 합금으로 형성된 막, 혹은, 상기 금속을 함유하는 화합물을 사용하여 형성된 막을 사용하여도 좋다. 도전막(2326)은, 상술한 막을 단층으로 사용하여도 좋고, 상술한 다수의 막을 적층하여 사용하여도 좋다.

[0127] 도전막(2326)은, CVD법, 스퍼터링법, 스크린 인쇄나 그라비아 인쇄 등의 인쇄법, 액적 토출법, 디스펜서법, 도금법, 포토리소그래피법, 증착법 등을 사용하여 형성할 수 있다.

[0128] 또한, 본 실시형태에서는, 안테나를 반도체 소자와 같은 기판 위에 형성하는 예에 대하여 설명했지만, 본 발명은 이 구성에 한정되지 않는다. 반도체 소자를 형성한 후, 별도 형성한 안테나를, 집적회로와 전기적으

로 접속하도록 하여도 좋다. 이 경우, 안테나와 집적회로의 전기적 접속은, 이방 도전성 필름(ACF(Anisotropic Conductive Film))이나 이방 도전성 페이스트(ACP(Anisotropic Conductive Paste)) 등으로 압착시킴으로써 전기적으로 접속할 수 있다. 또한, 그 외에도, 은 페이스트, 구리 페이스트, 또는 카본 페이스트 등의 도전성 접착제나 땀납 접합 등을 사용하여 접속할 수도 있다.

[0129] 이상과 같이, 본 실시형태의 제작방법을 사용함으로써, 트랜지스터의 특성 편차를 억제할 수 있기 때문에, 반도체 장치에 사용하는 트랜지스터의 개수를 적게 할 수 있고, 안정한 동작을 실현할 수 있는 본 발명의 클록 신호 생성 회로를 구비한 반도체 장치를 제공할 수 있다.

[0130] 또한, 본 실시형태는 다른 실시형태와 적절히 조합할 수 있다.

[0131] [실시형태 5]

[0132] 본 실시형태에서는, 상기 실시형태에 있어서의 클록 신호 생성 회로를 구비한 반도체 장치의 사용예에 대하여 설명한다.

[0133] 상기 실시형태의 클록 신호 생성 회로를 구비한 반도체 장치의 사용예를 도 15(A)~도 15(F)에 나타낸다. 반도체 장치의 용도는 광범위에 걸쳐 있고, 예를 들면, 지폐, 경화, 유가증권류, 무기명 채권류, 증서류(예를 들면, 운전면허증이나 주민등록증, 도 15(A) 참조), 포장용 용기류(예를 들면, 포장지나 병 등, 도 15(C) 참조), 기록 매체(예를 들면, DVD 소프트웨어나 비디오 테이프 등, 도 15(B) 참조), 탈 것류(예를 들면, 자전거 등, 도 15(D) 참조), 신변용품(예를 들면, 가방이나 안경 등), 식품류, 식물류, 동물류, 의류, 생활용품류, 전자기기(액정 표시장치, EL 표시장치, 텔레비전 장치, 또는 휴대 전화기) 등의 물품 또는 각 물품에 설치하는 화물의 이륜표(도 15(E) 및 도 15(F) 참조) 등에 설치하여 사용할 수 있다.

[0134] 본 발명의 반도체 장치(3000)는, 프린트 기판에 실장하거나, 표면에 부착하거나 과문거나 하여 물품에 고정된다. 예를 들면, 책이라면, 종이에 묻거나, 유기 수지로 된 패키지가면 상기 유기 수지에 묻거나 하여 각 물품에 고정한다. 본 발명의 반도체 장치(3000)는 소형, 박형, 경량을 실현하기 때문에, 물품에 고정한 후에도 그 물품 자체의 디자인성을 손상시키는 일이 없다. 또한, 지폐, 경화, 유가증권류, 무기명 채권류, 증서류 등에 본 실시형태의 반도체 장치(3000)를 설치함으로써, 인증 기능을 제공할 수 있고, 이 인증 기능을 활용하면 위조를 방지할 수 있다. 또한, 포장용 용기류, 기록 매체, 신변용품, 식품류, 의류, 생활용품류, 또는 전자기기 등에 본 발명의 반도체 장치를 설치함으로써, 검품 시스템 등의 시스템의 효율화를 도모할 수 있다. 또한, 탈 것류이라도 본 발명의 반도체 장치를 설치함으로써, 도난 등에 대한 시큐리티(security)를 높일 수 있다.

[0135] 이상과 같이, 본 발명의 클록 신호 생성 회로를 구비한 반도체 장치를 본 실시형태에 든 각 용도에 사용함으로써, 예를 들면, 통신 거리를 연장한 경우에도, 안정한 동작을 실현할 수 있기 때문에, 물품의 인증성, 또는 시큐리티 등을 높일 수 있다.

[0136] 또한, 본 실시형태는 다른 실시형태와 적절히 조합할 수 있다.

[0137] [실시예 1]

[0138] 본 실시예에서는, 본 발명의 반도체 장치의 일례로서 제작한 무선 통신 기능을 가지는 CPU(이하, 무선 통신 CPU)에 대하여 설명한다.

[0139] 본 실시예에서는, UHF 대역(915 MHz)의 무선 신호를 사용한 무선 통신 CPU(이하, UHF판(版) 무선 통신 CPU)에 대하여 설명한다. UHF판 무선 통신 CPU의 통신 규격은 Auto-ID Center Class I Region 1(North America)에 부분적으로 준거한다.

[0140] 플라스틱 UHF판 무선 통신 CPU의 사진을 도 2에 나타낸다. 도 2에 나타내는 바와 같이, 본 실시예에서는, 안테나에 V자 다이폴 안테나를 사용하고, 외장하여 형성한다. 또한, 본 실시예에 있어서의 플라스틱 UHF판 무선 통신 CPU의 회로 구성에 대하여는, 도 3에 나타낸 상기 실시형태 2의 회로 구성의 블록도에 대한 설명을 원용한다.

[0141] 다음에, 본 실시예의 무선 통신 CPU에 있어서의 클록 신호 생성 회로의 주요 신호 파형 데이터를 도 4(A) 및 도 4(B)에 나타낸다. 또한, 본 실시예의 클록 신호 생성 회로의 블록도는, 상기 실시형태 1에 나타낸 구성과 같은 것을 적용할 수 있기 때문에, 상기 실시형태 1에 기재한 설명을 원용한다. 또한, 본 실시예에서는, 클록 신호(PH)(117)는, 듀티비 25%의 2상(相) 난오버랩 클록(non-overlap clock), PH1과 PH2로 된다. 또한, 설계 파라미터로서,  $T_0 = 14.25 \mu s$ ,  $n_{SYS} = 64$ ,  $n_{PH} = 16$ ,  $f_{PH} = 1.12 \text{ MHz}$ 를 채용하고,  $n_{T0} = 256$ ,



$f_{ROS, RONS} = 18 \text{ MHz}$ 를 상정하여, 정전압 회로(307) 및 링 발진기(308)의 설계를 했다.

[0142] 다음에, 본 실시예의 무선 통신 CPU의 동작에 대하여 도 4(A) 및 도 4(B)를 사용하여 설명한다.

[0143] 도 4(A)는 SYNC 기간의 신호 파형이고, 도 4(B)는 비(非)SYNC 기간의 신호 파형이다. 도 4(A) 및 도 4(B)의 각 PH1끼리 및 각 PH2끼리를 각각 비교하면, 각각 매우 좋게 일치하여 있고, 본 발명의 반도체 장치에 탑재하는 클록 신호 생성 회로에서 생성하는 클록 신호가 안정성이 뛰어나는 것을 알 수 있다.

[0144] 다음에, UHF판 무선 통신 CPU의 설계 개요를 표 1에 나타낸다.

[0145] [표 1]

[0146]

UHF RFCPU	제조 프로세스		저온 폴리실리콘 TFT 0.8 $\mu\text{m}$ 디자인 룰(rule) 박리 및 전치공정 게이트 배선 및 금속 배선	
	트랜지스터 수		133K	
	코어 사이즈(W×H×T)		10.5 mm×8.9 mm×145 $\mu\text{m}$	
	질량 *		262 mg	
	RF 회로	서브 블록	전원 회로 복조 회로 변조 회로	
	클록 신호 생성 회로	서브 블록	레귤레이터 기준 클록 신호 생성 회로 카운터 군	
	논리 회로	CPU	트랜지스터 수	20K
			클록 주파수	1.12 MHz
			아키텍처	8비트 CISC
		ROM	용량	4 KB
		RAM	용량	512B
		컨트롤러	트랜지스터 수	10K
			서브 블록	CPU 인터페이스 RF 인터페이스 메모리 컨트롤러

[0147] \* 안테나는 포함하지 않는다.

[0148] 본 실시예의 UHF판 무선 통신 CPU에 있어서의 CPU(310)는 8비트 CISC 아키텍처(architecture)의 CPU이다. 8비트 CISC 아키텍처의 CPU를 사용함으로써, HF판 무선 통신 CPU에 탑재한 CPU에 대하여 1명당 필요한 클록 수(Clock Per Instruction: CPI)를 개선할 수 있고, 연산 성능을 약 4배로 향상시키고, 회로 규모를 25% 정도 삭감했다. 따라서, 클록 주파수를 약 1/3(1.12 MHz)로 하여 저소비전력화를 달성하면서 연산 성능을 약 1.5배로 향상시킬 수 있었다. 또한, 컨트롤러(313)는, 제어 레지스터의 어드레스 영역을 RAM에 물리적으로 배치함으로써, HF판 무선 통신 CPU에 비하여 회로 규모를 30% 정도 삭감할 수 있었다. 따라서, 소비전력을 대폭으로 저감할 수 있었다.

[0149] 또한, 본 실시예의 무선 통신 CPU에 있어서의 ROM(311)은 용량이 4KB인 마스크 ROM이고, 프로그램, ID 번호 등을 격납하고 있다. ROM(311)에서는, 판독할 때 프리차지(precharge)되는 비트 라인을 세분화(細分化)함으로써, 저소비전력화를 도모하고 있다. RAM(312)은 용량이 512 Byte인 SRAM이고, CPU(310)의 작업 영역으로서 사용하는 외에도, 제어 레지스터로서도 사용된다. 또한, RAM(312)에서는, 16 서브 블록으로 분할하고, 판독/기입할 때 1 서브 블록만 동작하는 구성으로 함으로써, 저소비전력화를 도모하고 있다. 이러한 공리에 의하여, ROM(311) 및 RAM(312)에 있어서의 소비전력은 HF판 무선 통신 CPU의 약 1/4이 되었다. ROM(311) 및 RAM(312)은 HF판 무선 통신 CPU에 탑재한 ROM 및 RAM에 대하여, 각각 용량을 2배 및 8배로 증대시킬 수 있었다. 메모리 영역을 증대시킴으로써, 암호 처리 기능에 내 사이드 채널 공격 기능도 소프트웨어로 탑재할 수 있고, 암호 기

능의 강화를 할 수 있었다. 또한, 암호 처리 루틴(routine)에는 DES(Data Encryption Standard)를 채용한다.

[0150] 다음에, 본 실시예의 UHF관 무선 통신 CPU에 있어서의 무선 통신에 대한 측정 결과를 나타낸다.

[0151] 먼저, 본 측정에 사용한 측정계를 도 6에 나타낸다. 도 6에서, 측정계는, 반도체 장치(601), 안테나(602), 서큘레이터(circulator)(603), 스펙트럼 아날라이저(604), 함수 발생기(function generator)(605)를 가진다. 측정은, 함수 발생기(605)에서 송신 신호를 생성하고, 서큘레이터(603)를 통하여 안테나(602)로부터 무선 신호로서 송신한다. 또한, 반도체 장치(601)로부터의 송신 신호는 안테나(602)로 수신하고, 서큘레이터(603)를 통하여 스펙트럼 아날라이저(604)에 입력된다.

[0152] 다음에, 측정 결과를 도 5에 나타낸다. 도 5의 측정 결과는, 유리 기판 위에 작성한 UHF관 무선 기능을 가지는 CPU의 응답신호 파형을 스펙트럼 아날라이저로 측정한 결과이다. 통신 거리는 안테나 출력이 30 dBm인 경우로 43 cm이다. 또한, 칩 내부에 있어서의 소비전력은 내부 생성 전원 전압이 1.5 V인 경우로 0.54 mW이다. 이것은, HF관 무선 통신 CPU의 1/7 정도이고, 이 결과로부터, 저소비전력화에 성공한다고 말할 수 있다.

[0153] 다음에, HF관 무선 통신 CPU 및 UHF관 무선 통신 CPU의 소비전력의 측정 결과를 도 7에 나타낸다. 도 7에서, 제 1 결과(700) 및 제 2 결과(710)가 각각 HF관 무선 통신 CPU 및 UHF관 무선 통신 CPU에 있어서의 전원 전압 1.8 V 시의 소비전력이고, 각각 4.1 mW 및 0.81 mW이다. 제 1 결과(700)에서, CPU의 소비전력(701), 컨트롤러의 소비전력(702), ROM의 소비전력(703), RAM의 소비전력(704)을 띠 그래프로 나타내고 있다. 또한, 제 2 결과(710)에서, CPU의 소비전력(711), 컨트롤러의 소비전력(712), ROM의 소비전력(713), RAM의 소비전력(714), 클록 신호 생성 회로의 소비전력(715), 정전압 회로의 소비전력(716)을 띠 그래프로 나타내고 있다. 또한, 소비전력의 측정은, 유리 기판 위에 제작한 무선 통신 CPU에 대하여 측정하고, 각부 블록에 있어서의 소비전력은 시뮬레이션에 의하여 비율을 구했다. 도 7로부터, UHF관 무선 통신 CPU의 소비전력은 HF관 무선 통신 CPU의 소비전력의 1/5 정도로 저감되어 있다. 또한, UHF관 무선 통신 CPU는 보다 저전압 동작이 가능하고, 최저 동작 전압의 1.5 V에서는, 0.54 mW라고 하는 매우 낮은 소비전력이 실현된다. 이 결과로부터, 본 실시예에서 사용한 설계 방법에 의하여 저소비전력화가 실현될 수 있다고 하는 것을 알 수 있다.

[0154] 본 발명의 UHF관 무선 통신 CPU에서는, 클록 신호 생성 회로에 의하여, TFT의 특성 편차와 무관계한 안정한 주파수의 클록 신호의 생성을 실현했다. 또한, CPU의 연산 효율 향상, 및 메모리(ROM: Read Only Memory, RAM: Random Access Memory)의 액티브 영역의 제어에 의하여 저소비전력화를 실현했다. 또한, CPU와 컨트롤러의 트랜지스터 수 삭감에 의하여, 칩 면적 축소를 실현하면서, 메모리의 대용량화를 실현했다. 메모리의 대용량화에 의하여, 내 사이드 채널 공격 기능 등도 소프트웨어로 탑재하는 것이 가능하게 되고, 암호 기능을 강화할 수 있었다.

[0155] 이상과 같이, 본 발명의 클록 신호 생성 회로를 구비한 반도체 장치는 안정한 클록 신호를 생성할 수 있고, 예를 들면, UHF 대역 등을 사용한 무선 통신이라도 안정한 동작을 실현할 수 있는 반도체 장치를 싸 값으로 제공할 수 있다.

## 도면의 간단한 설명

[0156] 도 1은 본 발명의 클록 신호 생성 회로의 블록도.

[0157] 도 2는 본 발명의 클록 신호 생성 회로를 구비한 반도체 장치의 일례를 나타내는 도면.

[0158] 도 3은 본 발명의 클록 신호 생성 회로를 구비한 반도체 장치의 일례의 블록도.

[0159] 도 4(A) 및 도 4(B)는 실시예에 있어서의 반도체 장치에 구비된 클록 신호 생성 회로의 신호 파형을 나타내는 도면.

[0160] 도 5는 실시예에 있어서의 반도체 장치에 구비된 클록 신호 생성 회로의 무선 신호 파형을 나타내는 도면.

[0161] 도 6은 본 발명의 클록 신호 생성 회로를 구비한 반도체 장치의 일례의 무선 통신에 대한 측정계의 블록도.

[0162] 도 7은 본 발명의 클록 신호 생성 회로를 구비한 반도체 장치의 일례의 전력 측정 결과를 나타내는 도면.

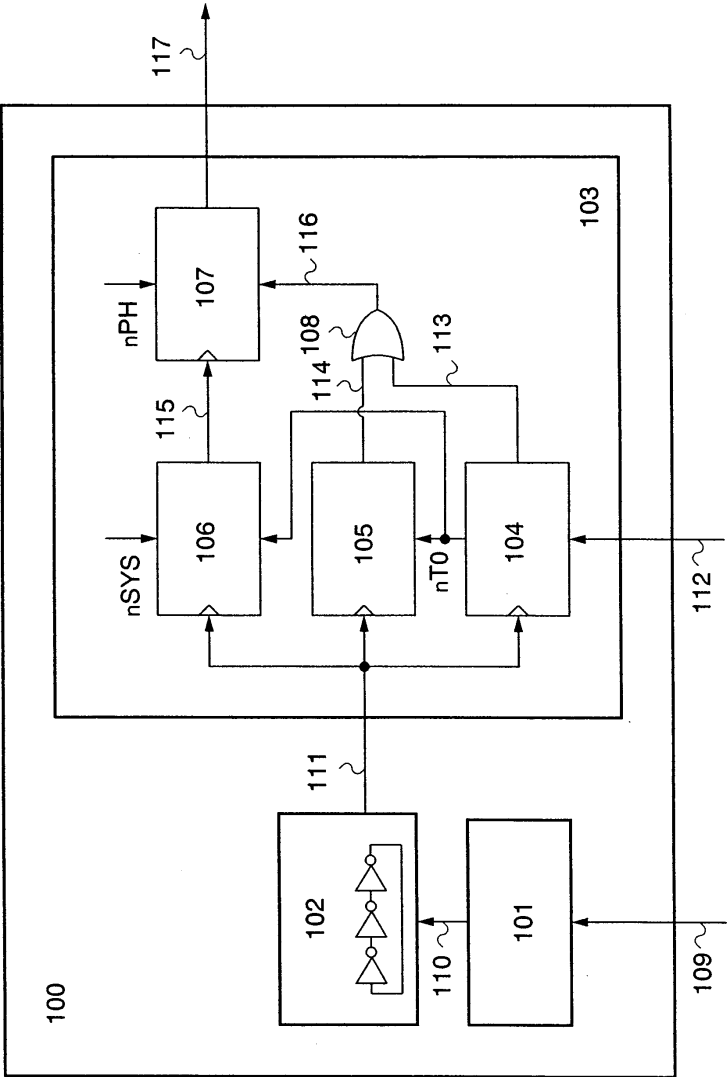
[0163] 도 8은 본 발명의 클록 신호 생성 회로의 타이밍 차트.

- [0164] 도 9(A)~도 9(D)는 본 발명의 클록 신호 생성 회로를 구비한 반도체 장치의 제작방법을 나타내는 단면도.
- [0165] 도 10(A)~도 10(C)는 본 발명의 클록 신호 생성 회로를 구비한 반도체 장치의 제작방법을 나타내는 단면도.
- [0166] 도 11(A) 및 도 11(B)는 본 발명의 클록 신호 생성 회로를 구비한 반도체 장치의 제작방법을 나타내는 단면도.
- [0167] 도 12(A)~도 12(C)는 본 발명의 클록 신호 생성 회로를 구비한 반도체 장치의 제작방법을 나타내는 단면도.
- [0168] 도 13(A)~도 13(C)는 본 발명의 클록 신호 생성 회로를 구비한 반도체 장치의 제작방법을 나타내는 단면도.
- [0169] 도 14(A) 및 도 14(B)는 본 발명의 클록 신호 생성 회로를 구비한 반도체 장치의 제작방법을 나타내는 단면도.
- [0170] 도 15(A)~도 15(F)는 본 발명의 클록 신호 생성 회로를 구비한 반도체 장치의 사용예를 나타내는 도면.
- [0171] 도 16은 본 발명의 클록 신호 생성 회로의 타이밍 차트.
- [0172] <도면의 주요 부분에 대한 부호의 설명>
- |                            |                   |
|----------------------------|-------------------|
| [0173] 100: 클록 신호 생성 회로    | 101: 정전압 회로       |
| [0174] 102: 기준 클록 신호 생성 회로 | 103: 카운터 군        |
| [0175] 104: 제 1 카운터 회로     | 105: 제 2 카운터 회로   |
| [0176] 106: 제 1 분주 회로      | 107: 제 2 분주 회로    |
| [0177] 108: 리셋 신호 생성 회로    | 109: 제 1 전원 전압    |
| [0178] 110: 제 2 전원 전압      | 111: 제 1 기준 클록 신호 |
| [0179] 112: 동기 신호          | 113: 제 1 리셋 신호    |
| [0180] 114: 제 2 리셋 신호      | 115: 제 2 기준 클록 신호 |
| [0181] 116: 제 3 리셋 신호      | 117: 클록 신호        |

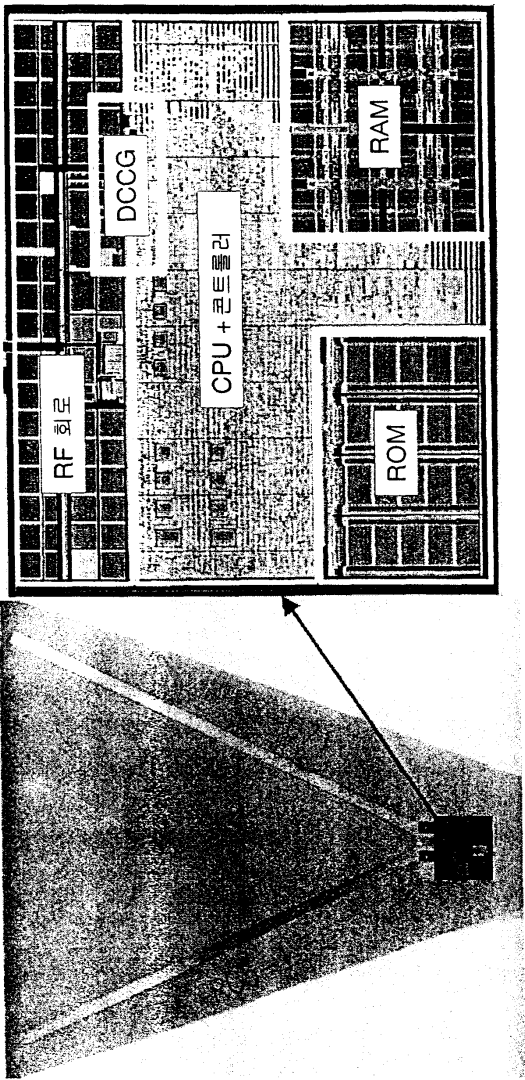


도면

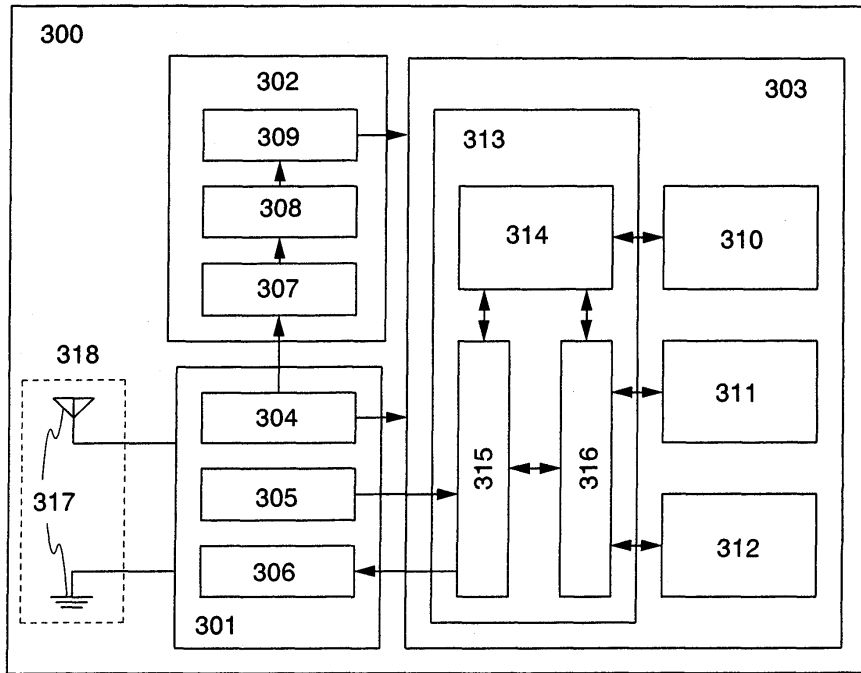
도면1



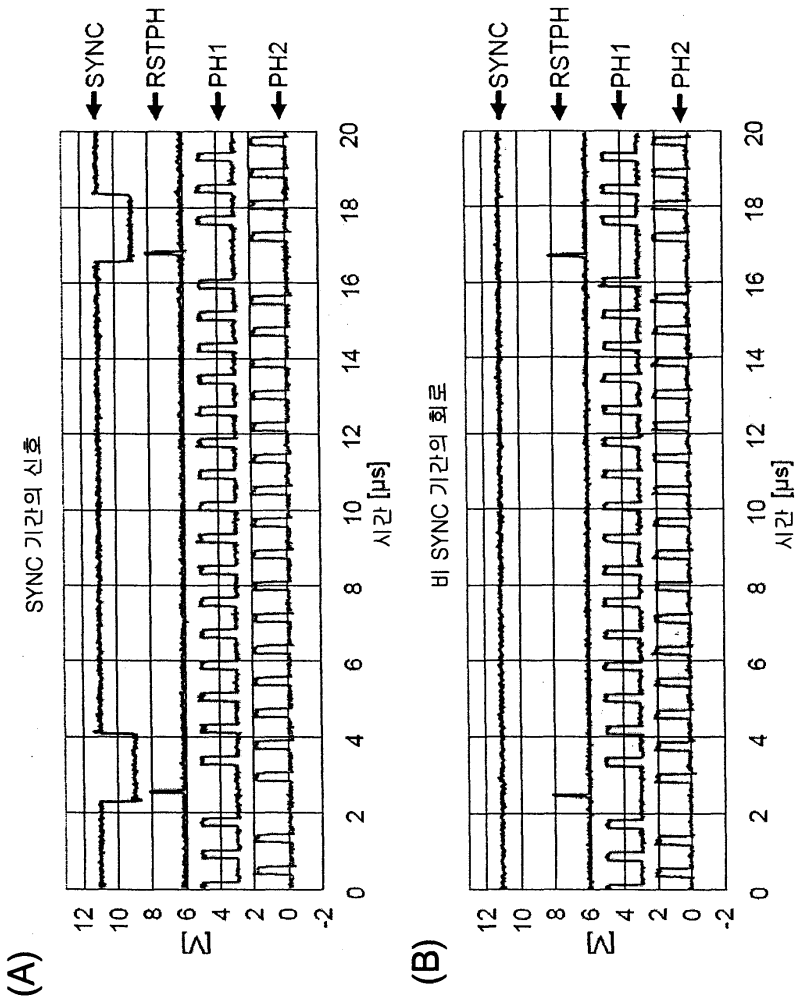
도면2



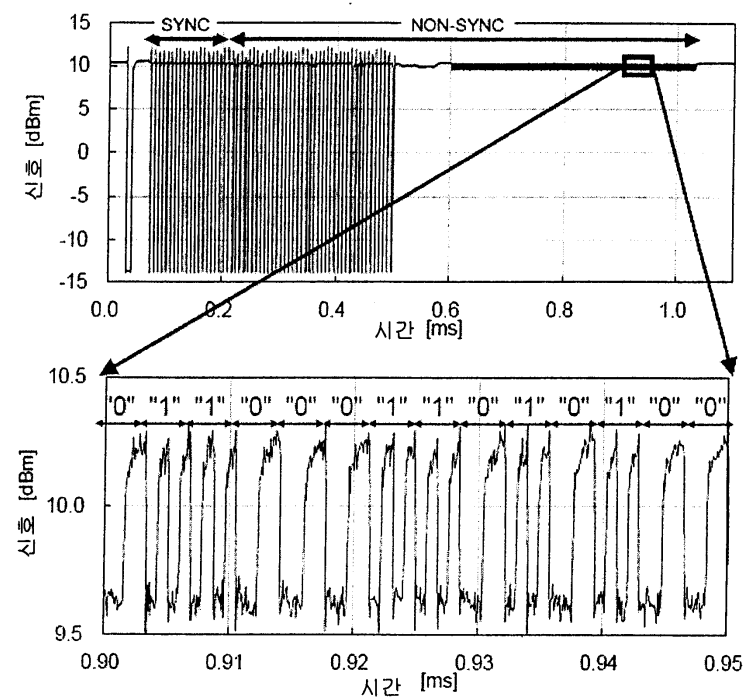
도면3



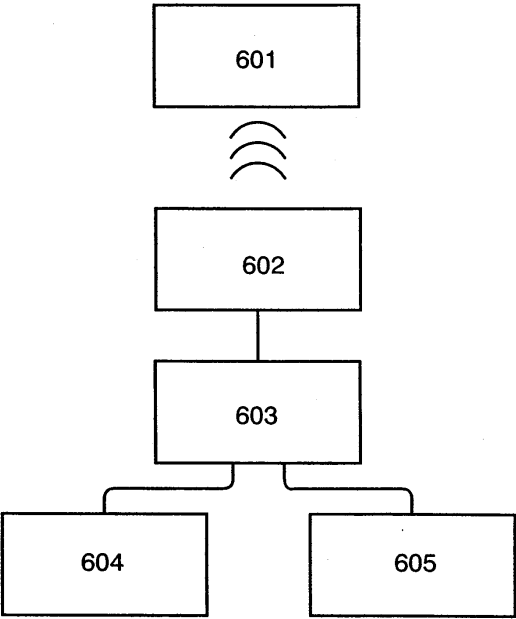
도면4



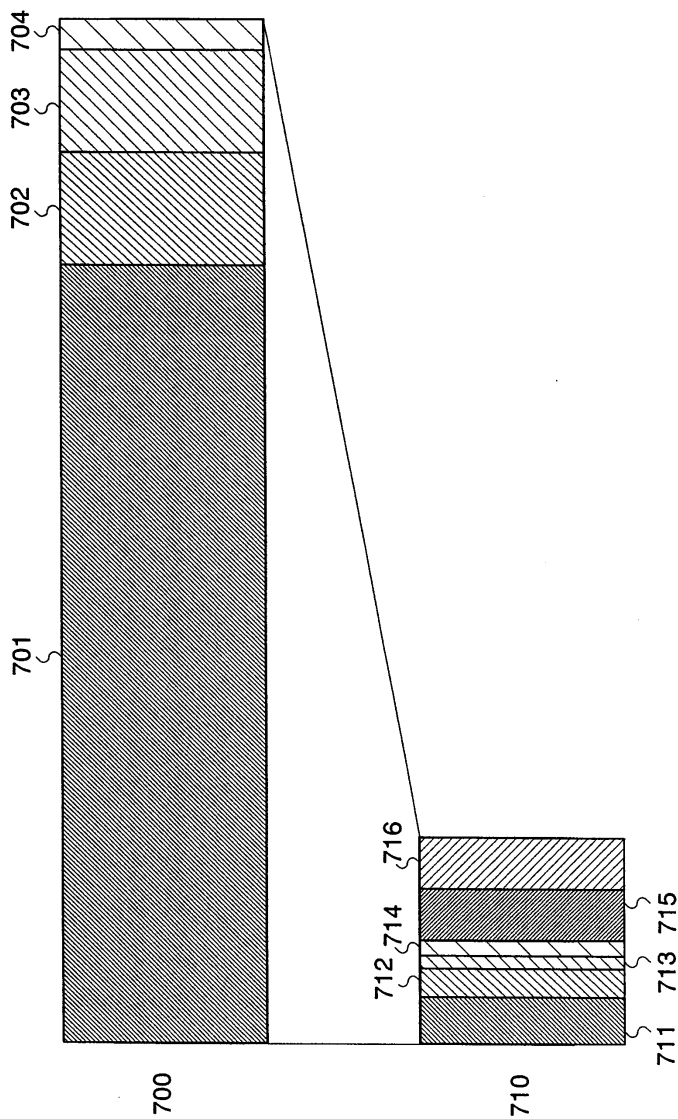
도면5



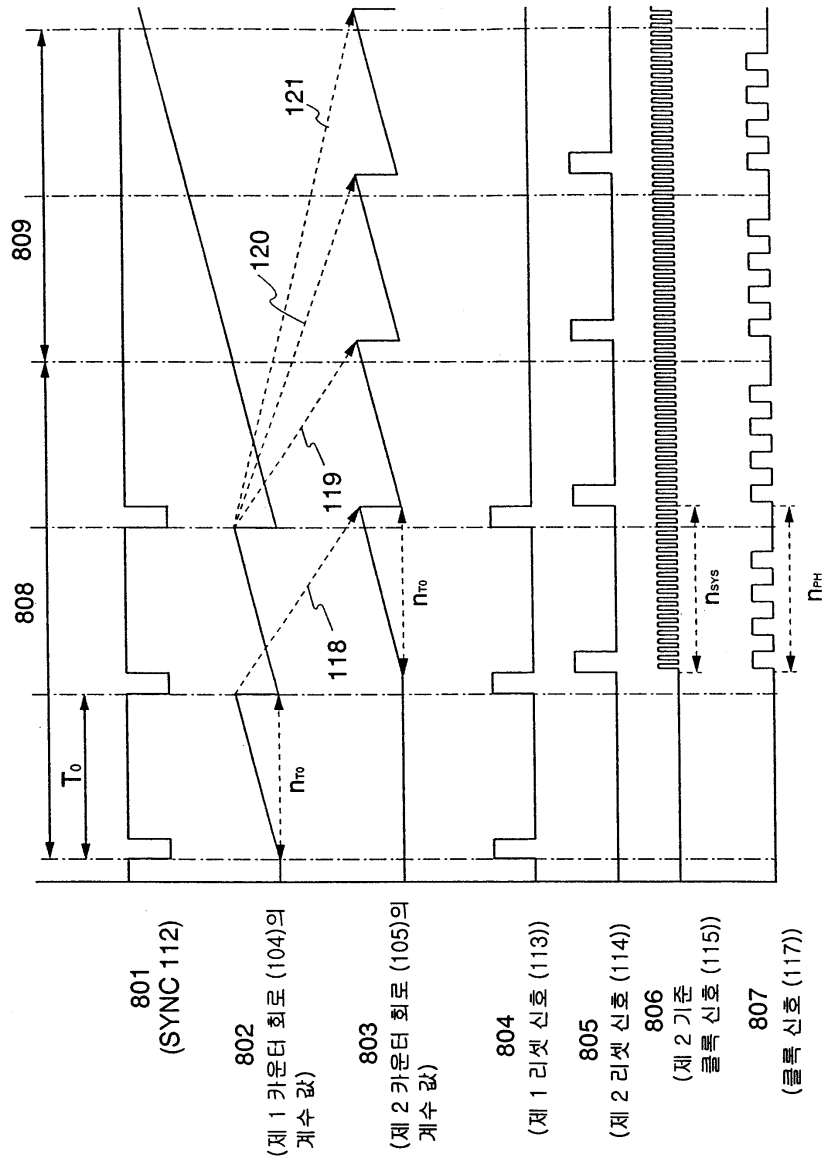
도면6



도면7

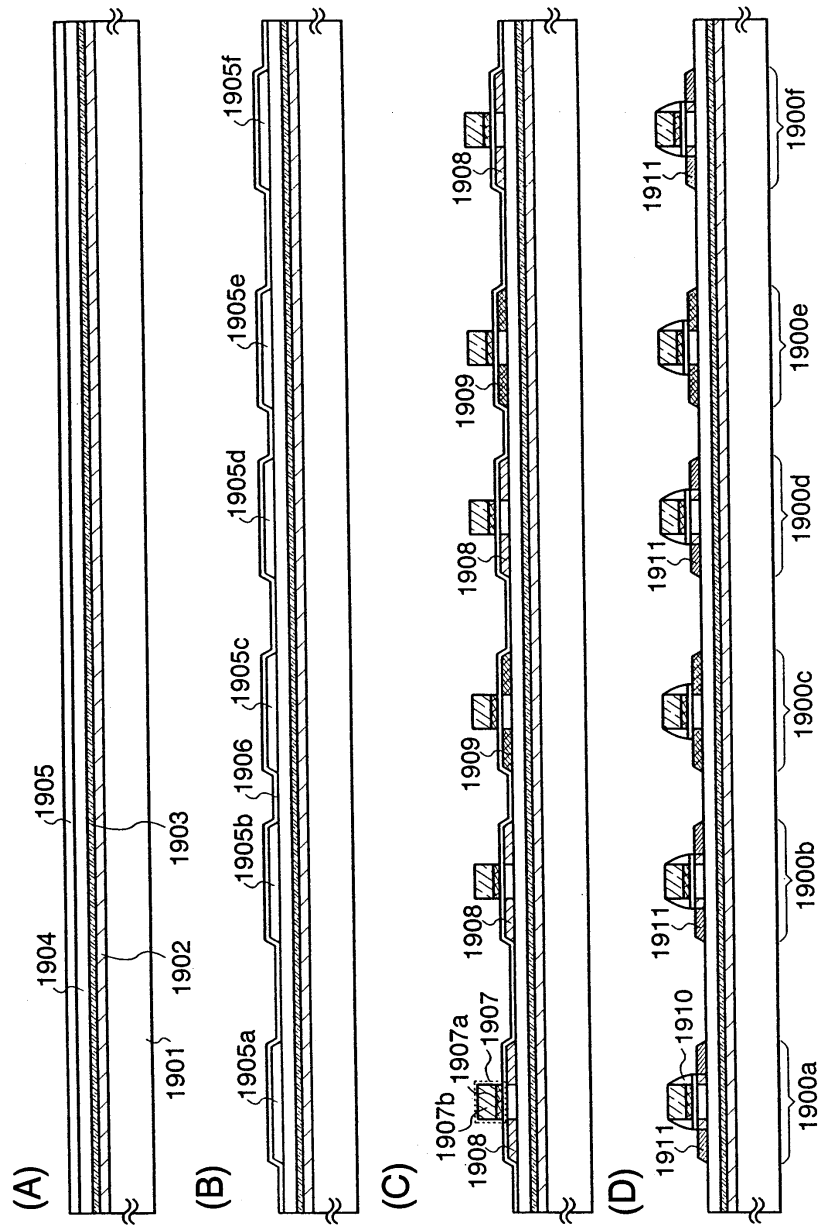


도면8



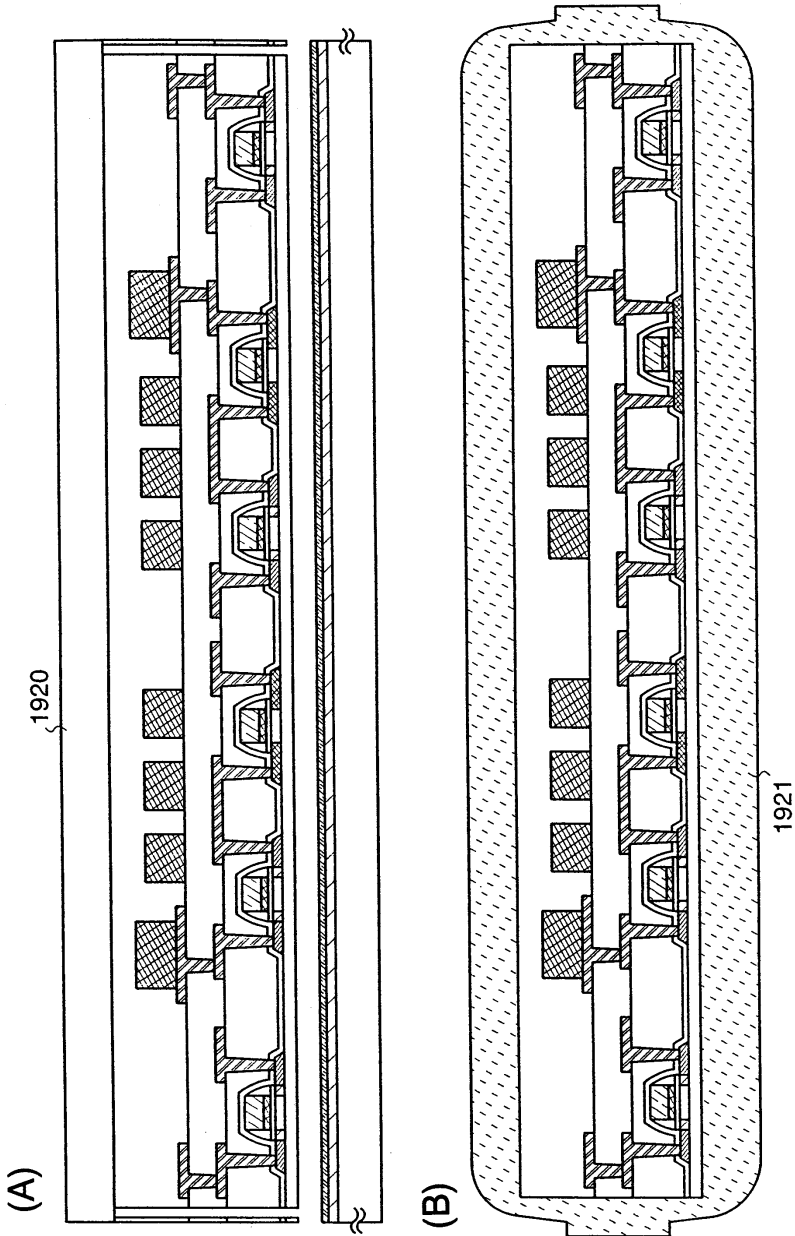


도면9

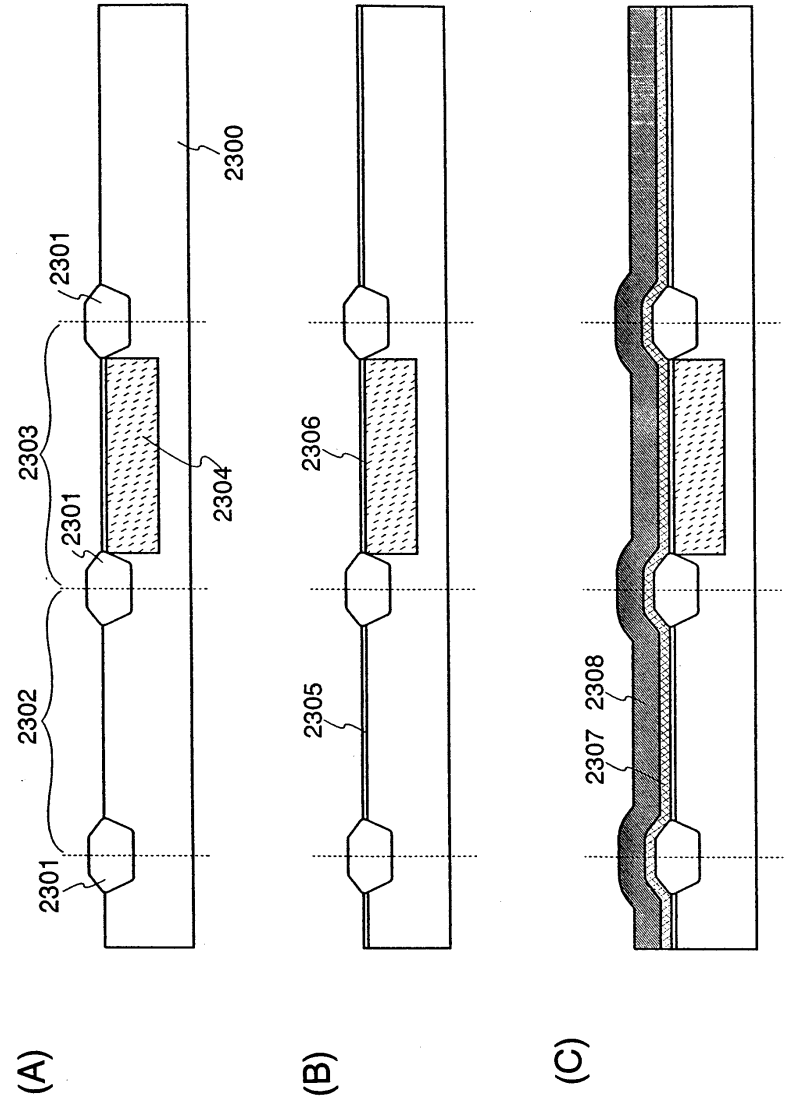




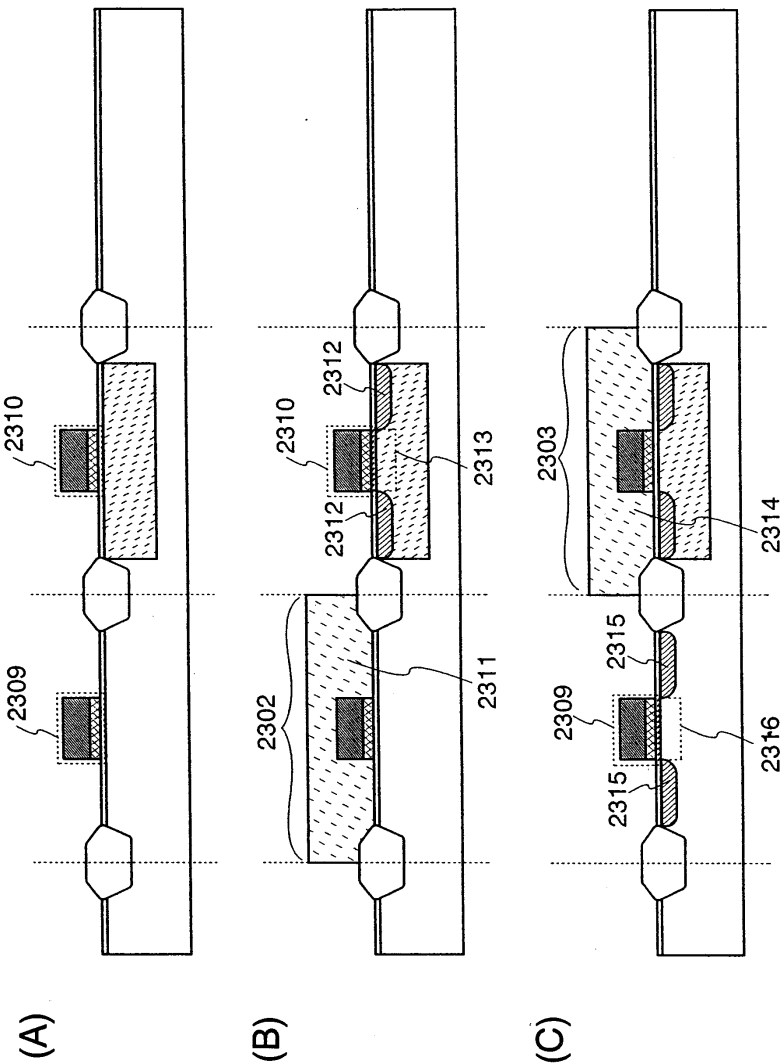
도면11



도면12

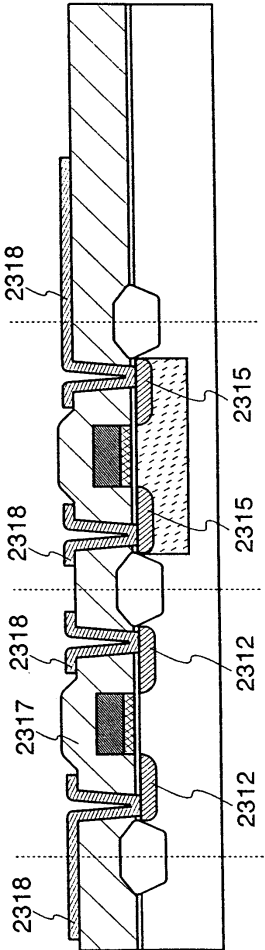


도면13

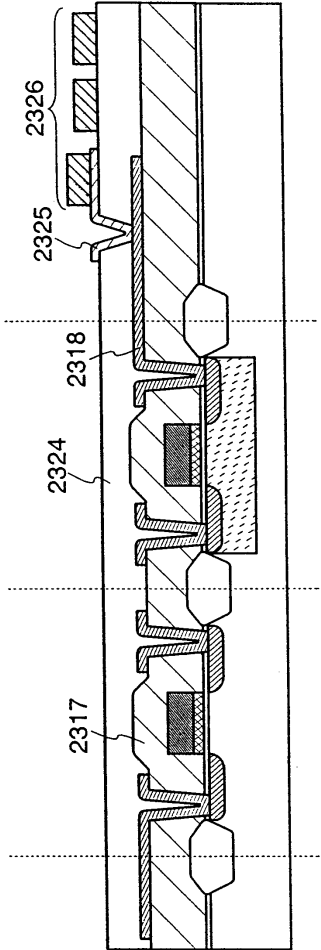


도면14

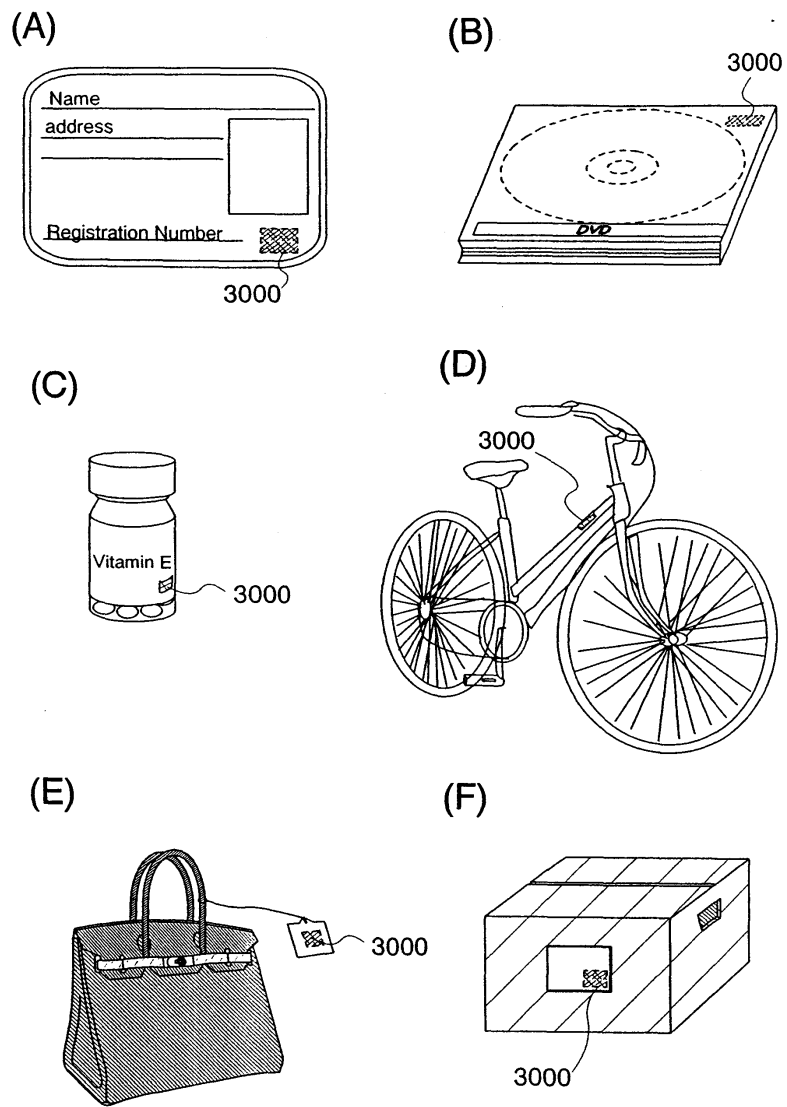
(A)



(B)



도면15





도면16

