

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2019 年 5 月 9 日 (09.05.2019)



(10) 国际公布号
WO 2019/085490 A1

(51) 国际专利分类号:
G09G 3/20 (2006.01)

(21) 国际申请号: PCT/CN2018/091232

(22) 国际申请日: 2018 年 6 月 14 日 (14.06.2018)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201711047038.4 2017 年 10 月 31 日 (31.10.2017) CN

(71) 申请人: 云谷 (固安) 科技有限公司
(YUNGU (GU'AN) TECHNOLOGY CO., LTD.) [CN/
CN]; 中国河北省廊坊市固安县新兴产业
示范区, Hebei 065500 (CN)。

(72) 发明人: 赵敏 (ZHAO, Min); 中国江苏省昆山市
高新区晨丰路 188 号, Jiangsu 215300 (CN)。
李素华 (LI, Suhua); 中国江苏省昆山市高新
区晨丰路 188 号, Jiangsu 215300 (CN)。王鹏
(WANG, Peng); 中国江苏省昆山市高新区晨
丰路 188 号, Jiangsu 215300 (CN)。朱朝月 (ZHU,
Chaoyue); 中国江苏省昆山市高新区晨丰
路 188 号, Jiangsu 215300 (CN)。

(74) 代理人: 北京国昊天诚知识产权代理有限公司 (CO-
HORIZON INTELLECTUAL PROPERTY INC.); 中
国北京市朝阳区小关北里甲 2 号渔阳置业
大厦 B 座 605, Beijing 100029 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家
保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG,
BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU,

(54) Title: PIXEL CIRCUIT AND DRIVING METHOD THEREFOR, AND DISPLAY APPARATUS

(54) 发明名称: 一种像素电路及其驱动方法、显示装置

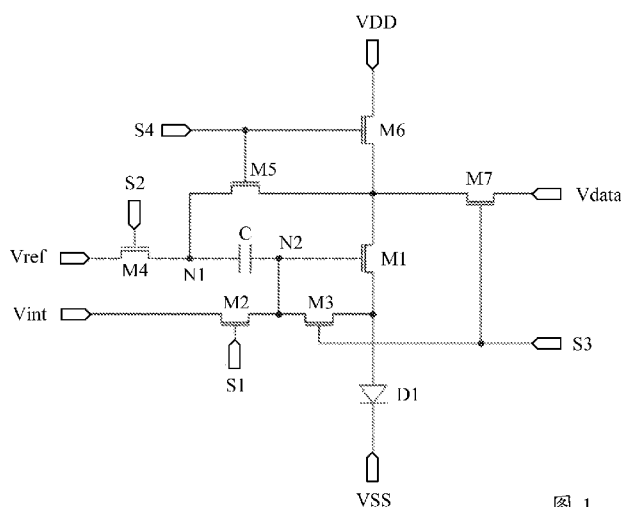


图 1

(57) Abstract: Disclosed are a pixel circuit and a driving method therefor, and a display apparatus. The pixel circuit comprises a first thin-film transistor, a second thin-film transistor, a third thin-film transistor, a fourth thin-film transistor, a fifth thin-film transistor, a sixth thin-film transistor, a seventh thin-film transistor, a light-emitting diode and a storage capacitor. According to the pixel circuit provided in the embodiments of the present application, at a light-emitting stage of the light-emitting diode, a power supply voltage can be compensated for, so that the current flowing through the light-emitting diode is related to a data voltage input to the pixel circuit and a reference voltage, but is unrelated to the power supply voltage, thus effectively avoiding the problem of the display of the display apparatus being non-uniform due to the difference, caused by a power supply voltage drop, of the currents flowing through each light-emitting diode.

(57) 摘要: 本申请公开一种像素电路及其驱动方法、显示装置, 该像素电路包括第一薄膜晶体管、第二薄膜晶体管、第三薄膜晶体管、第四薄膜晶体管、第五薄膜晶体管、第六薄膜晶体管、第七薄膜晶体管、发光二极管以及存储电容。本申请实施例提供的像素电路, 在发光二极管的发光阶段, 可以实现对电源电压的补偿, 使得流经发光二极管的电流与输入该像素电路中的数据电压以及参考电压有关, 与电源电压无关, 从而有效避免由于电源电压降导致的流入每一个发光二极管的电流不同, 显示装置显示不均匀的问题。

CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告 (条约第21条(3))。

一种像素电路及其驱动方法、显示装置

技术领域

5 本申请涉及显示技术领域，尤其涉及一种像素电路及其驱动方法、显示装置。

背景技术

10 有机发光显示装置是一种应用有机发光二极管作为发光器件的显示装置，具有对比度高、厚度薄、视角广、反应速度快、低功耗等特点，被越来越多地应用到各个显示以及照明领域。

现有的有机发光显示装置中，通常可以包含多个像素电路，多个像素电路通常由同一电源提供电源电压，电源电压可以决定流经像素电路中发光二极管的电流。

15 然而，在实际应用中，电源电压在多个像素电路间传输时不可避免的会产生电源电压降（IR drop），导致作用在每一个像素电路的实际电源电压不同，进而导致流经每一个发光二极管的电流不同，显示装置显示的亮度不均匀。

发明内容

20 本申请的主要目的是提供一种像素电路及其驱动方法、显示装置，旨在解决现有的显示装置中，由于电源电压降导致的流经发光二极管的电流不同，显示装置显示的亮度不均匀的问题。

为实现上述目的，本申请提出的像素电路包括第一薄膜晶体管、第二薄膜晶体管、第三薄膜晶体管、第四薄膜晶体管、第五薄膜晶体管、第六薄膜晶体管、第七薄膜晶体管、发光二极管以及存储电容，

25 所述第一薄膜晶体管的栅极分别与所述第二薄膜晶体管的漏极、所述第三薄膜晶体管的源极以及所述存储电容的一端连接，所述第二薄膜晶体管的源极与初始电压信号线连接，所述存储电容的另一端分别与所述第四薄膜晶体管的漏极以及所述第五薄膜晶体管的源极连接，所述第四薄膜晶体管的源极与参考电压信号线连接；

30 所述第一薄膜晶体管的源极分别与所述第五薄膜晶体管的漏极、所述第六薄膜晶体管的漏极以及所述第七薄膜晶体管的源极连接，所述第六薄膜晶

体管的源极与第一电源连接，所述第七薄膜晶体管的漏极与数据线连接；

所述第一薄膜晶体管的漏极分别与所述第三薄膜晶体管的漏极以及所述发光二极管的阳极连接，所述发光二极管的阴极与第二电源连接。

可选地，所述第一电源用于为所述第一薄膜晶体管提供电源电压；

5 所述发光二极管发光时电流流入所述第二电源。

可选地，所述参考电压信号线用于提供参考电压；

所述初始电压信号线用于提供初始电压，所述初始电压用于对所述第一薄膜晶体管的栅极以及所述存储电容的所述一端进行初始化；

所述数据线用于提供数据电压。

10 可选地，所述参考电压以及所述初始电压为负电压。

可选地，所述第二薄膜晶体管的栅极与第一扫描线连接，当由所述第一扫描线提供的第一扫描信号控制所述第二薄膜晶体管处于导通状态时，所述初始电压对所述第一薄膜晶体管的栅极以及所述存储电容的所述一端进行初始化；

15 所述第四薄膜晶体管的栅极与第二扫描线连接，当由所述第二扫描线提供的第二扫描信号控制所述第四薄膜晶体管处于导通状态时，所述参考电压向所述存储电容的所述另一端施加电压；

所述第三薄膜晶体管的栅极以及所述第七薄膜晶体管的栅极与第三扫描线连接，当由所述第三扫描线提供的第三扫描信号控制所述第三薄膜晶体管以及所述第七薄膜晶体管处于导通状态时，对所述第一薄膜晶体管的阈值电压进行补偿；

20 所述第五薄膜晶体管的栅极以及所述第六薄膜晶体管的栅极与第四扫描线连接，当由所述第四扫描线提供的第四扫描信号控制所述第五薄膜晶体管以及所述第六薄膜晶体管处于导通状态时，电流流经所述发光二极管。

25 可选地，当所述第四扫描线控制所述第五薄膜晶体管以及所述第六薄膜晶体管处于导通状态时，所述第一电源分别向所述第一薄膜晶体管 M1 的源极以及所述存储电容的所述另一端施加电压，在所述存储电容的作用下，流经所述发光二极管的电流与所述第一电源无关。

30 可选地，所述第一薄膜晶体管为驱动薄膜晶体管，且所述第一薄膜晶体管为 P 型薄膜晶体管；

所述第二薄膜晶体管、所述第三薄膜晶体管、所述第四薄膜晶体管、所

述第五薄膜晶体管、所述第六薄膜晶体管以及所述第七薄膜晶体管分别独立地为 N 型薄膜晶体管或 P 型薄膜晶体管。

本申请实施例还提供一种像素电路的驱动方法，用于驱动上述记载的所述像素电路，所述驱动方法包括：

5 第一阶段，第一扫描信号控制所述第二薄膜晶体管由截止状态变为导通状态，初始电压对所述第一薄膜晶体管的栅极、所述存储电容的一端进行初始化，第二扫描信号控制所述第四薄膜晶体管由截止状态变为导通状态，参考电压向所述存储电容的另一端施加电压，第三扫描信号控制所述第三薄膜晶体管以及所述第七薄膜晶体管处于截止状态，第四扫描信号控制所述第五
10 薄膜晶体管以及所述第六薄膜晶体管由导通状态变为截止状态；

 第二阶段，第一扫描信号控制所述第二薄膜晶体管由导通状态变为截止状态，第二扫描信号控制所述第四薄膜晶体管由导通状态变为截止状态，第三扫描信号控制所述第三薄膜晶体管以及所述第七薄膜晶体管由截止状态变为导通状态，对所述第一薄膜晶体管的阈值电压进行补偿，第四扫描信号控
15 制所述第五薄膜晶体管以及所述第六薄膜晶体管处于截止状态；

 第三阶段，第一扫描信号控制所述第二薄膜晶体管处于截止状态，第二扫描信号控制所述第四薄膜晶体管处于截止状态，第三扫描信号控制所述第三薄膜晶体管以及所述第七薄膜晶体管由导通状态变为截止状态，第四扫描信号控制所述第五薄膜晶体管以及所述第六薄膜晶体管由截止状态变为导通
20 状态，电流流经所述发光二极管，所述发光二极管发光。

 可选地，在所述第一阶段，所述第一薄膜晶体管的栅极电压以及所述存储电容的所述一端的电压为 V_{int} ，所述存储电容的所述另一端的电压为 V_{ref} ，其中， V_{int} 为所述初始电压， V_{ref} 为所述参考电压。

 可选地，在所述第二阶段，所述第一薄膜晶体管的栅极与漏极连接，数
25 据电压向所述第一薄膜晶体管的源极施加电压，使得所述第一薄膜晶体管的栅极电压为 $V_{data}+V_{th}$ ，对所述第一薄膜晶体管的阈值电压进行补偿，其中， V_{th} 为所述第一薄膜晶体管的阈值电压。

 可选地，在所述第三阶段，所述第一电源向所述第一薄膜晶体管的源极以及所述存储电容的所述另一端施加电压，所述存储电容的所述另一端的电
30 压由 V_{ref} 变为 V_{DD} ，在所述存储电容的作用下，所述第一薄膜晶体管的栅极电压为 $V_{DD}-V_{ref}+V_{data}+V_{th}$ ，使得流经所述发光二极管的电流与所述第一电

源无关，其中，VDD 为所述第一电源。

本申请实施例还提供一种显示装置，该显示装置包括上述记载的所述像素电路。

本申请实施例采用的上述至少一个技术方案能够达到以下有益效果：

5 本申请实施例提供的像素电路，包括七个薄膜晶体管、一个存储电容以及一个发光二极管，在发光二极管的发光阶段，该像素电路可以实现对电源电压的补偿，使得流经发光二极管的电流与输入该像素电路中的数据电压以及参考电压有关，与电源电压无关，从而有效避免由于电源电压降导致的流入每一个发光二极管的电流不同，显示装置显示不均匀的问题。

10 此外，本申请实施例提供的像素电路还可以对驱动薄膜晶体管阈值电压进行补偿，有效避免由于驱动薄膜晶体管阈值电压的不同导致的显示装置显示不均匀的问题。

附图说明

15 图1为本申请实施例提供的一种像素电路的结构示意图；

图2为本申请实施例提供的一种像素电路的驱动方法的时序图。

本申请目的的实现、功能特点及优点将结合实施例，参照附图做进一步说明。

20 具体实施方式

需要说明的是，在本申请实施例提供的像素电路中，所述第一薄膜晶体管为驱动薄膜晶体管，具体可以为P型薄膜晶体管；所述第二薄膜晶体管、所述第三薄膜晶体管、所述第四薄膜晶体管、所述第五薄膜晶体管、所述第六薄膜晶体管以及所述第七薄膜晶体管可以均为P型薄膜晶体管，也可以均为N型薄膜晶体管，还可以是其中至少一者为P型薄膜晶体管，其余的为N型薄膜晶体管，本申请实施例不做具体限定。

本申请实施例中，不同类型的薄膜晶体管，不同扫描线提供的扫描信号可以不同，本申请实施例可以以所述第一薄膜晶体管至所述第七薄膜晶体管均是P型薄膜晶体管为例进行说明。

30 所述发光二极管可以是LED，也可以是OLED，这里也不做具体限定。本申请实施例可以以所述发光二极管是OLED为例进行说明。

以下结合附图，详细说明本申请各实施例提供的技术方案。

图1为本申请实施例提供的一种像素电路的结构示意图。所述像素电路如下所述。

如图1所示，所述像素电路包括第一薄膜晶体管M1、第二薄膜晶体管M2、第三薄膜晶体管M3、第四薄膜晶体管M4、第五薄膜晶体管M5、第六薄膜晶体管M6、第七薄膜晶体管M7、存储电容C以及发光二极管D1。

其中，图1所示的像素电路中，第一薄膜晶体管M1、第二薄膜晶体管M2、第三薄膜晶体管M3、第四薄膜晶体管M4、第五薄膜晶体管M5、第六薄膜晶体管M6以及第七薄膜晶体管M7均为P型薄膜晶体管，发光二极管D1为OLED。

图1所示的像素电路的电路连接结构如下所述：

第一薄膜晶体管M1的栅极分别与第二薄膜晶体管M2的漏极、第三薄膜晶体管M3的源极以及存储电容C的一端（图1所示的N2点）连接，第一薄膜晶体管M1的源极分别与第五薄膜晶体管M5的漏极、第六薄膜晶体管M6的漏极以及第七薄膜晶体管M7的源极连接，第一薄膜晶体管M1的漏极分别与第三薄膜晶体管M3的漏极以及发光二极管D1的阳极连接；

第二薄膜晶体管M2的源极与初始电压信号线连接；

第四薄膜晶体管M4的源极与参考电压信号线连接，第四薄膜晶体管M4的漏极分别与第五薄膜晶体管M5的源极以及存储电容C的另一端（图1所示的N1点）连接；

第六薄膜晶体管M6的源极第一电源VDD连接；

第七薄膜晶体管M7的漏极与数据线连接；

发光二极管D1的阴极与第二电源VSS连接。

本申请实施例中，所述第一电源VDD可以是正电压，并用于为第一薄膜晶体管M1提供电源电压。第一薄膜晶体管M1在第一电源VDD的作用下，可以输出电流，该电流流入发光二极管D1，使得发光二极管D1发光。在发光二极管D1发光时，该电流流入第二电源VSS，第二电源VSS可以是负电压。

所述数据电压信号线可以用于提供数据电压Vdata，所述参考电压信号线可以用于提供参考电压Vref，初始电压信号线可以用于提供初始电压Vint。初始电压Vint可以对第一薄膜晶体管M1的栅极以及存储电容C的一端（图1所示的N2点，即存储电容C的右极板）进行初始化。本申请实施例中，参考电压Vref以及初始电压Vint可以均为负电压。

图1所示的像素电路中，S1为由第一扫描线提供的第一扫描信号，S2为由第二扫描线提供的第二扫描信号，S3为由第三扫描线提供的第三扫描信号，S4为由第四扫描线提供的第四扫描信号，其中：

第二薄膜晶体管M2的栅极与所述第一扫描线连接，由所述第一扫描线提供的
5 第一扫描信号S1可以控制第二薄膜晶体管M2处于导通状态或截止状态；

第四薄膜晶体管M4的栅极与所述第二扫描线连接，由所述第二扫描线提供的第二扫描信号S2可以控制第四薄膜晶体管M4处于导通状态或截止状态；

第三薄膜晶体管M3的栅极以及第七薄膜晶体管M7的栅极与第三扫描线连接，由所述第三扫描线提供的第三扫描信号S3可以控制第三薄膜晶体管M3
10 以及第七薄膜晶体管M7处于导通状态或截止状态；

第五薄膜晶体管M5的栅极以及第六薄膜晶体管M6的栅极与所述第四扫描线连接，由所述第四扫描线提供的第四扫描信号S4可以控制第五薄膜晶体管M5以及第六薄膜晶体管M6处于导通状态或截止状态。

本申请实施例中，当第一扫描信号S1控制第二薄膜晶体管M2处于导通状态时，初始电压Vint可以通过第二薄膜晶体管M2向第一薄膜晶体管M1的栅极以及存储电容C的一端（图1所示的N2点，即存储电容C的右极板）施加电压，
15 对第一薄膜晶体管M1的栅极以及存储电容C的右极板进行初始化；

当第二扫描信号S2控制第四薄膜晶体管M4处于导通状态时，参考电压Vref可以通过第四薄膜晶体管M4向存储电容C的另一端（图1所示的N1点，即
20 存储电容C的左极板）施加电压，参考电压Vref输入所述像素电路，存储电容C的左极板（图1所示的N1点）电压为Vref。

当第三扫描信号S3控制第三薄膜晶体管M3以及第七薄膜晶体管M7处于导通状态时，第一薄膜晶体管M1的栅极与漏极连接，数据电压Vdata通过第七薄膜晶体管M7向第一薄膜晶体管M1的源极施加电压，并通过第一薄膜晶体管M1的漏极向第一薄膜晶体管M1的栅极充电，电路状态稳定后，第一薄膜晶体管M1的栅极电压以及漏极电压均为Vdata+Vth，其中，Vth为第一薄膜晶体管M1的阈值电压；
25

当第四扫描信号S4控制第五薄膜晶体管M5以及第六薄膜晶体管M6处于导通状态时，第一电源VDD通过第六薄膜晶体管M6向第一薄膜晶体管M1的源极施加电压，在第一电源VDD的作用下，该有电流流经发光二极管D1，发光二极管D1发光。在发光二极管D1发光时，可以实现对第一薄膜晶体管M1
30

阈值电压的补偿。

本申请实施例中，当第四扫描信号S4控制第五薄膜晶体管M5以及第六薄膜晶体管M6处于导通状态时，第一电源VDD还可以通过第五薄膜晶体管M5向存储电容C的另一端（图1所示的N1点，即存储电容C的左极板）施加电压，使得存储电容C的左极板电压由Vref变为VDD，相应地，存储电容C的右极板（图1所示的N2点）电压由Vdata+Vth变为VDD-Vref+Vdata+Vth，即第一薄膜晶体管M1的栅极电压变为VDD-Vref+Vdata+Vth。这样，在第一电源VDD向第一薄膜晶体管M1的源极施加电压，电流流经发光二极管D1时，在所述电流的公式中，作用在第一薄膜晶体管M1源极的第一电源VDD与第一薄膜晶体管M1栅极电压中的VDD相互抵消，使得流经发光二极管D1的电流与第一电源VDD无关，实现对第一电源VDD的补偿。由于流经发光二极管D1的电流与第一电源VDD无关，因此，可以有效避免第一电源VDD产生的电源电压降对显示装置显示均匀性的影响。

图2为本申请实施例提供的一种像素电路的驱动方法的时序图，所述时序图对应的像素电路的驱动方法可以用于驱动图1所示的像素电路。

图2所示的时序图对应的像素电路的驱动方法可以包括三个阶段：第一阶段t1、第二阶段t2以及第三阶段t3，其中，S1可以是图1所示实施例中记载的由所述第一扫描线提供的第一扫描信号，S2可以是图1所示实施例中记载的由所述第二扫描线提供的第二扫描信号，S3可以是图1所示实施例中记载的由所述第三扫描线提供的第三扫描信号，S4可以是图1所示实施例中记载的由所述第四扫描线提供的第四扫描信号。

图2所示的时序图对应的像素电路的驱动方法，具体包括：

第一阶段t1，第一扫描信号S1控制第二薄膜晶体管M2由截止状态变为导通状态，初始电压Vint对第一薄膜晶体管M1的栅极、存储电容C的一端进行初始化，第二扫描信号S2控制第四薄膜晶体管M4由截止状态变为导通状态，参考电压Vref向存储电容C的另一端施加电压，第三扫描信号S3控制第三薄膜晶体管M3以及第七薄膜晶体管M7处于截止状态，第四扫描信号S4控制第五薄膜晶体管M5以及第六薄膜晶体管M6由导通状态变为截止状态；

第二阶段t2，第一扫描信号S1控制第二薄膜晶体管M2由导通状态变为截止状态，第二扫描信号S2控制第四薄膜晶体管M4由导通状态变为截止状态，第三扫描信号S3控制第三薄膜晶体管M3以及第七薄膜晶体管M7由截止状态

变为导通状态，对第一薄膜晶体管M1的阈值电压进行补偿，第四扫描信号S4控制第五薄膜晶体管M5以及第六薄膜晶体管M6处于截止状态；

第三阶段t3，第一扫描信号S1控制第二薄膜晶体管M2处于截止状态，第二扫描信号S2控制第四薄膜晶体管M4处于截止状态，第三扫描信号S3控制第三薄膜晶体管M3以及第七薄膜晶体管M7由导通状态变为截止状态，第四扫描信号S4控制第五薄膜晶体管M5以及第六薄膜晶体管M6由截止状态变为导通状态，电流流经发光二极管D1，发光二极管D1发光。

下面分别针对上述三个阶段进行具体分析：

针对第一阶段t1：

由于第一扫描信号S1由高电平变为低电平，第二扫描信号S2由高电平变为低电平，第三扫描信号S3保持高电平，第四扫描信号S4由低电平变为高电平，因此，第二薄膜晶体管M2由截止状态变为导通状态，第四薄膜晶体管M4由截止状态变为导通状态，第三薄膜晶体管M3以及第七薄膜晶体管M7处于截止状态，第五薄膜晶体管M5以及第六薄膜晶体管M6由导通状态变为截止状态。

此时，初始电压Vint通过第二薄膜晶体管M2向第一薄膜晶体管M1的栅极以及存储电容C的右极板（图1所示的N2点）施加电压，使得第一薄膜晶体管M1的栅极电压以及存储电容C的右极板电压均变为Vint，实现对第一薄膜晶体管M1的栅极以及存储电容C的右极板的初始化。

参考电压Vref通过第四薄膜晶体管M4向存储电容C的左极板（图1所示的N1点）施加电压，使得存储电容C的左极板电压变为Vref，参考电压Vref写入所述像素电路。

针对第二阶段t2：

由于第一扫描信号S1由低电平变为高电平，第二扫描信号S2由低电平变为高电平，第三扫描信号S3由高电平变为低电平，第四扫描信号S4保持高电平，因此，第二薄膜晶体管M2由导通状态变为截止状态，第四薄膜晶体管M4由导通状态变为截止状态，第三薄膜晶体管M3以及第七薄膜晶体管M7由截止状态变为导通状态，第五薄膜晶体管M5以及第六薄膜晶体管M6仍处于截止状态。

此时，第一薄膜晶体管M1的栅极通过第三薄膜晶体管M3与漏极连接，数据电压Vdata通过第七薄膜晶体管M7向第一薄膜晶体管M1的源极施加电压，

使得第一薄膜晶体管M1的源极电压为Vdata，该数据电压Vdata可以经过第一薄膜晶体管M1的漏极作用在第一薄膜晶体管M1的栅极，并对第一薄膜晶体管M1的栅极进行充电，电路稳定后，由第一薄膜晶体管M1的特性可知，第一薄膜晶体管M1的栅极电压以及漏极电压均为Vdata+Vth。这样，在发光二极管D1的发光阶段，可以实现对第一薄膜晶体管M1阈值电压的补偿，其中，Vth为第一薄膜晶体管M1的阈值电压。

针对第三阶段t3:

由于第一扫描信号S1保持高电平，第二扫描信号S2保持高电平，第三扫描信号S3由低电平变为高电平，第四扫描信号S4由高电平变为低电平，因此，第二薄膜晶体管M2处于截止状态，第四薄膜晶体管M4处于截止状态，第三薄膜晶体管M3以及第七薄膜晶体管M7由导通状态变为截止状态，第五薄膜晶体管M5以及第六薄膜晶体管M6由截止状态变为导通状态。

此时，第一电源VDD通过第六薄膜晶体管M6向第一薄膜晶体管M1的源极施加电压，使得第一薄膜晶体管M1的源极电压变为VDD，同时，第一电源VDD通过第五薄膜晶体管M5向存储电容C的左极板（图1所示的N1点）施加电压，使得存储电容C的左极板电压由Vref变为VDD，相应地，存储电容C的右极板（图1所示的N2点）电压由Vdata+Vth变为VDD-Vref+Vdata+Vth，由于第一薄膜晶体管M1的栅极电压与存储电容C的右极板电压相等，因此，第一薄膜晶体管M1的栅极电压为VDD-Vref+Vdata+Vth。

在第一电源VDD的作用下，第一薄膜晶体管M1产生驱动电流，该驱动电流流经发光二极管D1，使得发光二极管D1发光。

在第三阶段t3，流经发光二极管D1的电流可以表示为：

$$I_{OLED} = \mu C_{ox} \frac{W}{2L} (V_{gs} - V_{th})^2 = \mu C_{ox} \frac{W}{2L} (V_g - V_s - V_{th})^2 = \mu C_{ox} \frac{W}{2L} (V_{data} - V_{ref})^2$$

其中， μ 为第一薄膜晶体管M1的电子迁移率， C_{ox} 为第一薄膜晶体管M1单位面积的栅氧化层电容，W/L为第一薄膜晶体管M1的宽长比， V_s 为第一薄膜晶体管M1的源极电压VDD， V_g 为第一薄膜晶体管M1的栅极电压VDD-Vref+Vdata+Vth。

由上述公式可知，流经发光二极管D1的电流与数据电压以及参考电压Vref有关，与第一电源VDD无关，也与第一薄膜晶体管M1的阈值电压无关，实现了对第一电源VDD的补偿，避免了第一电源VDD的电源电压降对显示效

果的影响，保证了显示装置显示的均匀性，同时，实现了对第一薄膜晶体管M1的阈值电压的补偿，避免了由于第一薄膜晶体管M1的阈值电压的不同导致的显示装置显示不均匀的问题。

5 本申请实施例提供的像素电路的驱动方法，在发光二极管的发光阶段，
可以实现对电源电压的补偿，使得流经发光二极管的电流与输入该像素电路
中的数据电压以及参考电压有关，与电源电压无关，从而有效避免由于电源
电压降导致的流入每一个发光二极管的电流不同，显示装置显示不均匀的问
题。

10 本申请实施例还提供一种显示装置，所述显示装置可以包括上述记载的
所述像素电路。

显然，本领域的技术人员可以对本申请进行各种改动和变型而不脱离本
申请的范围。这样，倘若本申请的这些修改和变型属于本申请权利要求及其
等同技术的范围之内，则本申请也意图包含这些改动和变型在内。

15

20

25

30

权利要求书

1、一种像素电路，其中，所述像素电路包括第一薄膜晶体管、第二薄膜晶体管、第三薄膜晶体管、第四薄膜晶体管、第五薄膜晶体管、第六薄膜晶体管、第七薄膜晶体管、发光二极管以及存储电容，

5 所述第一薄膜晶体管的栅极分别与所述第二薄膜晶体管的漏极、所述第三薄膜晶体管的源极以及所述存储电容的一端连接，所述第二薄膜晶体管的源极与初始电压信号线连接，所述存储电容的另一端分别与所述第四薄膜晶体管的漏极以及所述第五薄膜晶体管的源极连接，所述第四薄膜晶体管的源极与参考电压信号线连接；

10 所述第一薄膜晶体管的源极分别与所述第五薄膜晶体管的漏极、所述第六薄膜晶体管的漏极以及所述第七薄膜晶体管的源极连接，所述第六薄膜晶体管的源极与第一电源连接，所述第七薄膜晶体管的漏极与数据线连接；

所述第一薄膜晶体管的漏极分别与所述第三薄膜晶体管的漏极以及所述发光二极管的阳极连接，所述发光二极管的阴极与第二电源连接。

15 2、如权利要求 1 所述的像素电路，其中，
所述第一电源用于为所述第一薄膜晶体管提供电源电压；
所述发光二极管发光时电流流入所述第二电源。

3、如权利要求 1 所述的像素电路，其中，
所述参考电压信号线用于提供参考电压；

20 所述初始电压信号线用于提供初始电压，所述初始电压用于对所述第一薄膜晶体管的栅极以及所述存储电容的所述一端进行初始化；
所述数据线用于提供数据电压。

4、如权利要求 3 所述的像素电路，其中，
所述参考电压以及所述初始电压为负电压。

25 5、如权利要求 4 所述的像素电路，其中，

所述第二薄膜晶体管的栅极与第一扫描线连接，当由所述第一扫描线提供的第一扫描信号控制所述第二薄膜晶体管处于导通状态时，所述初始电压

对所述第一薄膜晶体管的栅极以及所述存储电容的所述一端进行初始化;

所述第四薄膜晶体管的栅极与第二扫描线连接,当由所述第二扫描线提供的第二扫描信号控制所述第四薄膜晶体管处于导通状态时,所述参考电压向所述存储电容的所述另一端施加电压;

- 5 所述第三薄膜晶体管的栅极以及所述第七薄膜晶体管的栅极与第三扫描线连接,当由所述第三扫描线提供的第三扫描信号控制所述第三薄膜晶体管以及所述第七薄膜晶体管处于导通状态时,对所述第一薄膜晶体管的阈值电压进行补偿;

- 10 所述第五薄膜晶体管的栅极以及所述第六薄膜晶体管的栅极与第四扫描线连接,当由所述第四扫描线提供的第四扫描信号控制所述第五薄膜晶体管以及所述第六薄膜晶体管处于导通状态时,电流流经所述发光二极管。

6、如权利要求 5 所述的像素电路,其中,

- 15 当所述第四扫描线控制所述第五薄膜晶体管以及所述第六薄膜晶体管处于导通状态时,所述第一电源分别向所述第一薄膜晶体管 M1 的源极以及所述存储电容的所述另一端施加电压,在所述存储电容的作用下,流经所述发光二极管的电流与所述第一电源无关。

7、如权利要求 1 至 6 任一项所述的像素电路,其中,

所述第一薄膜晶体管为驱动薄膜晶体管,且所述第一薄膜晶体管为 P 型薄膜晶体管;

- 20 所述第二薄膜晶体管、所述第三薄膜晶体管、所述第四薄膜晶体管、所述第五薄膜晶体管、所述第六薄膜晶体管以及所述第七薄膜晶体管分别独立地为 N 型薄膜晶体管或 P 型薄膜晶体管。

8、一种如权利要求 1 至 7 任一项所述的像素电路的驱动方法,其中,所述驱动方法包括:

- 25 第一阶段,第一扫描信号控制所述第二薄膜晶体管由截止状态变为导通状态,初始电压对所述第一薄膜晶体管的栅极、所述存储电容的一端进行初始化,第二扫描信号控制所述第四薄膜晶体管由截止状态变为导通状态,参考电压向所述存储电容的另一端施加电压,第三扫描信号控制所述第三薄膜

晶体管以及所述第七薄膜晶体管处于截止状态，第四扫描信号控制所述第五薄膜晶体管以及所述第六薄膜晶体管由导通状态变为截止状态；

5 第二阶段，第一扫描信号控制所述第二薄膜晶体管由导通状态变为截止状态，第二扫描信号控制所述第四薄膜晶体管由导通状态变为截止状态，第三扫描信号控制所述第三薄膜晶体管以及所述第七薄膜晶体管由截止状态变为导通状态，对所述第一薄膜晶体管的阈值电压进行补偿，第四扫描信号控制所述第五薄膜晶体管以及所述第六薄膜晶体管处于截止状态；

10 第三阶段，第一扫描信号控制所述第二薄膜晶体管处于截止状态，第二扫描信号控制所述第四薄膜晶体管处于截止状态，第三扫描信号控制所述第三薄膜晶体管以及所述第七薄膜晶体管由导通状态变为截止状态，第四扫描信号控制所述第五薄膜晶体管以及所述第六薄膜晶体管由截止状态变为导通状态，电流流经所述发光二极管，所述发光二极管发光。

9、如权利要求 8 所述的像素电路的驱动方法，其中，

15 在所述第一阶段，所述第一薄膜晶体管的栅极电压以及所述存储电容的所述一端的电压为 V_{int} ，所述存储电容的所述另一端的电压为 V_{ref} ，其中， V_{int} 为所述初始电压， V_{ref} 为所述参考电压。

10、如权利要求 8 所述的像素电路的驱动方法，其中，

20 在所述第二阶段，所述第一薄膜晶体管的栅极与漏极连接，数据电压向所述第一薄膜晶体管的源极施加电压，使得所述第一薄膜晶体管的栅极电压为 $V_{data}+V_{th}$ ，对所述第一薄膜晶体管的阈值电压进行补偿，其中， V_{th} 为所述第一薄膜晶体管的阈值电压。

11、如权利要求 8 至 10 任一项所述的像素电路的驱动方法，其中，

25 在所述第三阶段，所述第一电源向所述第一薄膜晶体管的源极以及所述存储电容的所述另一端施加电压，所述存储电容的所述另一端的电压由 V_{ref} 变为 V_{DD} ，在所述存储电容的作用下，所述第一薄膜晶体管的栅极电压为 $V_{DD}-V_{ref}+V_{data}+V_{th}$ ，使得流经所述发光二极管的电流与所述第一电源无关，其中， V_{DD} 为所述第一电源。

12、一种显示装置，其中，所述显示装置包括如权利要求 1 至 7 任一项所述的像素电路。

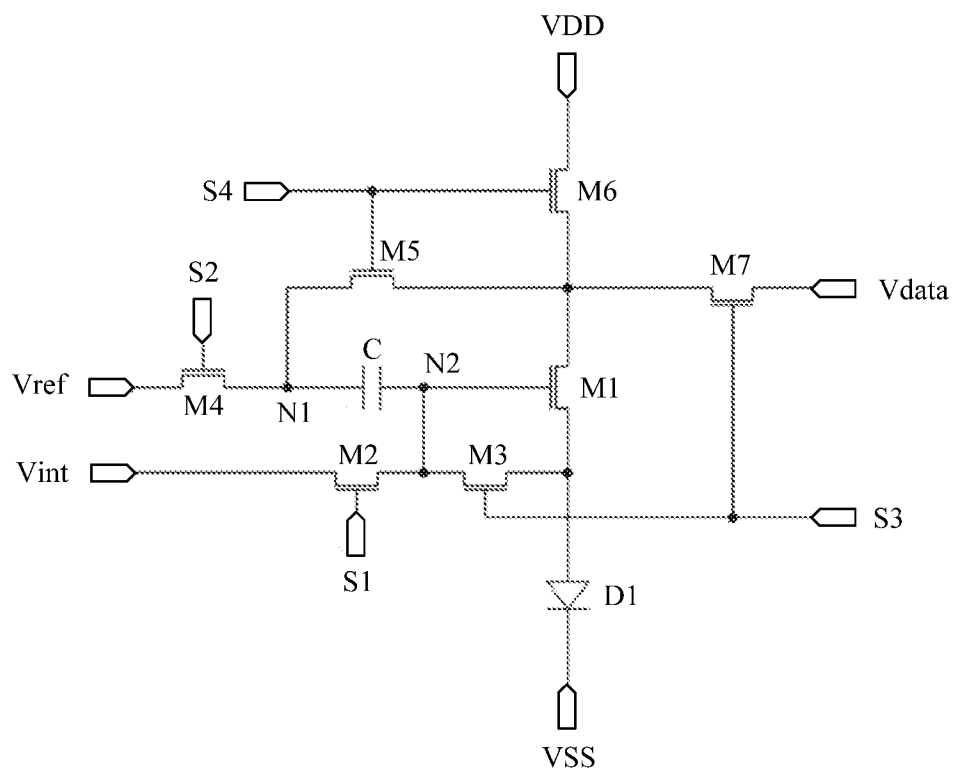


图 1

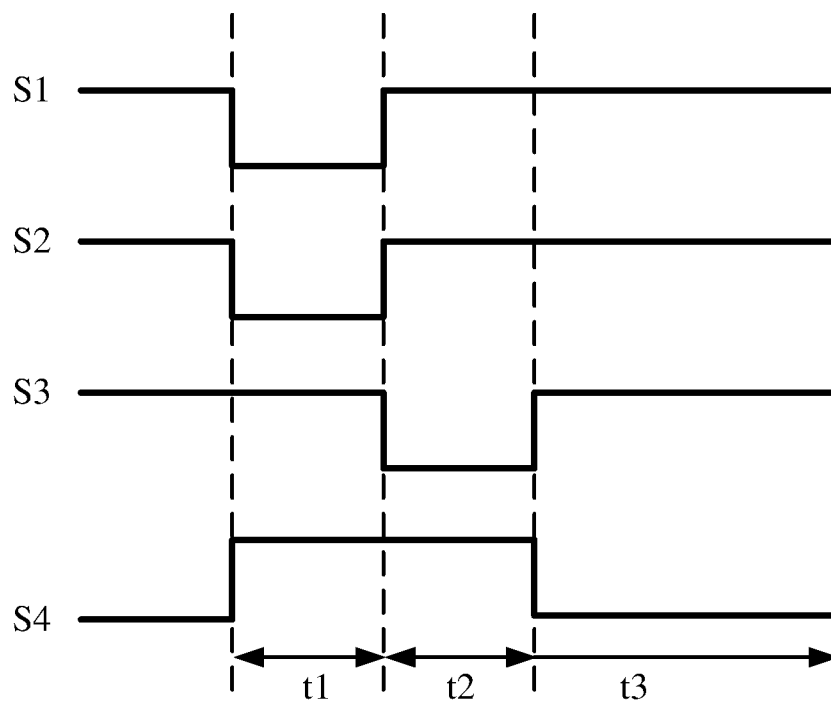


图 2

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2018/091232

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/20(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G,G02F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS, CNTXT: 薄膜晶体管, 七, 电流, 初始, 亮度, 均匀, 补偿, 发光二极管, 电压; VEN, USTXT, WOTXT, EPTXT: TFT, voltag+, transist+, LED, capacit+, current+, thin film transist+, emit+, compensat+, seven+

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 1949343 A (SONY CORPORATION) 18 April 2007 (2007-04-18) description, page 9, 2nd to last paragraph to page 15, 2nd to last paragraph, and figures 3-5	1-12
A	CN 102089798 A (SHARP CORPORATION) 08 June 2011 (2011-06-08) entire document	1-12
A	JP 2006018168 A (SONY CORP.) 19 January 2006 (2006-01-19) entire document	1-12
A	US 2009225013 A1 (LEE, A.S. ET AL.) 10 September 2009 (2009-09-10) entire document	1-12



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

01 August 2018

Date of mailing of the international search report

31 August 2018

Name and mailing address of the ISA/CN

State Intellectual Property Office of the P. R. China
No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing
100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2018/091232

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	1949343	A	18 April 2007	TW	200717426	A	01 May 2007
				KR	20070041378	A	18 April 2007
				US	2007115224	A1	24 May 2007
				US	7764248	B2	27 July 2010
				JP	2007108381	A	26 April 2007
				CN	100545895	C	30 September 2009
				TW	I352329	B	11 November 2011
CN	102089798	A	08 June 2011	JP	WO2010016316	A1	19 January 2012
				JP	5734403	B2	17 June 2015
				JP	5199367	B2	15 May 2013
				CN	102089798	B	19 March 2014
				EP	2309478	B1	27 August 2014
				JP	5512000	B2	04 June 2014
				CN	103762225	A	30 April 2014
				JP	2014089459	A	15 May 2014
				CN	103762225	B	18 November 2015
				RU	2457551	C1	27 July 2012
				EP	2309478	A1	13 April 2011
				WO	2010016316	A1	11 February 2010
				US	8674914	B2	18 March 2014
				US	2011096059	A1	28 April 2011
				JP	2013140375	A	18 July 2013
				IN	287614	B	29 September 2017
				IN	201101467	P4	02 December 2011
JP	2006018168	A	19 January 2006	None			
US	2009225013	A1	10 September 2009	KR	100911981	B1	13 August 2009
				US	8633876	B2	21 January 2014

国际检索报告

国际申请号

PCT/CN2018/091232

A. 主题的分类

G09G 3/20(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G09G, G02F

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNABS, CNTXT: 薄膜晶体管, 七, 电流, 初始, 亮度, 均匀, 补偿, 发光二极管, 电压; VEN, USTXT, WOTXT, EPTXT: TFT, voltag+, transist+, LED, capacit+, current+, thin film transist+, emit+, compensat+, seven+

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 1949343 A (索尼株式会社) 2007年 4月 18日 (2007 - 04 - 18) 说明书第9页倒数第2段至第15页倒数第2段, 附图3-5	1-12
A	CN 102089798 A (夏普株式会社) 2011年 6月 8日 (2011 - 06 - 08) 全文	1-12
A	JP 2006018168 A (SONY CORP) 2006年 1月 19日 (2006 - 01 - 19) 全文	1-12
A	US 2009225013 A1 (AN-SU LEE 等) 2009年 9月 10日 (2009 - 09 - 10) 全文	1-12

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2018年 8月 1日

国际检索报告邮寄日期

2018年 8月 31日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局 (ISA/CN)
中国北京市海淀区蓟门桥西土城路6号 100088

受权官员

李国斌

传真号 (86-10) 62019451

电话号码 86-(20)-28958173

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2018/091232

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	1949343	A	2007年 4月 18日	TW	200717426	A	2007年 5月 1日
				KR	20070041378	A	2007年 4月 18日
				US	2007115224	A1	2007年 5月 24日
				US	7764248	B2	2010年 7月 27日
				JP	2007108381	A	2007年 4月 26日
				CN	100545895	C	2009年 9月 30日
				TW	I352329	B	2011年 11月 11日
CN	102089798	A	2011年 6月 8日	JP	W02010016316	A1	2012年 1月 19日
				JP	5734403	B2	2015年 6月 17日
				JP	5199367	B2	2013年 5月 15日
				CN	102089798	B	2014年 3月 19日
				EP	2309478	B1	2014年 8月 27日
				JP	5512000	B2	2014年 6月 4日
				CN	103762225	A	2014年 4月 30日
				JP	2014089459	A	2014年 5月 15日
				CN	103762225	B	2015年 11月 18日
				RU	2457551	C1	2012年 7月 27日
				EP	2309478	A1	2011年 4月 13日
				WO	2010016316	A1	2010年 2月 11日
				US	8674914	B2	2014年 3月 18日
				US	2011096059	A1	2011年 4月 28日
				JP	2013140375	A	2013年 7月 18日
				IN	287614	B	2017年 9月 29日
				IN	201101467	P4	2011年 12月 2日
JP	2006018168	A	2006年 1月 19日	无			
US	2009225013	A1	2009年 9月 10日	KR	100911981	B1	2009年 8月 13日
				US	8633876	B2	2014年 1月 21日

表 PCT/ISA/210 (同族专利附件) (2015年1月)