

申請日期	90 年 5 月 4 日
案 號	90110764
類 別	

A4
C4

(以上各欄由本局填註)

發 明 專 利 說 明 書		
一、發明 名稱	中 文	
	英 文	
二、發明 創作人	姓 名	(4) 齋藤祐一 (5) 林範雄
	國 籍	(4) 日本 (5) 日本 (4) 日本國東京都千代田區丸之內一丁目五番一號 新丸大樓日立製作所(股)知的所有權本部內
	住、居所	(5) 日本國東京都小平市上水本町五丁目二番一 號日立超愛爾·愛斯·愛·系統(股)內
三、申請人	姓 名 (名稱)	
	國 籍	
	住、居所 (事務所)	
	代 表 人 姓 名	

裝

訂

線

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

國 (地區) 申請專利，申請日期： 案號： ， ☐有 ☐無主張優先權

日本 2000 年 8 月 30 日 2000-265982 ☒有主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明 (1)

【發明所屬之技術領域】

本發明主要係關於被使用於無線通訊之發收訊用半導體裝置。

【習知技術】

圖 5 係顯示適用差動低雜訊放大器內藏之雙頻無線發收訊用半導體積體電路（以下，稱為發收訊 IC）之終端機器的構成例。

發收訊 IC 501 係合併雙頻之高頻部的電路與頻率轉換電路，內藏在 1 晶片者。該 IC 被連接於後段之基頻 IC 515。基頻 IC 將信號做 A/D、D/A 轉換，又，進行數位信號處理。發收訊 IC 501 之發收訊部係由：低頻頻道差動低雜訊放大器 502a、低頻頻道接收混合器 503a、以及高頻頻道差動低雜訊放大器 502b、高頻頻道接收混合器 503b、低通濾波器 504、可變增益放大器 505、調制器 507、補償 PLL 508 所構成。又，頻率轉換所必要之高頻局部振盪信號由高頻合成器 509 與外附之本地振盪器 510、分割器 511 供給。同樣地，低頻局部振盪信號由低頻合成器 512、本地振盪器 513、分割器 514 所供給。藉由使低雜訊放大器作成差動機構，利用外附構件之變壓器而進行之單一差動轉換變成不需要。因此，外附構件之個數可以降低。

差動低雜訊放大器係由具有相同構成之 2 個的單位放

五、發明說明(2)

大器所構成，輸入相位反相之 2 個高頻信號，做差動放大。

內藏差動低雜訊放大器之發收訊 IC 之一例有：於 ISSCC2000、由 Infineon 公司所發表之「A RF Transceiver for Digital Wireless Communication in a 25GHz Si Bipolar Technology」。如依據論文，為 D E C T (Digital Enhanced Cordless Telecommunication：數位加強無線通訊) 用之發收訊 IC。接收系統之低雜訊放大器雖係差動構成，但是信號線或接地線、銷配置等不清楚。又，使用之封裝為 T S S O P 3 8 銷。

以只 IC 化差動放大器之代表例有：philips 公司之衛星 TV 接收機用之 IF 頻帶增益控制放大器、TDA8011T。圖 7 顯示銷配置與電路方塊。電路為差動構成，藉由封裝銷 I F I 1 與 I F I 2 輸入，由 I F O 1 與 I F O 2 輸出。接地銷為 1 銷。別的例有：N E C 公司之 1 . 6 G H z 頻帶差動型廣頻寬放大器、 μ P C 2 7 2 6 T。圖 8 顯示銷配置與電路圖。由 i n 1 與 i n 2 輸入，由 o u t 1 與 o u t 2 輸出。

本發明當成課題之在差動放大器之個個單位放大型具有接地銷之差動放大器，即使在上述以外之 IC 製造商也未見到。

【發明欲解決之課題】

本發明之課題為：改善圖 5、及圖 7 與圖 8 所示之低

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (3)

雜訊放大器等之差動構成的放大器增益。以下，以圖 6 敘述導致高頻放大器之增益降低之原因。圖 6 係顯示將放大器 IC 晶片構裝於封裝之情形的放大器之相互電導 G_m 之等效電路。電晶體 601 為放大器本體之電晶體。高頻信號 602 由 602 之基極輸入。又，藉由給予適當之偏壓電壓，集極電流 i_c 流通。在電晶體 601 之射極施加由鉚線與銷構成的阻抗 Z_e 。由於此阻抗，如式 601 所示般地，放大器全體之 G_m 比電晶體 601 具有之相互電導 g_m 還低。因此，在需要高增益之放大器中，進而增加接地銷，並聯連接 Z_e 。藉由此，可以降低鉚線與銷之電感成分。

【表 1】

表 1

銷配置	接地銷電感關係	等效電路	整體電感
a. 1 個放大器 之接地銷為 彼此相鄰			
b. 成對之放大 器的接地銷 為彼此相鄰			

表 1 係顯示具有 2 個之連接於單位放大器之電源線之導銷（以下，稱為接地銷）的情形之封裝的銷配置、那時

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (4)

之等效電路、以及電感成分。表之上段係將記載於圖 1 a 之第 1 單位放大器 1 0 1 之接地銷配置為彼此相鄰之情形。利用具體之電路之說明，在後面以實施例敘述，放大器之輸入銷 I N 1 與接地銷 G 1 、G 2 係第 1 單位放大器 1 0 1 之銷。I N 2 、G 3 、G 4 係與單位放大器 1 0 1 成對之第 2 單位放大器 1 0 6 之銷。L 係表示由於鉚線與銷之電感。I C 之銷間極為狹窄之故，在銷間有貫通耦合，將此以相互電感 M 表示。在此銷配置中，比鄰之接地銷之電壓為同相。因此，由表可以清楚地，即使使接地為 2 銷，電感成分不會成為一半。如與單一銷比較，一般為 7 0 % 程度。

接著，敘述單位放大器之接地為 1 銷構成之情形。圖 1 b 係顯示該電路。此係圖 1 a 之單位放大器 1 0 1 與 1 0 6 之接地銷只成為 G 1 與 G 3 者。於圖 1 b 之電路中，如於第 1 單位放大器 1 0 1 之電晶體 1 0 2 之基極輸入正的電壓，集極電流增加，由於負荷電阻 1 0 5 而電壓降低。因此，集極電壓減少，輸入信號與輸出信號成為反相關係。第 2 單位放大器 1 0 6 也相同，輸入信號為反相之故，1 0 1 與 1 0 6 之電路動作成為反相。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(5)

【表 2】

表 2

銷 配 置	接 地 銷 電 感 關 係	電 晶 體 射 極 之 阻 抗
a. 成對之放大 器的輸入銷 與接地銷為 彼此相鄰		
b. 1 個放大器之 輸入銷與接地 銷為彼此相鄰 (發明例)		

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

表 2 係顯示單位放大器之接地銷為 1 個之情形的封裝的銷配置與那時之電晶體之射極的阻抗。表之上段係將圖 1 b 記載之第 1 單位放大器 101 之接地銷 G1 與第 2 單位放大器 106 之輸入銷 IN2 配置為彼此相鄰之情形。在此情形，銷彼此成為同相。因此，附於電晶體之射極之阻抗變大，放大器全體之 G_m 減少，增益降低。

【發明欲解決之課題】

為了解決上述課題，提升增益，在具有 2 個之連接於單位放大器之電源線之導銷（以下，稱為接地銷）之差動放大器中，第 1 單位放大器之接地銷設置為與第 2 單位放大器之接地銷之個個為 1 對 1 相鄰接之配置。表 1 之下段

五、發明說明 (6)

係解決課題用之銷配置。在此情形，差動信號之故，相鄰之銷電壓成為反相。如表中的等效電路所示般地，整體電感成為鐸線、以及銷電感之一半以下。

又，接地銷為1銷之情形，接地銷設為相互鄰接於連接輸入線之導銷（以下，稱為輸入銷）。

表2之下段係解決課題用之銷配置。由表之上下的阻抗式的比較可以明白地，如使相同放大器之輸入銷與接地銷為彼此相鄰，信號成為反相之故，附於電晶體之射極的阻抗小。

【發明之實施形態】

以下，圖本發明之實施例之電路圖顯示於圖1a與圖1b。各圖之100係圖5之發收訊IC，適用於501者。具體為：圖1a之100係相當於圖5之高頻頻帶低雜訊放大器502b，圖1b之100係相當於圖5之低頻頻道低雜訊放大器502a。

圖1a中，第1單位放大器101係由電晶體102、偏壓電阻103、負荷電阻105所形成。又，具有對放大器101供給偏壓之偏壓電流供給電路104。封裝銷為高頻信號輸入銷IN1與由射極來之2個之接地銷G1、G2。與放大器101成對之第2單位放大器106也為同一構成，由：電晶體107、偏壓電阻108、負荷電阻110所形成。又，以與104相同之電路構成，也設置偏壓電流供給電路109。銷也相同，

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (7)

具有輸入銷 I N 2、接地銷 G 3、G 4。電源與接地銷為放大器之電源 V c c 與偏壓電路之電源 B V c c、以及偏壓電路之接地 B G N D。即使單位放大器之接地銷為 1 個之差動放大器，除了銷數少之外，電路構成相同。

接著，在以下顯示放大器之動作。首先，高頻信號由天線 1 1 1 輸入。帶通濾波器 1 1 2 去除頻寬外不需要波，轉換為差動信號。低雜訊放大器之匹配電路 1 1 3、1 1 4 取得阻抗匹配，經過銷 I N 1、I N 2，將差動信號送往 I C 內部之差動低雜訊放大器。偏壓電路 1 0 4、1 0 9 產生對於溫度、電源變動安定之偏壓電流，決定電晶體 1 0 2 與 1 0 7 之動作點。偏壓電流量在 2 個電路都相同。偏壓電阻 1 0 3、1 0 8 將上述偏壓電流轉換為電壓。藉由此，電晶體 1 0 2、1 0 7 被供給適當之偏壓電壓，直流集極電流流通，決定電晶體之動作點。藉由此，個別之電晶體進行差動輸入信號之放大動作。被放大之高頻信號在負荷電阻 1 0 5、1 1 0 被轉換為電壓，被送往後段之接收混合器 1 1 5。

於如此構成之差動低雜訊放大器中，進行顯示於表 1 之下段的銷配置。即，第 1 單位放大器 1 0 1 之接地銷設為與第 2 單位放大器 1 0 6 之接地銷之個個為 1 對 1 鄰接之配置。藉由此，整體電感成為鉚線以及銷電感之一半以下。此結果為：如式 6 0 1 所示般地，電路之相互電導 G m 提升，增益提升。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(8)

【表 3】

表 3

No.	銷配置	電壓 增益 (dB)	NF(dB)	輸入 1dB 增益壓縮點 (dBm)
1	1 個之放大 器的接地銷 彼此相鄰	15.7	1.63	-4.0
2	成對之放大 器的接地銷 彼此相鄰 (發明例 1)	17.4	1.55	-6.8
3	成對之放大 器的接地銷 彼此相鄰 (發明例 2)	17.2	1.51	-6.8

於表 3 之 N o . 1 以及 N o . 2 顯示表 1 所示之接地銷配置之電路特性解析結果。表 3 之 N o . 3 係 N o . 2 之變形例。表 3 之 N o . 2 以及 N o . 3 係實現本發明之銷配置例。

接著，說明圖 1 b。電路除了接地銷為 1 銷之外，與圖 1 a 係相同之故，動作之說明省略。於此種電路中，進

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (9)

行表 2 之下段所示之銷配置。即，接地銷設為與輸入銷相互鄰接。藉由此，附於放大器之電晶體的射極之阻抗變小。其結果為：電路之相互電導改善，提升增益。

【表 4】

表 4

No	銷配置	電壓 增益 (dB)	NF(dB)	輸入 1dB 增益壓縮點 (dBm)
1	成對之放大器的輸入銷與接地銷彼此相鄰	16.6	1.23	-4.6
2	1 個之放大器的輸入銷與接地銷彼此相鄰 (發明例)	17.7	1.21	-6.3

表 4 之 No. 2 係實現本發明之銷配置例。

在表 3、4 所示之電路解析係使用高頻模擬器 HSPICE。解析放大器係使用 $0.35\mu\text{m}$ 製程之雙極性電晶體。又，以電源電壓 2.8V 分別於電晶體 102、107 流通 6mA 之直流電流而使之動作。圖 2 係顯示封裝部之銷間的耦合狀態圖。201 係顯示封裝之一部份，202 係

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (10)

顯示封裝之銷。k 係決定相互電感量之耦合係數。相互電感設為由某 1 個之銷作用至之前 3 個之銷為止，因應其之距離，使耦合係數變化為 0.4、0.27、0.2、0.13。耦合係數假定為相當於 QFP (Quadrature Flat Package) 56 銷者。表 3 中，如依據本發明，增益顯示 1.5 ~ 1.7 dB 之提升。於表 4 中，同樣地，有 1.1 dB 之增益提升。

放大器佈置為了降低電感成分，期望在由放大器電晶體之射極的封裝外銷前端至鉚墊為止之距離成為最短的位置設置低雜訊放大器之電路。圖 3 係顯示其之一例。圖 3 係以圖 5 敘述之雙頻發收訊 IC 為例。301 係適用本發明之發收訊 IC 之晶片。302 係封裝發收訊 IC 之 QFP 56 銷。303 係封裝的晶片接合面，304 係封裝支持材料。305 係適用本發明之高頻頻道差動低雜訊放大器 502b 之佈置場所。又，315 係佈置低頻頻道差動低雜訊放大器 502a 之場所。

306、310 係圖 1a 之電晶體 102 之接地銷，307、311 係電晶體 107 之接地銷，308、309 分別為低雜訊差動放大器 101 與 106 之輸入銷。312 係高頻頻道低雜訊放大器 502b 之電源銷。

低頻頻道低雜訊放大器 502a 也相同，317 為圖 1b 之電晶體 102 之接地銷，319 係電晶體 107 之接地銷，317、318 分別為低雜訊差動放大器 101 與 106 之輸入銷。316 為低頻頻道低雜訊放大器

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (11)

5 0 2 a 之電源銷。3 2 1 係偏壓電路之電源銷，3 2 2 係偏壓電路之接地銷。偏壓電路之銷為低頻低雜訊放大器與高頻低雜訊放大器所共有。3 2 3 為由晶片上之各鉀墊起附於上述所示之導銷之鉀線。

如圖示般地，放大器被配置於晶片端面之中央附近，被鉀接。如此一來，鉀墊與銷間之鉀線變短。在此實施例中，假定雙頻之故，適用發明之放大器的銷分配於由中央至下端為止。但是，接地銷3 0 6 與3 0 7 分配於中央部之銷。因此，電感成分比將放大器配置於晶片旁還低。

至目前為止，雖就具有放大器之 L S I 做敘述，但是本發明也可以適用於只由放大器形成之 I C 。將此情形之例子顯示於圖 4 。4 0 1 係適用本發明之差動放大器 I C 之晶片。4 0 2 係封裝差動放大器 I C 之封裝 TSSOP12 銷。4 0 3 係封裝之晶片接合面，4 0 4 係封裝支持材料。4 0 5 、4 0 9 係電晶體 1 0 2 之接地銷，4 0 6 、4 1 0 係電晶體 1 0 7 之接地銷，4 0 7 、4 0 8 分別為差動放大器 1 0 1 與 1 0 6 之輸入銷。4 1 1 係偏壓電路之電源銷，4 1 2 係偏壓電路之接地銷，4 1 3 、4 1 4 係差動放大器之輸出銷，4 1 5 係差動放大器之電源銷。4 1 6 係由晶片上之各鉀墊起附於上述所示之導銷之鉀線。

如圖般地，對於封裝中央，如線對稱地配置銷，放大器電晶體之射極的封裝外銷前端至鉀墊為止之距離成為最短。又，低雜訊差動放大器也包含封裝之電氣地影響，成

五、發明說明 (12)

為完全對稱電路。因此，可以期待差動性特性更好之 IC。

圖 3、4 雖係依據表 3 之 No. 2 所示之銷配置，但是也可以依據表 3 之 No. 3 所示之銷配置。

又，實施例雖以低雜訊放大器為例而做說明，但是本發明係關於放大器之接地銷的配置者。因此，也可以適用於如圖 1 a 所示之差動構成之泛用的放大器。

【發明之效果】

本發明係於差動放大器中，在具有 2 個單位放大器之差動放大器中，第 1 單位放大器之接地銷、第 2 單位放大器之接地銷之個個設為 1 對 1 鄰接之配置。藉由此，附於電晶體之射極之電感比起單一接地銷成為一半以下。此結果為：可以降低附於電晶體射極之阻抗，放大器之增益得以提升。又，單位放大器具有 1 個之接地銷之情形，接地銷設為與輸入銷相互鄰接之配置。藉由此，與上述相同地，可以降低阻抗，提升增益。

又，在適用於發收訊 IC 之大規模 IC 之情形，藉由與於由放大器電晶體之射極的封裝外銷前端至鉚墊為止之距離成為最短之位置設置低雜訊放大器之電路之佈置組合，可以實現更深一層之電感降低。

進而，在只是差動放大器之 IC 中，藉由於本發明加上以下之 2 點，可以作成增益提升以及也包含封裝之影響之對稱差動放大器。第一：在由放大器電晶體之射極的封

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (13)

裝外銷前端至鉅墊爲止之距離成爲最短之位置設置低雜訊放大器之電路。第二：對於封裝，作成對稱之銷配置。

【圖面之簡單說明】

圖 1 係本發明之實施例之電路圖。

圖 2 係顯示封裝之銷間的耦合狀態圖。

圖 3 係將本發明適用於雙頻發收訊 IC 時之封裝的構裝例。

圖 4 係將本發明適用於差動放大器 IC 時之封裝構裝例。

圖 5 係雙頻無線發收訊用半導體積體電路之構成。

圖 6 係顯示放大器之相互電導之等效電路。

圖 7 係 pilips 公司 TDA8011T 之銷配置。

圖 8 係 N E C 公司 μ P C 2 7 2 6 T 之銷配置。

【標號之說明】

1 0 1：形成差動放大器之第 1 單位放大器，

1 0 6：形成差動放大器之第 2 單位放大器，

1 0 2、1 0 7：電晶體，

1 0 3、1 0 8：偏壓電阻，

1 0 4、1 0 9：偏壓電流供給電路，

1 0 5、1 1 0：負荷電阻，

1 1 1：天線，

1 1 2：帶通濾波器，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (14)

- 1 1 3 、 1 1 4 : 低雜訊放大器之匹配電路 ,
- 1 1 5 : 接收混合器 ,
- 2 0 1 : 封裝之一部份 ,
- 2 0 2 : 銷 ,
- 3 0 1 : 適用本發明之發收訊 I C 之晶片 ,
- 3 0 2 : 封裝發收訊 I C 之 Q F P 5 6 銷 ,
- 3 0 3 、 3 0 4 : 封裝支持材料 ,
- 3 0 5 : 高頻頻道差動低雜訊放大器 5 0 2 b 之佈置場所 ,
- 3 0 6 、 3 0 7 、 3 1 0 、 3 1 1 、 3 1 7 、 3 1 9
、 4 0 5 、 4 0 6 、 4 0 9 、 4 1 0 : 接地銷 ,
- 3 0 8 、 3 0 9 、 3 1 8 、 3 1 9 、 4 0 7 、 4 0 8
: 差動放大器之輸入銷 ,
- 3 1 2 、 3 1 6 、 4 1 5 : 差動低雜訊放大器之電源
銷 ,
- 3 1 5 : 低頻頻道差動低雜訊放大器 5 0 2 a 之佈置
場所 ,
- 3 2 1 、 4 1 1 : 偏壓電路之電源銷 ,
- 3 2 2 、 4 1 2 : 偏壓電路之接地銷 ,
- 3 2 3 、 4 1 6 : 鐸線 ,
- 4 0 1 : 適用本發明之差動放大器 I C 之晶片 ,
- 4 0 2 : 封裝 T S O P 1 2 銷 ,
- 4 1 3 、 4 1 4 : 差動放大器之輸出銷 ,
- 5 0 1 : 發收訊 I C ,

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (15)

- 5 0 2 a : 低頻頻道差動低雜訊放大器 ,
- 5 0 2 b : 高頻頻道差動低雜訊放大器 ,
- 5 0 3 a : 低頻頻道接收混合器 ,
- 5 0 3 b : 高頻頻道接收混合器 ,
- 5 0 4 : 低通濾波器 ,
- 5 0 5 : 可變增益放大器 ,
- 5 0 7 : 調制器 ,
- 5 0 8 : 補償 P L L ,
- 5 0 9 : 高頻合成器 ,
- 5 1 0 、 5 1 3 : 局部發訊器 ,
- 5 1 1 、 5 1 4 : 分割器 ,
- 5 1 2 : 低頻合成器 ,
- 5 1 5 : 基頻 I C 。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要（發明之名稱： 半 導 體 裝 置)

本發明主要係關於被使用於無線通訊之發收訊用半導體裝置。其課題為：以被內藏於雙頻發收訊用半導體積體電路之差動低雜訊放大器減少附於射極之錫線、封裝之阻抗成分，提升增益。其解決手段為：以構成差動放大器對之放大器的接地銷為彼此相鄰。又，以相同放大器之輸入銷與接地銷為彼此相鄰。藉由此，使比鄰銷之信號成為反相，利用銷間之貫通耦合，降低附於電晶體射極之阻抗。

英文發明摘要（發明之名稱：)

（請先閱讀背面之注意事項再填寫本頁各欄）

訂

六、申請專利範圍 2

4. 如申請專利範圍第 1 或第 2 項所述之半導體裝置，其中上述 2 個之單位放大器被配置於由被連接於該 2 個之單位放大器之第 1 電源線之鉚墊起至突出於上述封裝之外部之銷前端為止之距離成為最短之晶片上的位置。

5. 如申請專利範圍第 1 或第 2 項所述之半導體裝置，其中上述 2 個之單位放大器之各單位放大器具有：被連接於上述第 1 電源線之電晶體；以及第 2 電源線；以及負荷，

上述負荷被連接於上述電晶體與上述第 2 電源線之間。

6. 如申請專利範圍第 5 項所述之半導體裝置，其中上述 2 個之單位放大器之上述第 2 電源線被連接於共通之 1 個的導銷。

7. 一種無線發收訊用之半導體裝置，其特徵為：

具有：被設置於混合由天線來之接收信號與由本地振盪器來之信號之接收混合器與上述天線之間之差動低雜訊放大器；以及被連接於該差動低雜訊放大器之複數個導銷，

該差動低雜訊放大器聚足相互相位為反相之信號被輸入之 2 個的單位放大器，

上述 2 個之單位放大器之第 1 電源線被連接於相互不同之導銷。

8. 如申請專利範圍第 7 項所述之無線發收訊用之半導體裝置，其中被連接於上述 2 個之單位放大器之第 1 電

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍 3

源線之導銷係相互鄰接。

9 . 如申請專利範圍第 7 項所述之無線發收訊用之半導體裝置，其中被連接於上述 2 個之單位放大器之第 1 電源線之導銷與被連接於單位放大器之輸入線之導銷係相互鄰接。

10 . 如申請專利範圍第 7 項所述之無線發收訊用之半導體裝置，其中上述 2 個之單位放大器之第 1 電源線分別被連接於複數個導銷。

11 . 如申請專利範圍第 10 項所述之無線發收訊用之半導體裝置，其中被連接於上述 2 個之單位放大器之一方的單位放大器之第 1 電源線之複數個個個之導銷被設為與被連接於另一方之單位放大器之第 1 電源線之複數個個個之導銷為 1 對 1 鄰接之配置。

12 . 如申請專利範圍第 7 至第 11 項中任一項所述之無線發收訊用之半導體裝置，其中在由上述封裝之一邊的中央起，線對稱地配置被連接於上述 2 個之單位放大器之第 1 電源線之銷以及輸入銷。

13 . 如申請專利範圍第 7 至第 11 項中任一項所述之無線發收訊用之半導體裝置，其中上述 2 個之單位放大器被配置於由被連接於該 2 個之單位放大器之第 1 電源線之鐸墊起至突出於上述封裝之外部之銷前端為止之距離成為最短之晶片上的位置。

14 . 如申請專利範圍第 7 至第 11 項中任一項所述之無線發收訊用之半導體裝置，其中上述 2 個之單位放大

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍 4

器之各單位放大器具有：被連接於上述第 1 電源線之電晶體；以及第 2 電源線；以及負荷，

上述負荷被連接於上述電晶體與上述第 2 電源線之間。

1 5 . 如申請專利範圍第 1 4 項所述之無線發收訊用之半導體裝置，其中上述 2 個之單位放大器之上述第 2 電源線被連接於共通之 1 個的導銷。

1 6 . 一種用於無線收發機之半導體裝置，其包含一設置於一用以混合由天線來之接收信號與由控制振盪器來之信號之接收混合器與上述天線之間的差動低雜訊放大器；以及被連接於該差動低雜訊放大器之複數個導銷，其中：

該差動低雜訊放大器具有相互相位為反相之信號被輸入之 2 個單位放大器；及

上述 2 個之單位放大器之第 1 電源線被連接於相互不同之導銷。

1 7 . 如申請專利範圍第 1 6 項的用於無線收發機之半導體裝置，其中被連接於上述 2 個單位放大器之第 1 電源線之導銷係相互鄰接。

1 8 . 如申請專利範圍第 1 6 項的用於無線收發機之半導體裝置，其中被連接於上述 2 個單位放大器之第 1 電源線之導銷與被連接於單位放大器之輸入線之導銷係相互鄰接。

1 9 . 如申請專利範圍第 1 6 項的用於無線收發機之

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍 5

半導體裝置，其中上述 2 個單位放大器之第 1 電源線分別被連接於複數個導銷。

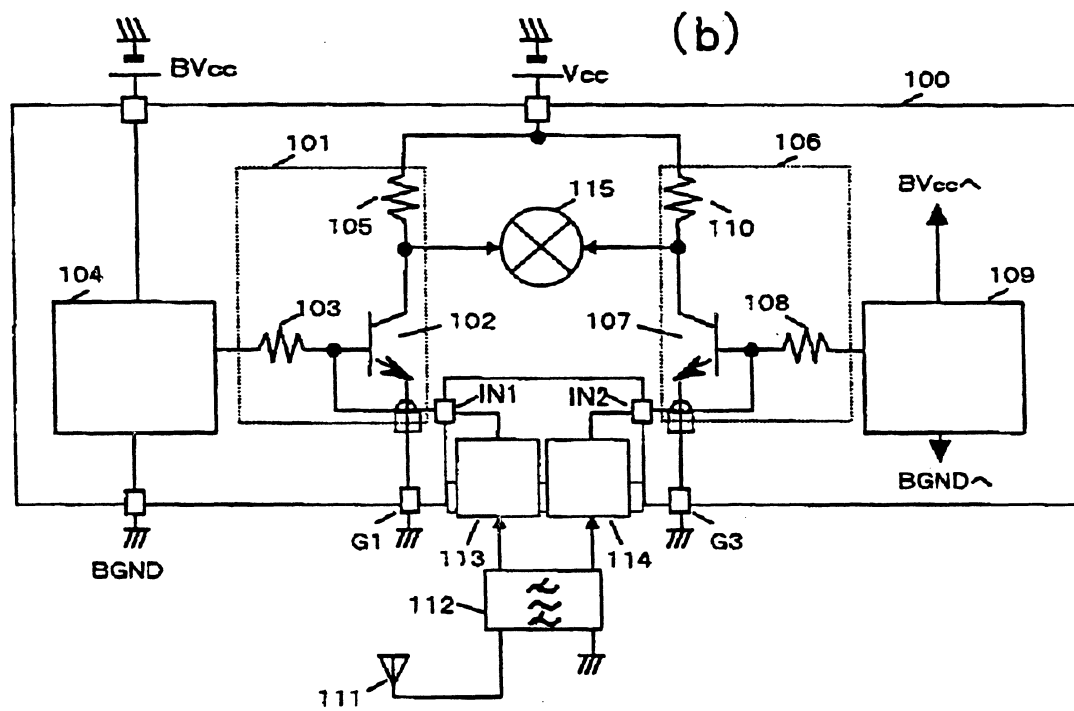
20. 如申請專利範圍第 19 項的用於無線收發機之半導體裝置，其中連接於上述 2 個單位放大器之一的第 1 電源線的複數個導銷的每一個被設為與連接於上述單位放大器之另一個第 1 電源線的複數個導銷的每一個以 1 對 1 鄰接之配置。

(請先閱讀背面之注意事項再填寫本頁)

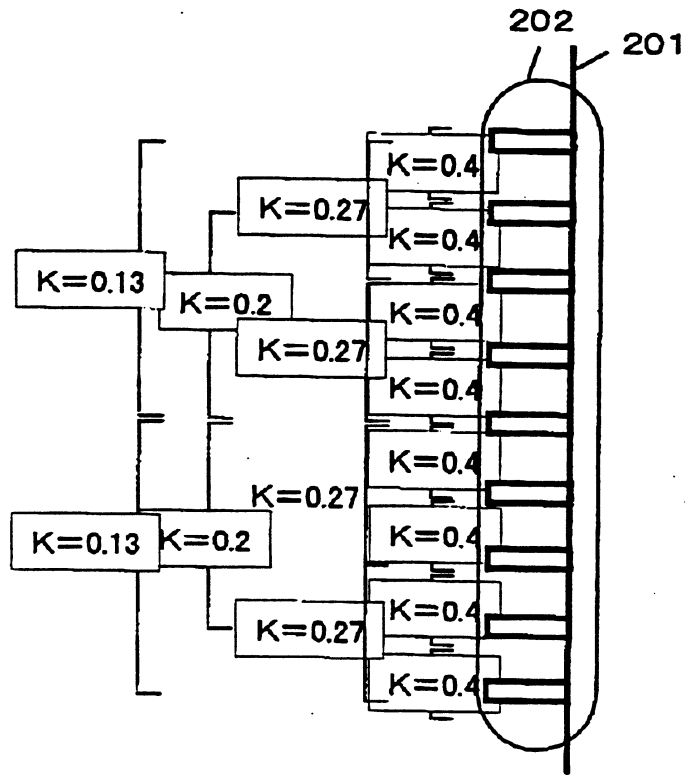
訂

線

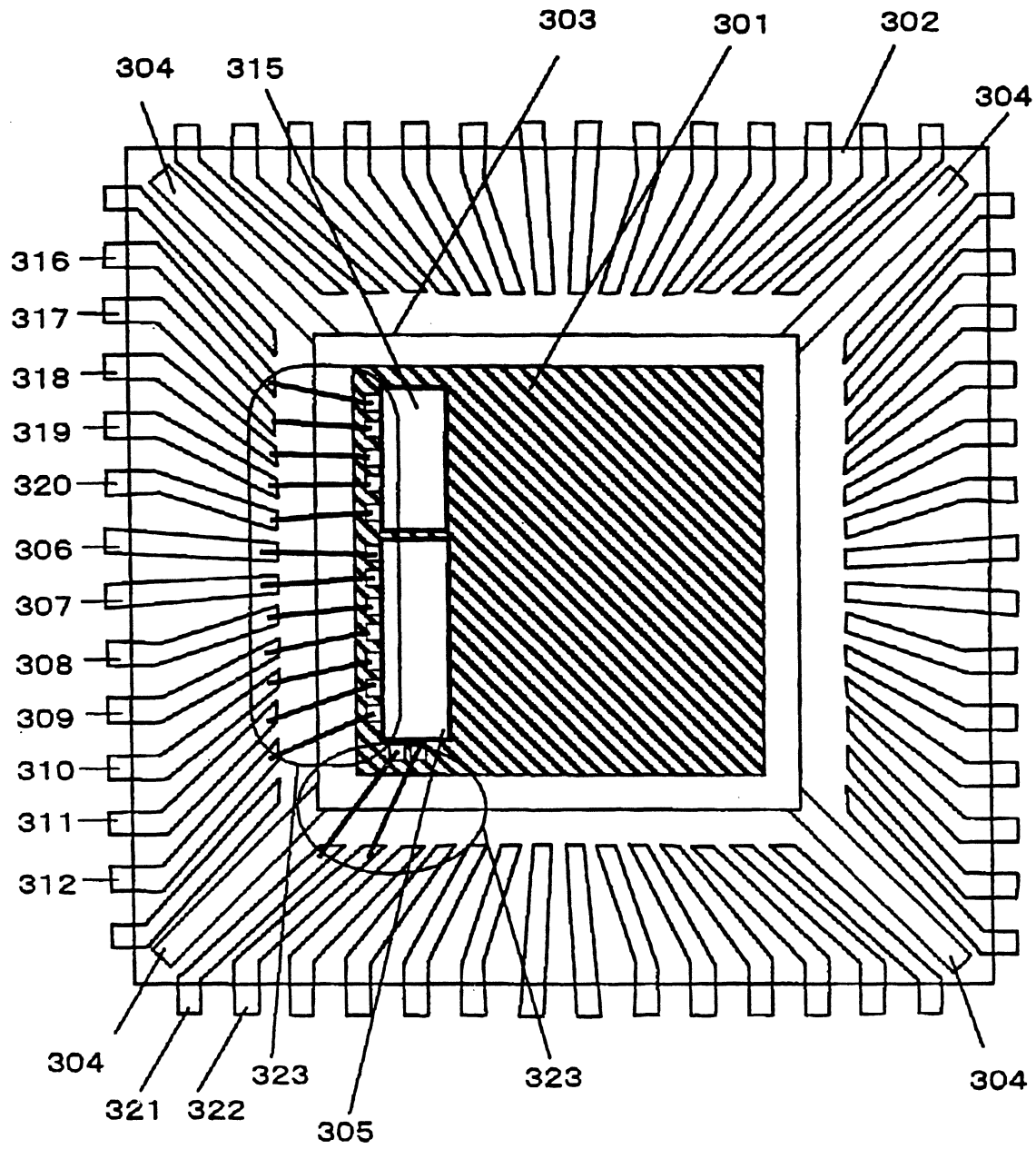
(a)



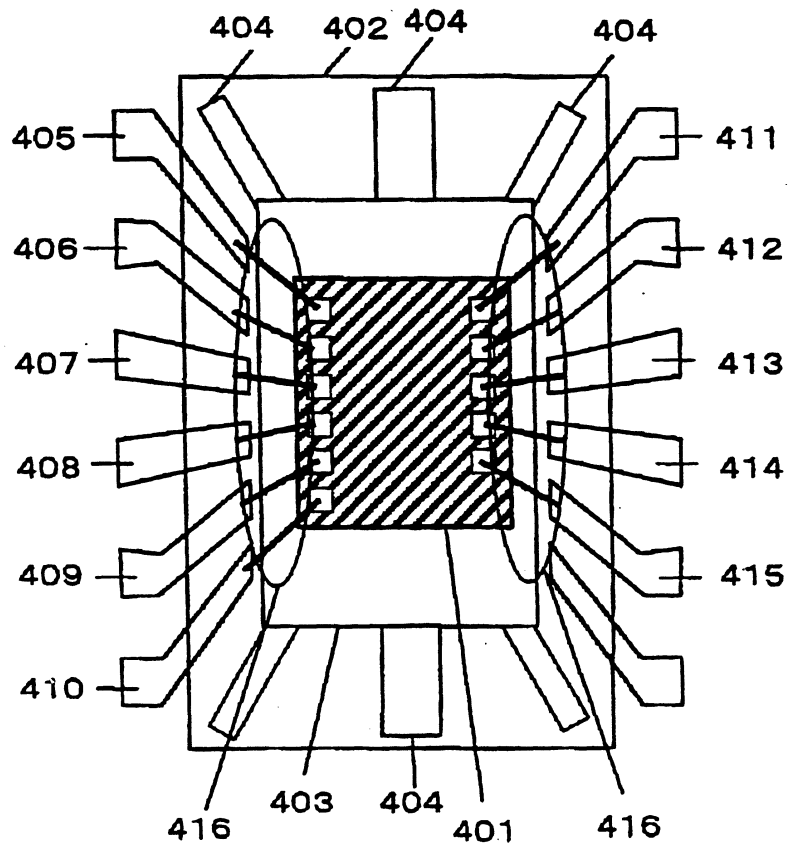
第 2 圖



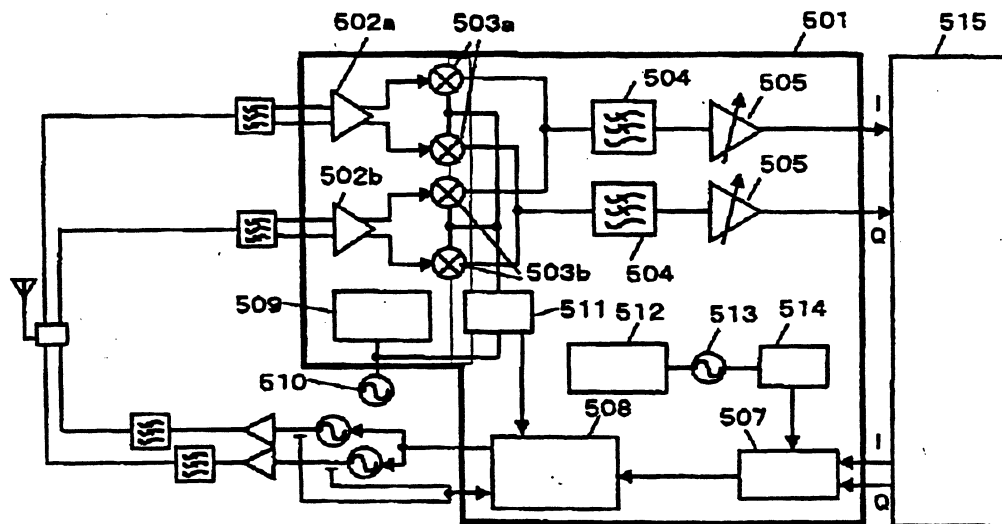
第 3 圖



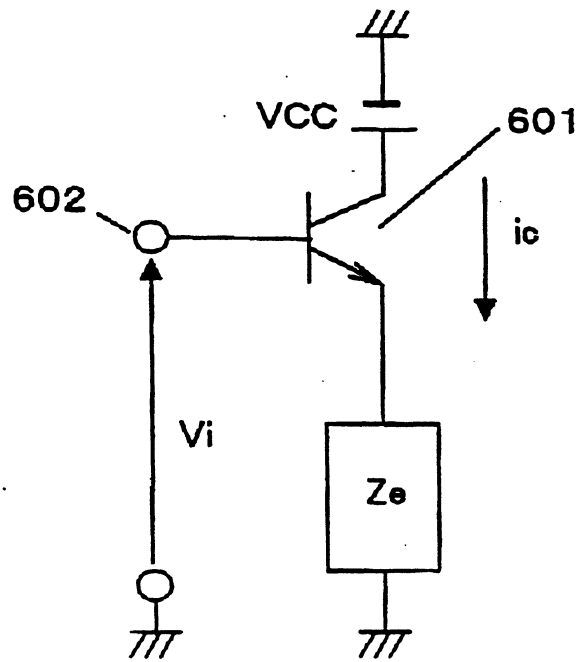
第 4 圖



第 5 圖



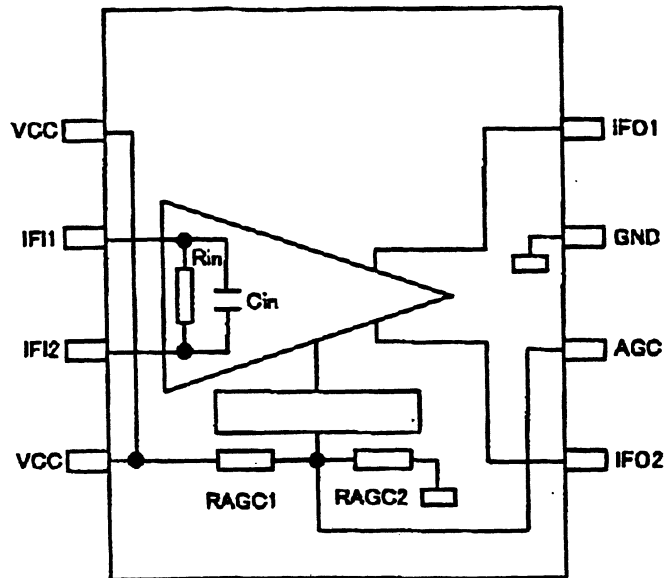
第 6 圖



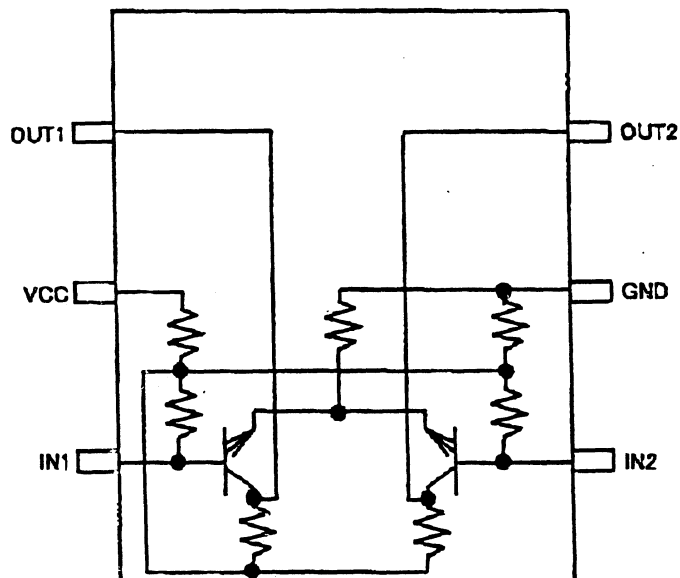
$$G_m = \frac{i_c}{v_i} = \frac{g_m}{1 + g_m Z_e} \quad \text{式601}$$

($Z_e = j\omega L$)

第 7 圖



第 8 圖



公告本

附註1

第 90110764 號專利申請案

中文說明書修正本(含申請專利範圍)

民國 91 年 9 月 23 日修正

申請日期	90 年 5 月 4 日
案 號	90110764
類 別	H03F 3/195

A4
C4

91年9月23日修正補充

(以上各欄由本局填註)

發明專利說明書 516268		
一、發明 名稱	中 文	半導體裝置
	英 文	
二、發明 創作人	姓 名	(1) 瀧川久美子 (2) 田中聰 (3) 香山聰
	國 籍	(1) 日本 (2) 日本 (3) 日本
	住、居所	(1) 日本國東京都千代田區丸之內一丁目五番一號 新丸大樓日立製作所(股)知的所有權本部內 (2) 日本國東京都千代田區丸之內一丁目五番一號 新丸大樓日立製作所(股)知的所有權本部內 (3) 日本國東京都小平市上水本町五丁目二番一號 日立超愛爾・愛斯・愛・系統(股)內
三、申請人	姓 名 (名稱)	(1) 日立製作所股份有限公司 株式会社日立製作所 (2) 日立超愛爾・愛斯・愛・系統股份有限公司 株式会社日立超エル・エス・アイ・システムズ
	國 籍	(1) 日本 (2) 日本
	住、居所 (事務所)	(1) 日本國東京都千代田區神田駿河台四丁目六番地 (2) 日本國東京都小平市上水本町五丁目二番一號
	代 表 人 姓 名	(1) 庄山悦彦 (2) 鈴木仁一郎

裝

訂

線

六、申請專利範圍 1

1. 一種半導體裝置，其特徵為：

具有：半導體電路晶片；以及被連接於該半導體電路晶片之複數個導銷；以及密封該半導體電路晶片之封裝，在上述半導體電路晶片形成2個之單位放大器，該2個之單位放大器形成1個之差動放大器，

該2個之單位放大器之第1單位放大器之第1電源線被連接於上述複數個導銷之至少2個，

該2個之單位放大器之第2單位放大器之第1電源線被連接於上述複數個導銷之至少2個，

被連接於上述第1單位放大器之第1電源線之個個之導銷被設為與被連接於上述第2單位放大器之第1電源線之個個之導銷係1對1鄰接之配置。

2. 一種半導體裝置，其特徵為：

具有：具備差動放大器之半導體電路晶片；以及被連接於該半導體電路晶片之複數個導銷；以及密封該半導體電路晶片之封裝，

上述差動放大器具有成對之2個的單位放大器，各單位放大器之第1電源線被連接於上述導銷之1個，

被連接於上述2個之單位放大器之第1電源線之銷係與連接於單位放大器之輸入線之導銷為相互鄰接之配置。

3. 如申請專利範圍第1或第2項所述之半導體裝置，其中在由上述封裝之一邊的中央起，線對稱地配置被連接於上述2個之單位放大器之第1電源線之銷以及輸入銷。

(請先閱讀背面之注意事項再填寫本頁)

訂

線