



(12) 发明专利申请

(10) 申请公布号 CN 101930407 A

(43) 申请公布日 2010. 12. 29

(21) 申请号 200910148452. 3

(22) 申请日 2009. 06. 26

(71) 申请人 群联电子股份有限公司
地址 中国台湾苗栗县竹南镇群义路 1 号

(72) 发明人 叶志刚

(74) 专利代理机构 北京同立钧成知识产权代理有限公司 11205

代理人 刘芳

(51) Int. Cl.
G06F 12/08 (2006. 01)

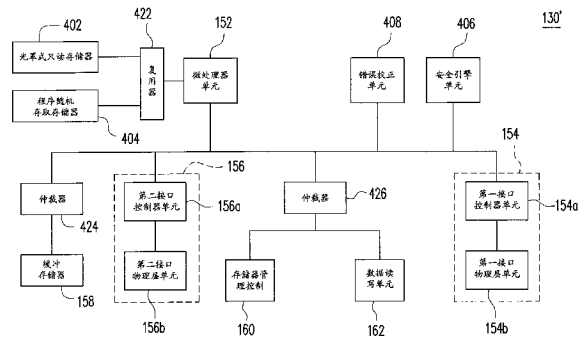
权利要求书 3 页 说明书 11 页 附图 8 页

(54) 发明名称

闪速存储器控制电路及其存储系统与数据传输方法

(57) 摘要

本发明提供一种闪速存储器控制电路及其存储系统与数据传输方法,其中闪速存储器控制电路包括微处理器单元、第一与第二接口单元、缓冲存储器、存储器管理单元以及数据读写单元。存储器管理单元管理多个闪速存储器单元,其中每一闪速存储器单元具有至少一闪速存储器且每一闪速存储器分别地具有至少包括一上页与一下页的多个存储单元阵列。存储器管理单元将对应的每一闪速存储器的其中一个存储单元阵列进行分群多个数据传输单位组,并且数据读写单元依据数据传输单位组将主机系统欲写入的数据交错地传输至闪速存储器单元中。因此,闪速存储器控制电路可稳定地传输数据而降低缓冲存储器的使用。



1. 一种闪速存储器控制电路,用于将来自于—主机系统的数据传输至多个闪速存储器单元,其中所述多个闪速存储器单元分别地具有至少—闪速存储器,且所述至少—闪速存储器具有多个存储单元阵列,且所述多个存储单元阵列的每一存储单元阵列至少具有一下页与—上页,其中多个所述下页的写入速度大于多个所述上页的写入速度,所述闪速存储器控制电路包括:

—微处理器单元;

—第一接口单元,电性连接至所述微处理器单元,用以电性连接所述多个闪速存储器单元;

—第二接口单元,电性连接至所述微处理器单元,用以电性连接所述主机系统;

—缓冲存储器,电性连接至所述微处理器单元,用以暂存所述数据;

—存储器管理单元,电性连接至所述微处理器单元,以所述多个闪速存储器单元的每一闪速存储器单元为单位将所述至少—闪速存储器的所述多个存储单元阵列的其中一个存储单元阵列分群为—数据传输单位组;以及

—数据读写单元,电性连接至所述微处理器单元,以所述多个数据传输单位组的每一数据传输单位组为单位通过所述第一接口单元将所述数据交错地传输至所述多个闪速存储器单元中。

2. 一种闪速存储器存储系统,包括:

—连接器,用以连接—主机系统;

多个闪速存储器单元,分别地具有至少—闪速存储器,且所述至少—闪速存储器具有多个存储单元阵列,且所述多个存储单元阵列的每一存储单元阵列至少具有一下页与—上页,其中多个所述下页的写入速度大于多个所述上页的写入速度;以及

—闪速存储器控制器,电性连接至所述连接器与所述多个闪速存储器单元,用以从所述主机系统中接收—数据,

其中所述闪速存储器控制器以所述多个闪速存储器单元的每一闪速存储器单元为单位将所述至少—闪速存储器的所述多个存储单元阵列的其中一个存储单元阵列分群为—数据传输单位组,

其中所述闪速存储器控制器以所述多个数据传输单位组的每一数据传输单位组为单位将所述数据交错地传输至所述多个闪速存储器单元中。

3. 根据权利要求2所述的闪速存储器存储系统,其中所述多个存储单元阵列的每一存储单元阵列还包括至少—中页,其中所述至少—中页的写入速度小于多个所述下页的写入速度并且大于多个所述上页的写入速度。

4. 一种数据传输方法,包括:

提供多个闪速存储器单元,所述多个闪速存储器单元分别地具有至少—闪速存储器,且所述至少—闪速存储器具有多个存储单元阵列,且所述多个存储单元阵列的每一存储单元阵列至少具有一下页与—上页,其中多个所述下页的写入速度大于多个所述上页的写入速度;

从—主机系统接收—数据;

以所述多个闪速存储器单元的每一闪速存储器单元为单位将所述至少—闪速存储器的所述多个存储单元阵列的其中一个存储单元阵列分群为—数据传输单位组;以及

以所述多个数据传输单位组的每一数据传输单位组为单位将所述数据交错地传输至所述多个闪存存储器单元中。

5. 根据权利要求 4 所述的数据传输方法,其中所述多个存储单元阵列的每一存储单元阵列还包括至少一中页,其中所述至少一中页的写入速度小于多个所述下页的写入速度并且大于多个所述上页的写入速度。

6. 根据权利要求 4 所述的数据传输方法,还包括在所述数据传输单位组的所述多个存储单元阵列中以交错方式传输所述数据。

7. 根据权利要求 4 所述的数据传输方法,其中所述数据包括连续的多个页数据。

8. 一种数据传输方法,包括:

提供一第一闪存存储器单元与一第二闪存存储器单元,所述第一闪存存储器单元与所述第二闪存存储器单元分别地具有一第一闪存存储器与一第二闪存存储器,且多个所述第一闪存存储器与多个所述第二闪存存储器分别地具有多个存储单元阵列,且所述多个存储单元阵列的每一存储单元阵列至少具有一下页与一上页,其中多个所述下页的写入速度大于多个所述上页的写入速度;

从一主机系统接收一数据;

在所述第一闪存存储器单元与所述第二闪存存储器单元中分别地将所述多个存储单元阵列分群为多个数据传输单位组,其中所述第一闪存存储器单元的所述多个数据传输单位组的每一数据传输单位组包括所述第一闪存存储器单元的第一闪存存储器中的所述多个存储单元阵列的其中一个存储单元阵列和所述第一闪存存储器单元的第二闪存存储器中的所述多个存储单元阵列的其中一个存储单元阵列,并且所述第二闪存存储器单元的所述多个数据传输单位组的每一数据传输单位组包括所述第二闪存存储器单元的第一闪存存储器中的所述多个存储单元阵列的其中一个存储单元阵列和所述第二闪存存储器单元的第二闪存存储器中的所述多个存储单元阵列的其中一个存储单元阵列;以及

以所述多个数据传输单位组的每一数据传输单位组为单位将所述数据交错地传输至所述第一闪存存储器单元与所述第二闪存存储器单元中。

9. 根据权利要求 8 所述的数据传输方法,其中所述数据包括连续的多个页数据。

10. 根据权利要求 9 所述的数据传输方法,其中以所述多个数据传输单位组的每一数据传输单位组为单位将所述多个页数据交错地传输至所述第一闪存存储器单元与所述第二闪存存储器单元中的步骤包括:

(a) 以所述多个数据传输单位组的每一数据传输单位组为单位将所述多个页数据的部分页数据传输至所述第一闪存存储器单元的所述第一闪存存储器与所述第二闪存存储器中并且执行步骤 (b);以及

(b) 以所述多个数据传输单位组的每一数据传输单位组为单位将所述多个页数据的另一部分页数据传输至所述第二闪存存储器单元的所述第一闪存存储器与所述第二闪存存储器中。

11. 根据权利要求 8 所述的数据传输方法,其中所述多个存储单元阵列的每一存储单元阵列还包括至少一中页,其中所述至少一中页的写入速度小于多个所述下页的写入速度并且大于多个所述上页的写入速度。

12. 根据权利要求 10 所述的数据传输方法,其中将所述多个页数据的部分页数据传

输至所述第一闪存存储器单元的所述第一闪存存储器与所述第二闪存存储器中的步骤包括：

将所述多个页数据交错地传输至所述第一闪存存储器单元的所述第一闪存存储器与所述第二闪存存储器中的多个所述上页与多个所述下页中。

13. 根据权利要求 10 所述的数据传输方法, 其中将所述多个页数据的部分页数据传输至所述第二闪存存储器单元的所述第一闪存存储器与所述第二闪存存储器中的步骤包括：

将所述多个页数据交错地传输至所述第二闪存存储器单元的所述第一闪存存储器与所述第二闪存存储器中的多个所述上页与多个所述下页中。

14. 一种数据传输方法, 包括：

提供一第一闪存存储器与一第二闪存存储器, 所述第一闪存存储器与所述第二闪存存储器分别地具有多个存储单元阵列, 且所述多个存储单元阵列的每一存储单元阵列至少具有一下页、一中页与一上页, 其中多个所述下页的写入速度大于多个所述中页的写入速度并且多个所述中页的写入速度大于多个所述上页的写入速度；

从一主机系统接收一数据；

以所述多个存储单元阵列的每一存储单元阵列为单位将多个所述下页、多个所述中页与多个所述上页分群为多个第一子数据传输单位组与多个第二子数据传输单位组, 其中所述多个第一子数据传输单位组的每一第一子数据传输单位组包括所述多个存储单元阵列的其中一个存储单元阵列下页与中页且所述多个第二子数据传输单位组的每一第二子数据传输单位组包括所述多个存储单元阵列的其中一个存储单元阵列的上页；以及

以所述多个第一子数据传输单位组的每一第一子数据传输单位组为单位将部分的所述数据传输至所述第一闪存存储器与所述第二闪存存储器中, 并且之后以所述多个第二子数据传输单位组的每一第二子数据传输单位组为单位将另一部分的所述数据传输至所述第一闪存存储器与所述第二闪存存储器中。

闪速存储器控制电路及其存储系统与数据传输方法

技术领域

[0001] 本发明涉及一种闪速存储器控制电路、闪速存储器存储系统及其数据传输方法，其能够有效地降低缓冲存储器的使用并缩短将数据写入至闪速存储器的时间。

背景技术

[0002] 数码相机、手机与 MP3 在这几年来的成长十分迅速，使得消费者对存储媒体的需求也急速增加。由于闪速存储器 (Flash Memory) 具有数据非易失性、省电、体积小与无机械结构等的特性，适合便携式应用，最适合使用于这类便携式由电池供电的产品上。固态硬盘就是一种以与非门 (NAND) 闪速存储器作为存储媒体的存储装置。

[0003] 闪速存储器存储装置中的闪速存储器会具有多个物理区块 (physical block)，且每一物理区块具有多个页面 (page)，其中在物理区块中写入数据时必须依据页面的顺序依序地写入数据。

[0004] 一般来说，写入数据至页面的程序可区分为数据传输 (transfer) 以及数据程序化 (program) 两个部分。具体来说，当欲在闪速存储器的页面中存储数据时，闪速存储器存储装置的控制电路会将数据传输至闪速存储器内的缓冲区中，之后闪速存储器会将缓冲区内的数据程序化至页面中，其中在闪速存储器将数据程序化至页面的期间闪速存储器是处于一忙碌 (busy) 状态，且当闪速存储器处于忙碌状态下控制电路无法对其下达任何指令或传输任何数据。

[0005] 此外，闪速存储器依据每一存储单元可存储的比特数可区分为单层存储单元 (Single Level Cell, 以下简称 SLC) NAND 闪速存储器与多层存储单元 (Multi Level Cell, 以下简称 MLC) NAND 闪速存储器。MLC NAND 闪速存储器的物理区块的程序化可分为多阶段。例如，以 2 层存储单元为例，物理区块的程序化可分为 2 阶段。第一阶段是下页 (lower page) 的写入部分，其物理特性类似于 SLC NAND 闪速存储器，在完成第一阶段之后才程序化上页 (upper page)，其中下页的程序化速度会快于上页。类似地，在 8 层存储单元或 16 层存储单元的案例中，存储单元包括更多个页并且会以更多阶段来写入。

[0006] 基于上述闪速存储器的特性，传统上为了提升闪速存储器存储装置的写入速度，闪速存储器存储装置会配置多个闪速存储器并且以交错方式来写入数据。以主机系统在配置第一与第二闪速存储器的闪速存储器存储装置中存储数据为例，当主机系统欲在闪速存储器存储装置中存储多个页数据 (即，数据长度为大于 1 个页面的数据) 时，控制电路可将其中一个页数据传输至第一闪速存储器。之后，在第一闪速存储器处于忙碌期间，控制电路可将另一个页数据传输至第二闪速存储器。接着，在第二闪速存储器处于忙碌时，控制电路可将另一个页数据传输至第一闪速存储器，由此交错地将欲写入的页数据传输至第一闪速存储器与第二闪速存储器，以缩短写入数据的时间。在 MLC NAND 闪速存储器的例子中，当第一与第二闪速存储器处于程序化页数据至其上页的忙碌状态时，控制电路必须等待一段较长的时间 (即，等候第一与第二闪速存储器的其中一个完成程序化) 后才能继续传输数据至第一或第二闪速存储器中。特别是，在此段时间中，主机系统仍会持续传送数据至闪速

存储器存储装置,因此必须在闪速存储器存储装置中配置缓冲存储器来暂时地存放主机系统持续传送的数据,并且随着MLC NAND闪速存储器的物理区块可以更多阶段来执行程序化而使某些页面的程序化时间更为增长时,将需配置更大容量的缓冲存储器。

发明内容

[0007] 本发明提供一种闪速存储器控制电路,其能够稳定地传输数据至多个闪速存储器以降低缓冲存储器的使用。

[0008] 本发明提供一种闪速存储器存储系统,其能够稳定地传输数据至多个闪速存储器以降低缓冲存储器的使用。

[0009] 本发明提供一种数据传输方法,其能够稳定地传输数据至多个闪速存储器以降低缓冲存储器的使用。

[0010] 本发明一实施例提出一种闪速存储器控制电路,用于将来自于—主机系统的数据传输至多个闪速存储器单元,其中多个闪速存储器单元分别地具有至少—闪速存储器,且闪速存储器具有多个存储单元阵列,且每一存储单元阵列至少具有一下页与—上页,其中下页的写入速度大于上页的写入速度。本闪速存储器控制电路包括微处理器单元、第一接口单元、第二接口单元、缓冲存储器、存储器管理单元以及数据读写单元。第一接口单元电性连接至微处理器单元,并且用以电性连接闪速存储器单元。第二接口单元电性连接至微处理器单元,并且用以电性连接主机系统。缓冲存储器电性连接至所述微处理器单元,并且用以暂存数据。存储器管理单元电性连接至微处理器单元,并且以每一闪速存储器单元为单位将每一闪速存储器的其中一个存储单元阵列分群为—数据传输单位组。此外,数据读写单元电性连接微处理器单元且以每一数据传输单位组为单位将数据交错地传输至闪速存储器单元中。

[0011] 本发明一实施例提出一种闪速存储器存储系统,其包括用以连接—主机系统的连接器、多个闪速存储器单元与闪速存储器控制器。每一闪速存储器单元具有至少—闪速存储器,且每一闪速存储器具有多个存储单元阵列,且每一存储单元阵列至少具有一下页与—上页,其中下页的写入速度大于上页的写入速度。闪速存储器控制器电性连接至连接器与闪速存储器单元,并且用以从主机系统中接收数据,其中闪速存储器控制器以每一闪速存储器单元为单位将每一闪速存储器的其中一个存储单元阵列分群为数据传输单位组。此外,闪速存储器控制器以每一数据传输单位组为单位将数据交错地传输至闪速存储器单元中。

[0012] 本发明一实施例提出一种数据传输方法,本方法包括提供多个闪速存储器单元,其中闪速存储器单元分别地具有至少—闪速存储器,且每一闪速存储器具有多个存储单元阵列,且每一存储单元阵列至少具有一下页与—上页,其中下页的写入速度大于上页的写入速度。本方法也包括从—主机系统接收数据,并且以每一闪速存储器单元为单位将每一闪速存储器的其中一个存储单元阵列分群为—数据传输单位组。本方法还包括以每一数据传输单位组为单位将数据交错地传输至闪速存储器单元中。

[0013] 本发明一实施例提出一种数据传输方法,本方法包括提供—第一闪速存储器单元与—第二闪速存储器单元,其中第一闪速存储器单元与第二闪速存储器单元分别地具有一—第一闪速存储器与—第二闪速存储器,且第一闪速存储器与第二闪速存储器分别地具有多

个存储单元阵列,且每一存储单元阵列至少具有一下页与一上页,其中下页的写入速度大于上页的写入速度。本方法也包括从一主机系统接收数据。此外,本方法也包括在第一闪速存储器单元与第二闪速存储器单元中分别地将存储单元阵列分群为多个数据传输单位组,其中第一闪速存储器单元的每一数据传输单位组包括第一闪速存储器单元的第一闪速存储器中的其中一个存储单元阵列和第一闪速存储器单元的第二闪速存储器中的其中一个存储单元阵列,并且第二闪速存储器单元的每一数据传输单位组包括第二闪速存储器单元的第一闪速存储器中的其中一个存储单元阵列和第二闪速存储器单元的第二闪速存储器中的其中一个存储单元阵列。再者,本方法还包括以每一数据传输单位组为单位将数据交错地传输至第一闪速存储器单元与第二闪速存储器单元中。

[0014] 本发明一实施例提出一种数据传输方法,本方法包括提供一第一闪速存储器与一第二闪速存储器,其中第一闪速存储器与第二闪速存储器分别地具有多个存储单元阵列,且每一存储单元阵列至少具有一下页、一中页与一上页,其中下页的写入速度大于中页的写入速度并且中页的写入速度大于上页的写入速度。本方法也包括从一主机系统接收一数据,并且以每一存储单元阵列为单位将下页、中页与上页分群为多个第一子数据传输单位组与多个第二子数据传输单位组,其中每一第一子数据传输单位组包括其中一个存储单元阵列的下页与中页且每一第二子数据传输单位组包括其中一个存储单元阵列的上页。本方法还包括以每一第一子数据传输单位组为单位将部分的数据传输至第一闪速存储器与第二闪速存储器中,并且之后以每一第二子数据传输单位组为单位将另一部分的数据传输至第一闪速存储器与第二闪速存储器中。

[0015] 基于上述,本发明可以较稳定地传输数据至闪速存储器,由此减少缓冲存储器的使用并提升写入数据的速度。

[0016] 为让本发明的上述特征和优点能更明显易懂,下文特举实施例,并配合所附图作详细说明如下。

附图说明

- [0017] 图 1 是根据本发明第一实施例所绘示的闪速存储器存储系统的概要方块图；
- [0018] 图 2 是根据本发明第一实施例所绘示的页面的排列示意图；
- [0019] 图 3A 是根据本发明第一实施例所绘示的第一分组实施例；
- [0020] 图 3B 是根据本发明第一实施例所绘示的第二分组实施例；
- [0021] 图 4 是根据本发明第一实施例所绘示的以交错方式传输与程序化页数据的实施例；
- [0022] 图 5 是根据本发明另一实施例所绘示的闪速存储器控制器的方块图；
- [0023] 图 6 是根据本发明第一实施例所绘示的数据传输的流程图；
- [0024] 图 7 是根据本发明第二实施例所绘示的闪速存储器存储系统的概要方块图；
- [0025] 图 8 是根据本发明第二实施例所绘示的以交错方式传输与程序化页数据的实施例；
- [0026] 图 9 是根据本发明第三实施例所绘示的数据传输的流程图；
- [0027] 图 10 是根据本发明第三实施例所绘示的以交错方式传输与程序化页数据的实施例。

- [0028] 主要元件符号说明：
- [0029] 100、700 : 闪速存储器存储系统； 110 : 连接器；
- [0030] 120、720 : 闪速存储器晶片； 120a、120c : 第一闪速存储器单元；
- [0031] 120b、120d : 第二闪速存储器单元； 122 : 第一闪速存储器；
- [0032] 124 : 第二闪速存储器； 126 : 第三闪速存储器；
- [0033] 128 : 第四闪速存储器； 130、130'、730 : 闪速存储器控制器；
- [0034] 152 : 微处理器单元； 154 : 第一接口单元；
- [0035] 154a : 第一接口控制器单元； 154b : 第一接口物理层单元；
- [0036] 156 : 第二接口单元； 156a : 第二接口控制器单元；
- [0037] 156b : 第二接口物理层单元； 158 : 缓冲存储器；
- [0038] 160、160' : 存储器管理单元； 162、162' : 数据读写单元；
- [0039] 200 : 主机系统； 300 : 总线；
- [0040] 400 : I/O 数据总线； 402 : 光罩式只读存储器；
- [0041] 404 : 程序随机存取存储器； 406 : 安全引擎单元；
- [0042] 422 : 复用器； 424、426 : 仲裁器；
- [0043] 408 : 错误校正单元； T1 ~ T18、T21 ~ T29 : 传输；
- [0044] S601、S603、S605 : 数据传输步骤； S901、S903、S905 : 数据传输步骤；
- [0045] 122-0、122-1、122-N、124-0、124-1、124-N、126-0、126-1、126-N、128-0、128-1、128-N : 物理区块。

具体实施方式

[0046] 图 1 是根据本发明第一实施例所绘示的闪速存储器存储系统的概要方块图。

[0047] 请参照图 1, 通常闪速存储器存储系统 100 会与主机系统 200 一起使用, 以使主机系统 200 可将数据写入至闪速存储器存储系统 100 或从闪速存储器存储系统 100 中读取数据。在本实施例中, 闪速存储器存储系统 100 为固态硬盘 (Solid State Drive, 以下简称 SSD)。但必须了解的是, 在本发明另一实施例中闪速存储器存储系统 100 亦可以是存储卡或随身盘。

[0048] 闪速存储器存储系统 100 包括连接器 110、闪速存储器晶片 120、与闪速存储器控制器 (亦可称为闪速存储器控制电路) 130。

[0049] 连接器 110 是电性连接至闪速存储器控制器 130 并且用以通过总线 300 连接主机系统 200。在本实施例中, 连接器 110 为串行高级技术附件 (Serial Advanced Technology Attachment, 以下简称 SATA) 连接器。然而, 必须了解的是本发明不限于此, 连接器 110 也可以是通用串行总线 (Universal Serial BUS, 以下简称 USB) 连接器、IEEE 1394 连接器、外设组件互连标准 (Peripheral Component Interconnect, 以下简称 PCI) 高速 (Express) 连接器、记忆棒 (Memory Stick, 以下简称 MS) 连接器、多媒体卡 (MultiMedia Card, 以下简称 MMC) 连接器、安全数字 (Secure Digital, 以下简称 SD) 连接器、紧凑式闪存 (Compact Flash, 以下简称 CF) 连接器、电子集成驱动器 (Integrated Drive Electronics, 以下简称 IDE) 连接器或其他适合的连接器。

[0050] 闪速存储器晶片 120 是电性连接至闪速存储器控制器 130, 并且用以在闪速存储

器控制器 130 的操作下存储数据。闪速存储器晶片 120 具有第一闪速存储器 122、第二闪速存储器 124、第三闪速存储器 126 与第四闪速存储器 128, 并且第一闪速存储器 122、第二闪速存储器 124、第三闪速存储器 126 与第四闪速存储器 128 分别地具有多个物理区块。

[0051] 在本实施例中, 物理区块 (例如, 物理区块 122-0) 为抹除的最小单位。即, 每一物理区块含有最小数目的一并被抹除的存储单元。此外, 每一物理区块会被划分为数个页面 (page), 例如, 1 个物理区块具有 192 个页面。在本实施例中, 页面为程序化 (program) 的最小单元 (即, 页面为写入数据的最小单元), 在本实施例中, 1 个页面为 2048 比特组 (byte)。

[0052] 值得一提的是, 在本实施例中, 第一闪速存储器 122、第二闪速存储器 124、第三闪速存储器 126 与第四闪速存储器 128 为 3 层存储单元 NAND 闪速存储器。也就是说, 第一闪速存储器 122、第二闪速存储器 124、第三闪速存储器 126 与第四闪速存储器 128 的每一存储单元可进行三阶段的程序化, 因此每一存储单元可存储 3 个比特 (3bit/cell) 的数据。因此, 在本实施例中, 每 16384 个存储单元可提供 3 个页面的存储空间来存储数据。此外, 如上所述, 由于 MLC NAND 闪速存储器在程序化数据时是以多阶段来执行, 而不同阶段的程序化速度会有所不同。在本实施例中, 每 16384 个存储单元所提供的 3 个页面会依据其程序化速度被区分为下页、中页与上页, 并且提供此下页、中页与上页的 16384 个存储单元会被参考为 1 个存储单元阵列。

[0053] 图 2 是根据本发明第一实施例所绘示的页面的排列示意图。必须了解的是, 第一闪速存储器 122、第二闪速存储器 124、第三闪速存储器 126 与第四闪速存储器 128 中每一物理区块的页面配置皆为相同, 因此图 2 所示的结构是适用于本实施例中所有的物理区块。

[0054] 请参照图 2, 存储每一行页面 (例如, 页面 0、页面 1 与页面 2) 的存储单元为 1 个存储单元阵列, 其中程序化下页 (例如, 页面 0) 的速度快于程序化中页 (例如, 页面 1) 的速度并且程序化中页的速度快于程序化上页 (例如, 页面 2) 的速度。例如, 程序化下页的速度约为 0.3 毫秒 (millisecond), 程序化中页的速度约为 1.5 毫秒并且程序化上页的速度约为 4 毫秒。特别是, 依据闪速存储器的物理特性, 在物理区块写入数据时必须依据页面的排列顺序依序地将页数据程序化至页面中。

[0055] 另外, 如上所述, 在程序化闪速存储器 (即, 第一闪速存储器 122、第二闪速存储器 124、第三闪速存储器 126 与第四闪速存储器 128) 时需先将数据传输 (transfer) 至闪速存储器的缓冲区 (未绘示) 中, 其中在本实施例中此数据传输时间约为 0.4 毫秒。

[0056] 在本发明另一实施例中, 闪速存储器晶片 120 中的物理区块也可被分组为数个区域 (zone), 以每一独立的区域来管理物理区块可增加操作执行的平行程度且简化管理的复杂度。

[0057] 请再参照图 1, 闪速存储器控制器 130 会执行以硬件形式或固件形式实现的多个逻辑门或机械指令以配合连接器 110 与闪速存储器晶片 120 来进行数据的写入、读取与抹除等运作。特别是, 在本实施例中, 闪速存储器控制器 130 是通过 1 个输入 / 输出 (I/O) 数据总线 400 来将页数据传递给第一闪速存储器 122、第二闪速存储器 124、第三闪速存储器 126 与第四闪速存储器 128, 因此根据本实施例的闪速存储器控制器 130 会以一交错 (interleave) 方式将页数据传输至第一闪速存储器 122、第二闪速存储器 124、第三闪速存储器 126 与第四闪速存储器 128, 以将页数据程序化在第一闪速存储器 122、第二闪速存储器

器 124、第三闪速存储器 126 与第四闪速存储器 128 中。

[0058] 闪速存储器控制器 130 包括微处理器单元 152、第一接口单元 154、第二接口单元 156、缓冲存储器 158、存储器管理单元 160 与数据读写单元 162。

[0059] 微处理器单元 152 用以控制闪速存储器控制器 130 的整体运作。也就是说，闪速存储器控制器 130 内的组件的运作可由微处理器单元 152 直接或间接来控制。

[0060] 第一接口单元 154 是电性连接至微处理器单元 152 且包括第一接口控制器单元 154a 以及电性连接至第一接口控制器单元 154a 的第一接口物理层单元 154b，其中第一接口物理层单元 154b 是用以电性连接至闪速存储器晶片 120，而第一接口控制器单元 154a 用以处理传送至闪速存储器晶片 120 的数据或识别从闪速存储器晶片 120 所接收的数据。也就是说，欲写入至闪速存储器晶片 120 的数据会经由第一接口单元 154 转换为闪速存储器晶片 120 所能接受的格式。

[0061] 第二接口单元 156 是电性连接至微处理器单元 152 且包括第二接口控制器单元 156a 以及电性连接至第二接口控制器单元 156a 的第二接口物理层单元 156b，其中第二接口物理层单元 156b 是用以电性连接至连接器 110 以连接主机系统 200，而第二接口控制器单元 156a 用以处理传送至主机系统 200 或从主机系统 200 所接收的数据。也就是说，主机系统 200 所传送的指令与数据会通过第二接口单元 156 来传送至微处理器单元 152。在本实施例中，第二接口单元 156 是符合为 SATA 接口标准，以对应连接器 110。然而，必须了解的是本发明不限于此，第二接口单元 156 亦可配合连接器 110 而以 USB 接口标准、IEEE 1394 接口标准、PCI Express 接口标准、MS 接口标准、MMC 接口标准、SD 接口标准、CF 接口标准、IDE 接口标准或其他适合的数据传输接口标准来实现。

[0062] 缓冲存储器 158 是电性连接至微处理器单元 152 并且用以暂存主机系统 200 欲写入至闪速存储器晶片 120 的数据或主机系统 200 欲从读取闪速存储器晶片 120 中读取的数据。缓冲存储器 158 为静态随机存取存储器 (Static Random Access memory, 以下简称 SRAM)。然而，必须了解的是，本发明不限于此，动态随机存取存储器 (Dynamic Random Access memory, 以下简称 DRAM)、磁随机存储器 (Magnetoresistive Random Access Memory, 以下简称 MRAM)、相变随机存储器 (Phase Change Random Access Memory, 以下简称 PCRAM)、单层存储单元 (Single Level Cell, 以下简称 SLC) NAND 闪速存储器或其他适合的存储器亦可应用于本发明。

[0063] 存储器管理单元 160 是电性连接至微处理器单元 152 且用以操作与管理闪速存储器晶片 120，例如，存储器管理单元 160 会维护用于闪速存储器晶片 120 的逻辑地址 - 物理地址对映表 (logical address-physical address mapping table)，并且依据逻辑地址 - 物理地址对映表将主机系统 200 欲存取的逻辑地址 (例如，逻辑区块) 转换为物理地址 (例如，物理区块) 以利数据读写单元 162 进行数据的写入与读取。

[0064] 值得一提的是，在本实施例中，存储器管理单元 160 将第一闪速存储器 122 与第二闪速存储器 124 分组为第一闪速存储器单元 120a 并且将第三闪速存储器 126 与第四闪速存储器 128 分组为第二闪速存储器单元 120b 来进行管理。

[0065] 此外，存储器管理单元 160 会在每一闪速存储器单元中将每一闪速存储器中对应的存储单元阵列分组为多个数据传输单位组 (data transfer unit set, 以下简称 DTUS)。例如，存储器管理单元 160 将第一闪速存储器 122 的物理区块 122-0 中的第 0 存储单元阵列

(即,物理区块 122-0 的第 0 页面、第 1 页面与第 2 页面) 和第二闪速存储器 124 的物理区块 124-0 中的第 0 存储单元阵列(即,物理区块 124-0 的第 0 页面、第 1 页面与第 2 页面) 分组为 1 个数据传输单位组。此外,存储器管理单元 160 会将数据传输单位组的分组信息传递给数据读写单元 162。

[0066] 数据读写单元 162 是电性连接至微处理器单元 152 并且用以将主机系统 200 欲存取的数据传输至闪速存储器晶片 120, 以及通过第一接口单元 154 从闪速存储器晶片 120 中读取数据。

[0067] 值得一提的是,当主机系统 200 欲写入连续的多个页数据至闪速存储器存储系统 100 时,数据读写单元 162 会依据存储器管理单元 160 所传递的分组信息以数据传输单位组为单位将主机系统 200 欲写入的页数据交错地传输至第一闪速存储器单元 120a 与第二闪速存储器单元 120b 中。

[0068] 图 3A 是根据本发明第一实施例所绘示的第一分组实施例,图 3B 是根据本发明第一实施例所绘示的第二分组实施例,并且图 4 是根据本发明第一实施例所绘示的以交错方式传输与程序化页数据的实施例。

[0069] 在图 3A、3B 与 4 的实施例中,假设主机系统 200 欲写入页数据 PD1 ~ 页数据 PD18 至闪速存储器存储系统 100, 并且存储器管理单元 160 使用第一闪速存储器 122 的物理区块 122-0、第二闪速存储器 124 的物理区块 124-0、第三闪速存储器 126 的物理区块 126-0 以及第四闪速存储器 128 的物理区块 128-0 来写入页数据 PD1 ~ 页数据 PD18 以提升数据的写入速度。

[0070] 请参照图 3A 与图 3B,如上所述,每一存储单元阵列具有 3 个页面的存储容量,因此存储器管理单元 160 会需使用 6 个存储单元阵列来存储页数据 PD1 ~ 页数据 PD18。此外,在物理区块中必须根据页面的顺序依序地写入数据,因此存储器管理单元 160 会依序地使用物理区块 122-0 的第 0 存储单元阵列(即,物理区块 122-0 的第 0 页面、第 1 页面与第 2 页面)、物理区块 124-0 的第 0 存储单元阵列(即,物理区块 124-0 的第 0 页面、第 1 页面与第 2 页面)、物理区块 126-0 的第 0 存储单元阵列(即,物理区块 126-0 的第 0 页面、第 1 页面与第 2 页面)、物理区块 128-0 的第 0 存储单元阵列(即,物理区块 128-0 的第 0 页面、第 1 页面与第 2 页面)、物理区块 122-0 的第 1 存储单元阵列(即,物理区块 122-0 的第 3 页面、第 4 页面与第 5 页面)和物理区块 124-0 的第 1 存储单元阵列(即,物理区块 124-0 的第 3 页面、第 4 页面与第 5 页面)来存储页数据 PD1 ~ 页数据 PD18。

[0071] 特别是,在本实施例中,存储器管理单元 160 会将物理区块 122-0 的第 0 存储单元阵列与物理区块 124-0 的第 0 存储单元阵列分组为此次数据写入程序的第 1 数据传输单位组,将物理区块 126-0 的第 0 存储单元阵列和物理区块 128-0 的第 0 存储单元阵列分组为此次数据写入程序的第 2 数据传输单位组,并且将物理区块 122-0 的第 1 存储单元阵列和物理区块 124-0 的第 1 存储单元阵列分组为此次数据写入程序的第 3 个数据传输单位组。

[0072] 当数据读写单元 162 从存储器管理单元 160 中接收到此次数据写入程序的分组信息(即,上述第 1 数据传输单位组、第 2 数据传输单位组与第 3 数据传输单位组)时,数据读写单元 162 会交错地将预计写入至每一数据传输单位组的页数据传输至对应的闪速存储器单元。请参照图 4,数据读写单元 162 会先将预计写入至第 1 数据传输单位组的页数据传输至第一闪速存储器单元 120a(即,第一闪速存储器 122 与第二闪速存储器 124),之后,

将预计写入至第 2 数据传输单位组的页数据传输至第二闪速存储器单元 120b (即, 第三闪速存储器 126 与第四闪速存储器 128), 最后, 将预计写入至第 3 数据传输单位组的页数据传输至第一闪速存储器单元 120a。

[0073] 具体来说, 数据读写单元 162 会先将预计写入至物理区块 122-0 的第 0 页面、第 1 页面与第 2 页面以及预计写入至物理区块 124-0 的第 0 页面、第 1 页面与第 2 页面的页数据传输 (即, 传输 T1、T2、T3、T4、T5 与 T6) 至第一闪速存储器 122 与第二闪速存储器 124。然后, 数据读写单元 162 会将预计写入至物理区块 126-0 的第 0 页面、第 1 页面与第 2 页面以及预计写入至物理区块 128-0 的第 0 页面、第 1 页面与第 2 页面的页数据传输 (即, 传输 T7、T8、T9、T10、T11 与 T12) 至第三闪速存储器 126 与第四闪速存储器 128。最后, 数据读写单元 162 会将预计写入至物理区块 122-0 的第 3 页面、第 4 页面与第 5 页面以及预计写入至物理区块 124-0 的第 3 页面、第 4 页面与第 5 页面的页数据传输 (即, 传输 T13、T14、T15、T16、T17 与 T18) 至第一闪速存储器 122 与第二闪速存储器 124。

[0074] 另外, 在本实施例中, 数据读写单元 162 会以交错方式将数据传输至每一闪速存储器单元的闪速存储器。如图 4 所示, 将预计写入至物理区块 122-0 的第 0 页面、第 1 页面与第 2 页面以及预计写入至物理区块 124-0 的第 0 页面、第 1 页面与第 2 页面的页数据传输至第一闪速存储器 122 与第二闪速存储器 124 的过程中, 数据读写单元 162 会依序地将预计写入至物理区块 122-0 的第 0 页面的页数据传输 (即, 传输 T1) 至第一闪速存储器 122、将预计写入至物理区块 124-0 的第 0 页面的页数据传输 (即, 传输 T2) 至第二闪速存储器 124、将预计写入至物理区块 122-0 的第 1 页面的页数据传输 (即, 传输 T3) 至第一闪速存储器 122、将预计写入至物理区块 124-0 的第 1 页面的页数据传输 (即, 传输 T4) 至第二闪速存储器 124、将预计写入至物理区块 122-0 的第 2 页面的页数据传输 (即, 传输 T5) 至第一闪速存储器 122 以及将预计写入至与物理区块 124-0 的第 2 页面的页数据传输 (即, 传输 T6) 至第二闪速存储器 124。传输 T7 ~ T12 以及传输 T13 ~ T18 亦是相同于上述以交错方式来执行, 在此不再详细描述。

[0075] 如图 4 所示, 传输 T1 ~ T18 可以较稳定的方式被执行, 不会因为所有闪速存储器皆处于忙碌状态而长时间的中断传输。因此, 根据本实施例的闪速存储器存储系统 100 能够使主机系统 200 所传送的欲写入数据以较稳定的方式传输至闪速存储器晶片 120, 而有效地减少缓冲存储器 158 的使用。

[0076] 值得一提的是, 如上所述, 尽管存储器管理单元 160 与数据读写单元 162 是以一硬件形式实现在闪速存储器控制器 130 中, 然而本发明不限于此。在另一实施例中, 存储器管理单元 160 与数据读写单元 162 可以是以一固件形式实现在控制器 130 中。例如, 将完成存储器管理单元 160 与数据读写单元 162 的功能的多个程序刻录至一程序存储器 (例如, 只读存储器 (Read Only Memory, 以下简称 ROM)) 中并且将此程序存储器嵌入在闪速存储器控制器 130 中, 当闪速存储器存储系统 100 运作时, 这些程序会由微处理器单元 152 来执行以完成根据本发明实施例的数据传输机制。

[0077] 在本发明另一实施例中, 完成存储器管理单元 160 与数据读写单元 162 的功能的多个程序也可以软件形式存储于闪速存储器晶片 120 的特定区域 (例如, 闪速存储器中专用于存放系统数据的系统区) 中。同样的, 当闪速存储器存储系统 100 运作时, 这些程序会由微处理器单元 152 来执行。

[0078] 此外,在本发明另一实施例中,闪速存储器控制器亦可包括其他电路单元。图 5 是根据本发明另一实施例所绘示的闪速存储器控制器的方块图。请参照图 5,除了上述微处理器单元 152、第一接口单元 154、第二接口单元 156、缓冲存储器 158、存储器管理单元 160 与数据读写单元 162 之外,闪速存储器控制器 130' 还包括光罩式只读存储器 (Mask ROM) 402、程序随机存取存储器 (Program Random Access Memory) 404 与安全引擎 (Security Engine) 单元 406。并且闪速存储器控制器 130' 配置仲裁器 (Arbiter) 424 与 426 来将缓冲存储器 158、存储器管理单元 160 与数据读写单元 162 电性连接至微处理器单元 152。

[0079] 光罩式只读存储器 402 与程序随机存取存储器 404 是通过复用器 (MUX) 422 电性连接至微处理器单元 152。光罩式只读存储器 402 是用以存储用于闪速存储器控制器 130' 的信息或程序码,特别是,此些信息或程序码是不允许被更动的。程序随机存取存储器 404 是用以暂时地存放微处理器单元 152 所正执行的固件码。具体来说,由于随机存取存储器的运作速度较快,因此将微处理器单元 152 所正在执行的固件码先载入至程序随机存取存储器可提升闪速存储器控制器 130' 的运作效率。例如,在以固件或软件形式实现存储器管理单元 160 与数据读写单元 162 的例子中,在闪速存储器存储系统 100 初始化时,完成此些单元的功能的程序会被载入至程序随机存取存储器后,再由微处理器单元 152 来执行。

[0080] 安全引擎单元 406 是电性连接至微处理器单元 152 并且用以加解密写入至闪速存储器晶片 120 中的数据,以确保数据的可靠性。在本实施例中,安全引擎单元 406 所使用的加解密技术为高阶加密标准 (Advanced Encryption Standard, 以下简称 AES), 然而本发明不限于此, 国家标准局数据加密标准 (data encryption standard, 以下简称 DES) 或其他加密技术亦可应用于本发明。

[0081] 错误校正单元 408 是电性连接至微处理器单元 152 并且用以依据主机系统 200 欲写入至闪速存储器晶片 120 的数据产生错误校正码 (Error Correcting Code), 并且于主机系统 200 欲从闪速存储器晶片 120 中读取数据时依据所产生的错误校正码执行一错误校正程序以确保数据的正确性。

[0082] 图 6 是根据本发明第一实施例所绘示的数据传输的流程图。

[0083] 请参照图 6, 当主机系统 200 欲写入大量页数据至闪速存储器存储系统 100 时, 在步骤 S601 中存储器管理单元 160 会依据逻辑地址 - 物理地址对映表及相关闪速存储器的配置信息从第一闪速存储器 122、第二闪速存储器 124、第三闪速存储器 126 与第四闪速存储器 128 中选择可使用的物理区块。

[0084] 之后, 在步骤 S603 中存储器管理单元 160 会将所选择的物理区块中的存储单元阵列分组为数个数据传输单位组。将存储单元阵列分组为数个数据传输单位组的方法已配合图 3A 与图 3B 描述如前, 在此不重复描述。

[0085] 接着, 在步骤 S605 中数据读写单元 162 会依据存储器管理单元 160 所产生的分组信息以数据传输单位组为单位将主机系统 200 欲写入的页数据交错地传输至第一闪速存储器单元 120a 与第二闪速存储器单元 120b 中。

[0086] 值得一提的是, 图 3A、图 3B 与图 4 的实施例中是使用第一闪速存储器 122、第二闪速存储器 124、第三闪速存储器 126 与第四闪速存储器 128 等 4 个闪速存储器的彼此交错方式来传输与程序化主机系统 200 欲写入的数据。然而, 本发明不限于此, 例如, 当主机系统 200 欲写入的数据量较少时, 存储器管理单元 160 与数据读写单元 162 可仅使用 2 个闪

速存储器的彼此交错方式来传输与程序化主机系统 200 欲写入的数据。或者,当闪速存储器存储系统配置更多数目的闪速存储器时,存储器管理单元 160 与数据读写单元 162 可使用更多数目闪速存储器来以交错方式来传输与程序化主机系统 200 欲写入的数据。

[0087] 图 7 是根据本发明第二实施例所绘示的闪速存储器存储系统的概要方块图。

[0088] 请参照图 7,闪速存储器存储系统 700 包括连接器 110、闪速存储器晶片 720、与闪速存储器控制器 730。闪速存储器存储系统 700 与闪速存储器存储系统 100 的差异在于闪速存储器存储系统 700 的闪速存储器晶片 720 仅包括 2 个闪速存储器,因此,闪速存储器控制器 730 的存储器管理单元 160' 与数据读写单元 162' 仅会对 2 个闪速存储器进行上述分组与数据传输,除此之外,闪速存储器存储系统 700 的结构与第一实施例中功能本质上是相同于第一实施例中的闪速存储器存储系统 100,在此不再重复描述。

[0089] 在闪速存储器存储系统 700 中,闪速存储器晶片 720 包括第一闪速存储器 122 与第二闪速存储器 124,因此存储器管理单元 160' 会将第一闪速存储器 122 分组为第一闪速存储器单元 120c 并且将第二闪速存储器 124 分组为第二闪速存储器单元 120d。也就是说,在闪速存储器存储系统 700 中每一闪速存储器单元仅包括 1 个闪速存储器。

[0090] 图 8 是根据本发明第二实施例所绘示的以交错方式传输与程序化页数据的实施例。在此实施例中,假设主机系统 200 欲写入闪速存储器存储系统 700 的数据为页数据 PD1 ~ PD9 且存储器管理单元 160' 使用第一闪速存储器 122 的物理区块 122-1 中的第 0 存储单元阵列与第 1 存储单元阵列与第二闪速存储器 124 的物理区块 124-1 中的第 0 存储单元阵列来写入页数据 PD1 ~ 页数据 PD9。

[0091] 类似于图 3A 与图 3B 所示的方式,存储器管理单元 160' 会将物理区块 122-1 的第 0 存储单元阵列(即,物理区块 122-1 的第 0 页面、第 1 页面与第 2 页面)与第 1 存储单元阵列(即,物理区块 122-1 的第 3 页面、第 4 页面与第 5 页面)以及物理区块 124-1 的第 0 存储单元阵列(即,物理区块 124-1 的第 0 页面、第 1 页面与第 2 页面)进行分组。具体来说,在此实施例中,物理区块 122-1 的第 0 页面、第 1 页面与第 2 页面会被分组为此次写入程序的第 1 数据传输单位组,物理区块 124-1 的第 0 页面、第 1 页面与第 2 页面会被分组为此次写入程序的第 2 数据传输单位组,并且物理区块 122-1 的第 3 页面、第 4 页面与第 5 页面会被分组为此次写入程序的第 3 数据传输单位组。

[0092] 之后,数据读写单元 162' 会依据存储器管理单元 160' 所产生的分组信息,以数据传输单位组为单位使用交错方式将页数据 PD1 ~ 页数据 PD9 传输至第一闪速存储器单元 120c 与第二闪速存储器单元 120d 中。

[0093] 请参照图 8,数据读写单元 162' 会先将预计写入至物理区块 122-1 的第 0 页面、第 1 页面与第 2 页面的页数据传输(即,传输 T21、T22 与 T23)至第一闪速存储器 122。然后,数据读写单元 162' 会将预计写入至物理区块 124-1 的第 0 页面、第 1 页面与第 2 页面的页数据传输(即,传输 T24、T25 与 T26)至第二闪速存储器 124。最后,数据读写单元 162' 会将预计写入至物理区块 122-1 的第 3 页面、第 4 页面与第 5 页面的页数据传输(即,传输 T27、T28 与 T29)至第一闪速存储器 122。

[0094] 值得一提的是,在第二实施例中,在每一存储单元阵列中,下页、中页与上页会分组为一数据传输单位组。然而,本发明另一实施例中,闪速存储器存储系统 700 亦可在每一存储单元阵列中将下页与中页分组为一第一子数据传输单位组且将上页分组为一第二子

数据传输单位组,且数据读写单元 162' 会以第一子数据传输单位组与第二子数据传输单位组来交错地在第一闪速存储器 122 与第二闪速存储器 124 之间传输数据。

[0095] 图 9 是根据本发明第三实施例所绘示的数据传输的流程图,且图 10 是根据本发明第三实施例所绘示的以交错方式传输与程序化页数据的实施例。

[0096] 请参照图 9 与图 10,当主机系统 200 欲写入大量页数据至闪速存储器存储系统 700 时,在步骤 S901 中存储器管理单元 160' 会依据逻辑地址 - 物理地址对映表及相关闪速存储器的配置信息从第一闪速存储器 122 与第二闪速存储器 124 中选择可使用的物理区块。

[0097] 之后,在步骤 S903 中存储器管理单元 160' 会将所选择的物理区块中每一存储单元阵列中的页面分组为数个第一子数据传输单位组与第二子数据传输单位组。具体来说,在每一存储单元阵列中,下页与中页会被视为第一子数据传输单位组而上页会被视为第二子数据传输单位组。例如,以第一闪速存储器 122 的物理区块 122-1 为例,第 0 页面与第 1 页面、第 3 页面与第 4 页面、第 6 页面与第 7 页面... 会分别地被视为第一子数据传输单位组以及第 2 页面、第 5 页面、第 8 页面... 会分别地被视为第二子数据传输单位组。

[0098] 接着,在步骤 S905 中数据读写单元 162' 会依据存储器管理单元 160' 所产生的分组信息以第一与第二子数据传输单位组为单位将主机系统 200 欲写入的页数据交错地传输至第一闪速存储器 122 与第二闪速存储器 124 中。

[0099] 例如,数据读写单元 162' 先将预计写入至物理区块 122-1 的第 0 页面与第 1 页面的页数据传输至第一闪速存储器 122(即,传输 T21 与 T22)。之后,数据读写单元 162' 会将预计写入至物理区块 124-1 的第 0 页面与第 1 页面的页数据传输至第二闪速存储器 124(即,传输 T24 与 T25)。然后,数据读写单元 162' 会将预计写入至第 2 页面的页数据传输至第一闪速存储器 122(即,传输 T23)。之后,数据读写单元 162' 会将预计写入至物理区块 124-1 的第 2 页面的页数据传输至第二闪速存储器 124(即,传输 T26)。之后,数据读写单元 162' 会将预计写入至物理区块 122-1 的第 3 页面与第 4 页面的页数据传输至第一闪速存储器 122(即,传输 T27 与 T28)。最后,数据读写单元 162' 会将预计写入至物理区块 122-1 的第 5 页面的页数据传输至第一闪速存储器 122(即,传输 T29)。

[0100] 综上所述,本发明实施例所提出的数据传输方法是将多个闪速存储器中预计写入的数据依据不同程序化速度的页面分组为多个数据传输单位组,并且依据所分组的数据传输单位组来进行数据传输,由此可避免所有闪速存储器皆处于忙碌状态而长时间的中断传输。因此,根据本实施例的闪速存储器存储系统能够以较稳定地方式传输主机系统欲写入的数据至闪速存储器晶片,而有效地减少缓冲存储器的使用。

[0101] 最后应说明的是:以上实施例仅用以说明本发明的技术方案而非限制,尽管参照较佳实施例对本发明进行了详细说明,本领域的普通技术人员应当理解,可以对本发明的技术方案进行修改或者等同替换,而不脱离本发明技术方案的精神和范围。

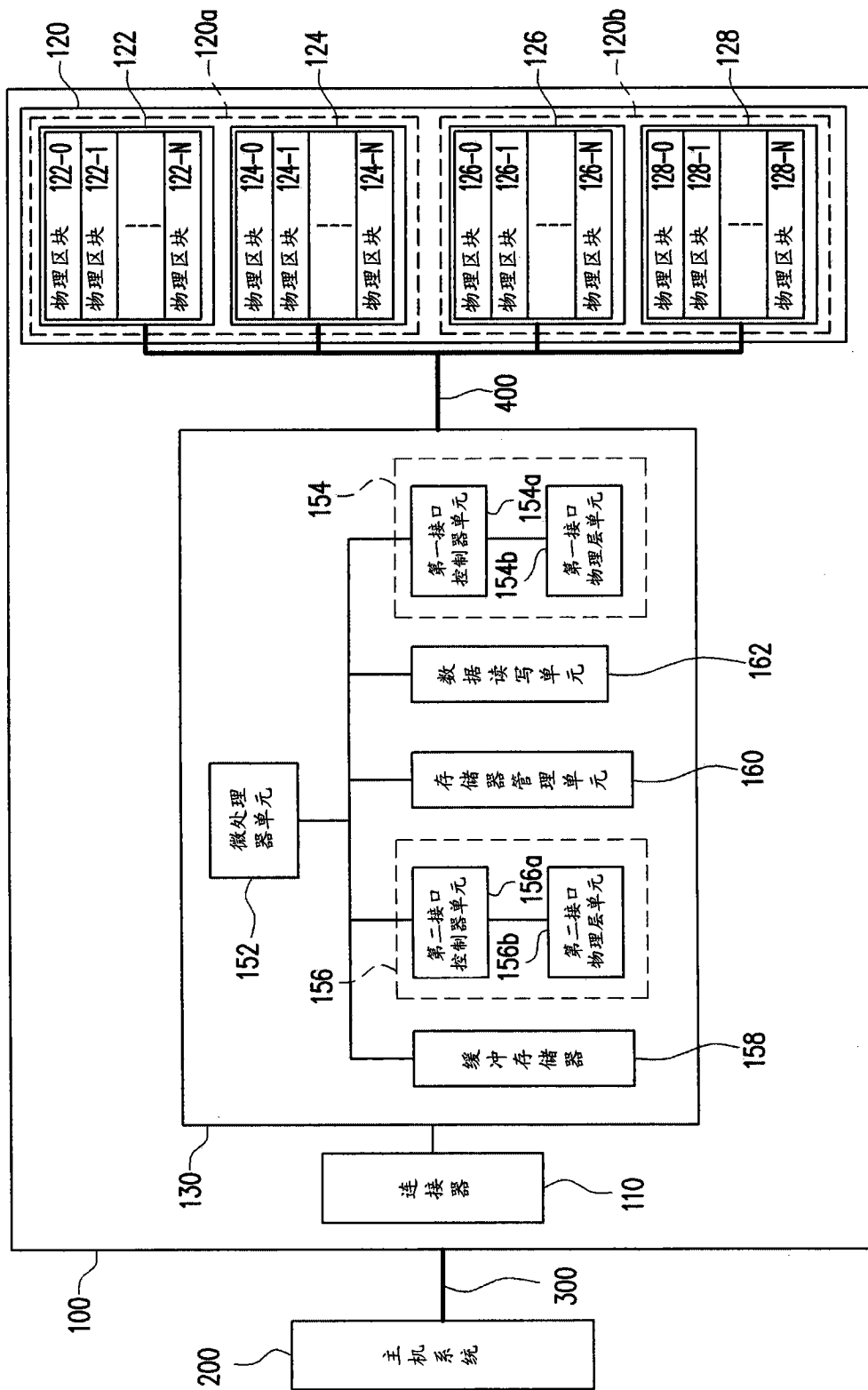


图 1

	下页	中页	上页	下页	中页	上页	
第0存储单元阵列	0	1	2	96	97	98	第32存储单元阵列
第1存储单元阵列	3	4	5	99	100	101	第33存储单元阵列
第2存储单元阵列	6	7	8	102	103	104	第34存储单元阵列
第3存储单元阵列	9	10	11	105	106	107	第35存储单元阵列
第4存储单元阵列	12	13	14	108	109	110	第36存储单元阵列
第5存储单元阵列	15	16	17	111	112	113	第37存储单元阵列
第6存储单元阵列	18	19	20	114	115	116	第38存储单元阵列
第7存储单元阵列	21	22	23	117	118	119	第39存储单元阵列
第8存储单元阵列	24	25	26	120	121	122	第40存储单元阵列
第9存储单元阵列	27	28	29	123	124	125	第41存储单元阵列
第10存储单元阵列	30	31	32	126	127	128	第42存储单元阵列
第11存储单元阵列	33	34	35	129	130	131	第43存储单元阵列
第12存储单元阵列	36	37	38	132	133	134	第44存储单元阵列
第13存储单元阵列	39	40	41	135	136	137	第45存储单元阵列
第14存储单元阵列	42	43	44	138	139	140	第46存储单元阵列
第15存储单元阵列	45	46	47	141	142	143	第47存储单元阵列
第16存储单元阵列	48	49	50	144	145	146	第48存储单元阵列
第17存储单元阵列	51	52	53	147	148	149	第49存储单元阵列
第18存储单元阵列	54	55	56	150	151	152	第50存储单元阵列
第19存储单元阵列	57	58	59	153	154	155	第51存储单元阵列
第20存储单元阵列	60	61	62	156	157	158	第52存储单元阵列
第21存储单元阵列	63	64	65	159	160	161	第53存储单元阵列
第22存储单元阵列	66	67	68	162	163	164	第54存储单元阵列
第23存储单元阵列	69	70	71	165	166	167	第55存储单元阵列
第24存储单元阵列	72	73	74	168	169	170	第56存储单元阵列
第25存储单元阵列	75	76	77	171	172	173	第57存储单元阵列
第26存储单元阵列	78	79	80	174	175	176	第58存储单元阵列
第27存储单元阵列	81	82	83	177	178	179	第59存储单元阵列
第28存储单元阵列	84	85	86	180	181	182	第60存储单元阵列
第29存储单元阵列	87	88	89	183	184	185	第61存储单元阵列
第30存储单元阵列	90	91	92	186	187	188	第62存储单元阵列
第31存储单元阵列	93	94	95	189	190	191	第63存储单元阵列

图 2

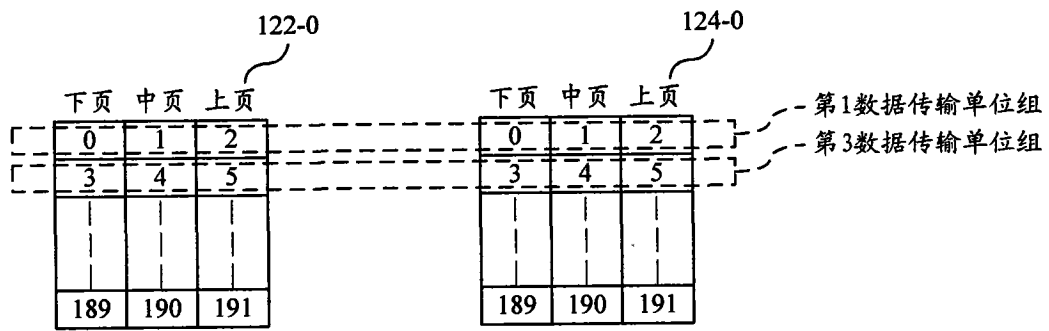


图 3A

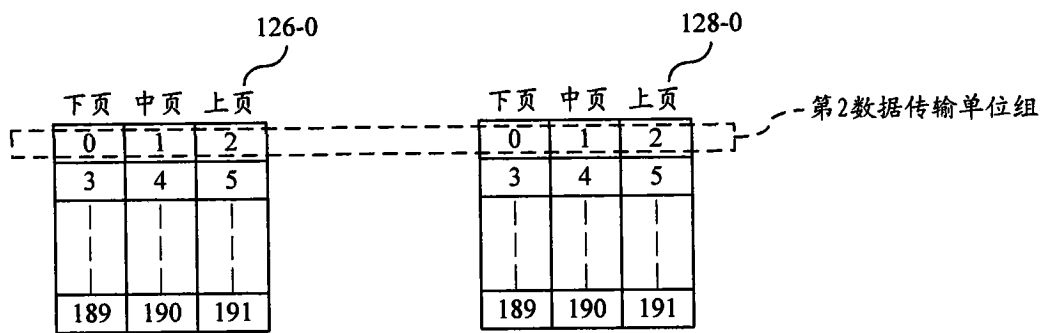


图 3B

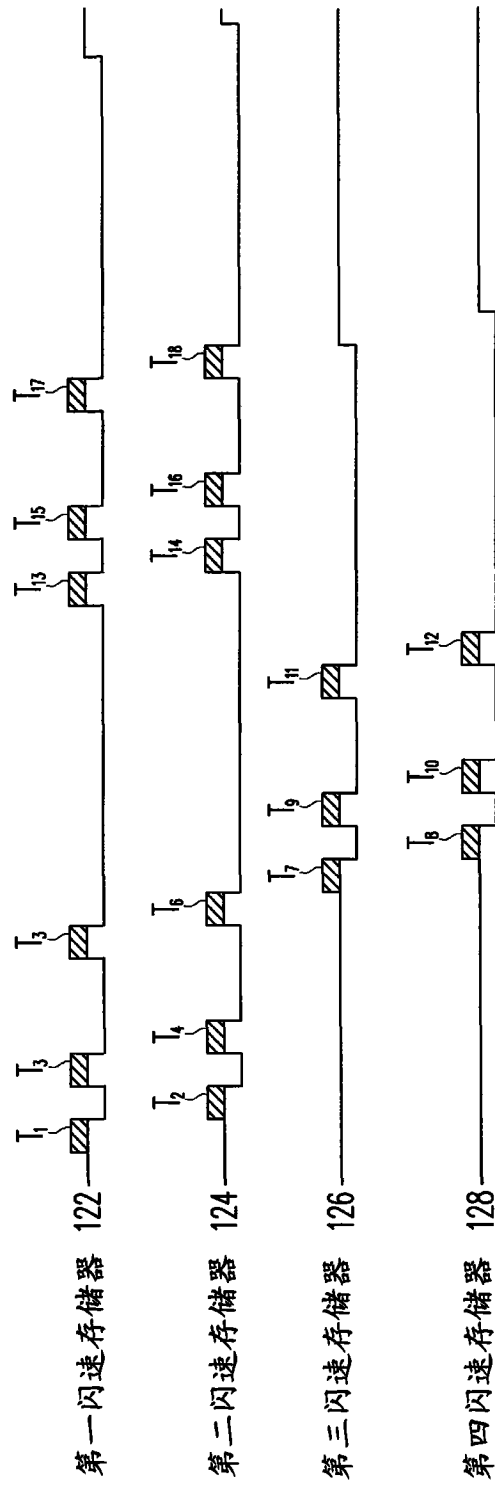


图 4

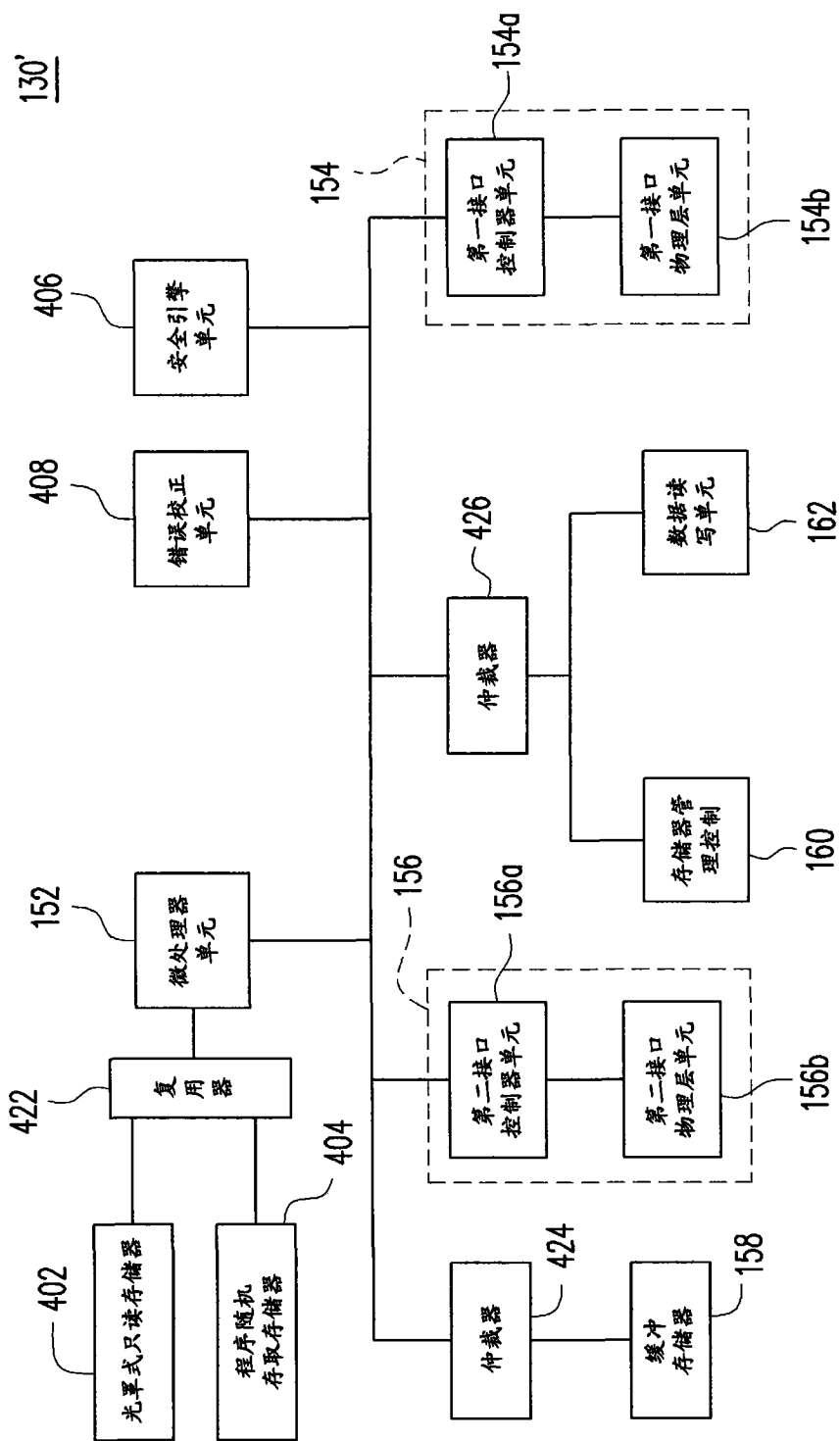


图 5

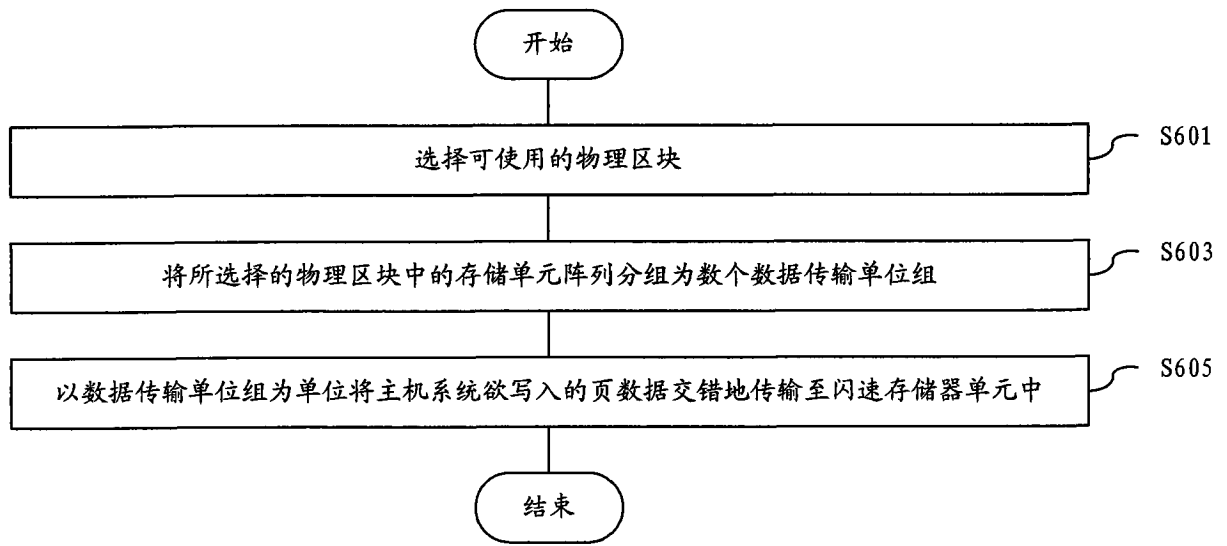


图 6

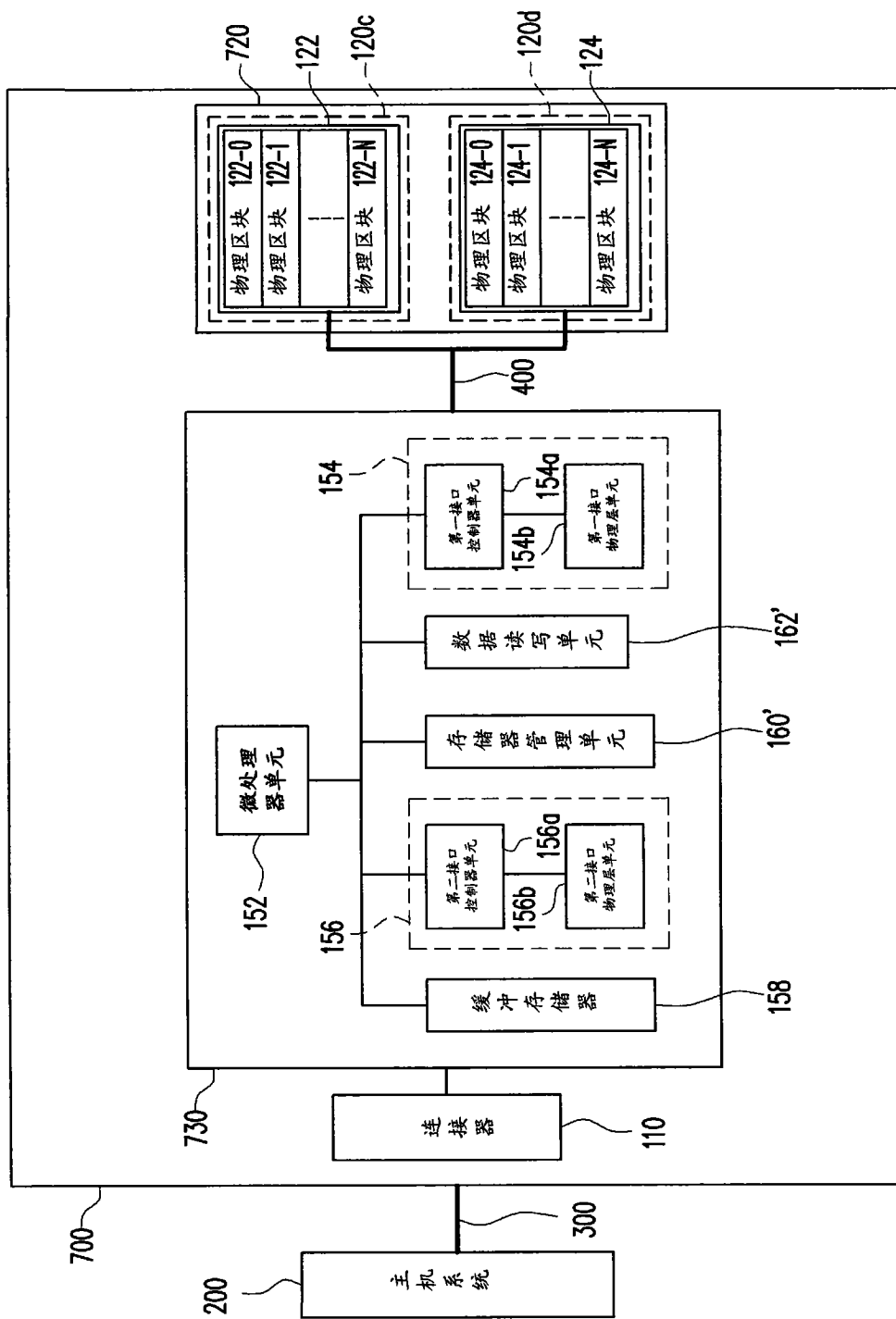


图 7

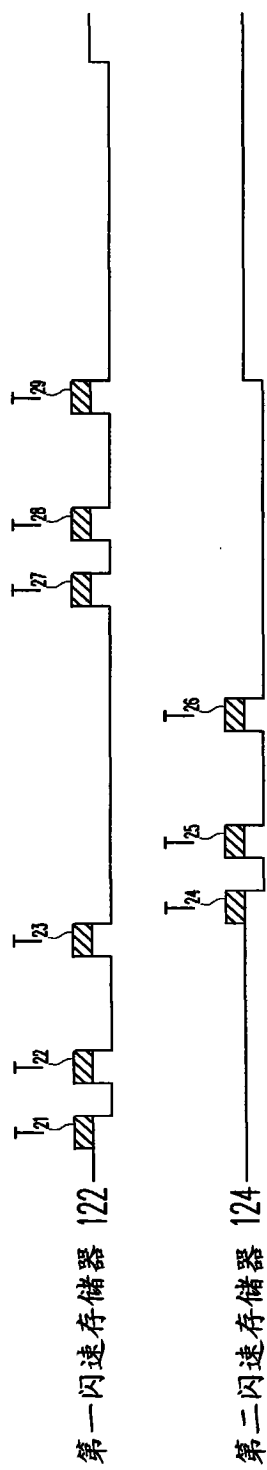


图 8

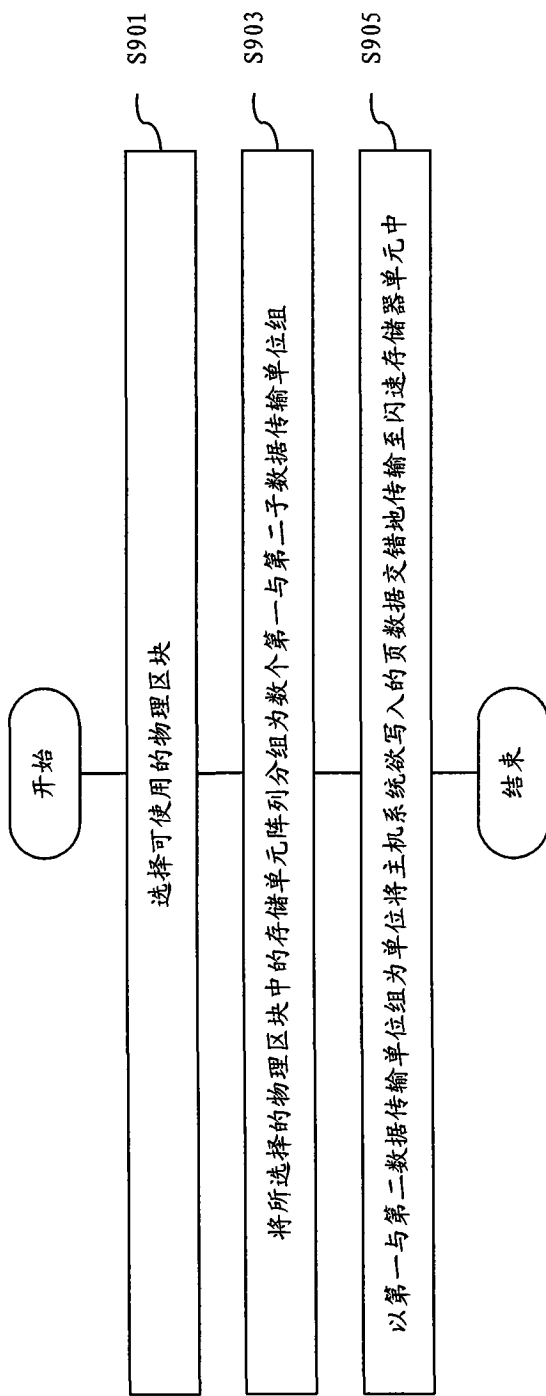


图 9

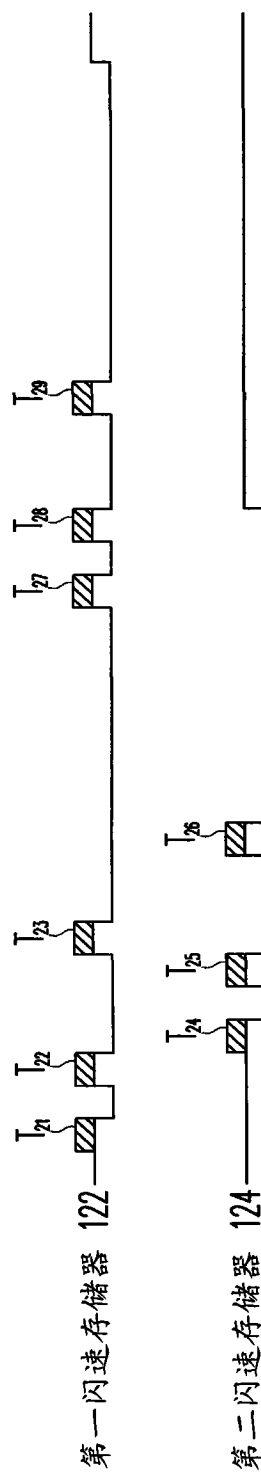


图 10