

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2024 年 1 月 25 日 (25.01.2024)



(10) 国际公布号
WO 2024/016597 A1

(51) 国际专利分类号:
H01L 21/82 (2006.01) **H01L 23/532** (2006.01)

(21) 国际申请号: PCT/CN2022/141741

(22) 国际申请日: 2022 年 12 月 26 日 (26.12.2022)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202210870052.9 2022 年 7 月 22 日 (22.07.2022) CN

(71) 申请人: 北京超弦存储器研究院
(**BEIJING SUPERSTRING ACADEMY OF MEMORY TECHNOLOGY**) [CN/CN]; 中国北京市大兴区北京经济技术开发区景园北街 52 幢 5 层 501-12, Beijing 100176 (CN)。长鑫科技集团股份有限公司(**CXMT CORPORATION**) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道 388 号, Anhui 230601 (CN)。

(72) 发明人: 孟敬恒(**MENG, Jingheng**); 中国北京市大兴区北京经济技术开发区景园北街 52 幢 5 层 501-12, Beijing 100176 (CN)。李永杰(**LI, Yongjie**);

中国北京市大兴区北京经济技术开发区景园北街 52 幢 5 层 501-12, Beijing 100176 (CN)。韩宝东(**HAN, Baodong**); 中国北京市大兴区北京经济技术开发区景园北街 52 幢 5 层 501-12, Beijing 100176 (CN)。平延磊(**PING, Yanlei**); 中国北京市大兴区北京经济技术开发区景园北街 52 幢 5 层 501-12, Beijing 100176 (CN)。

(74) 代理人: 北京市立方律师事务所 (**LIFANG & PARTNERS**); 中国北京市东城区香河园街 1 号院信德京汇中心 12 层, Beijing 100028 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE,

(54) **Title:** SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREFOR, MEMORY DEVICE, AND ELECTRONIC APPARATUS

(54) 发明名称: 半导体器件、其制作方法、存储装置及电子设备

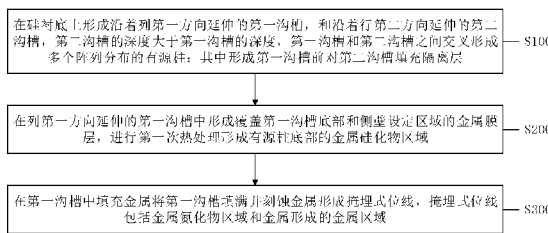


图 1

100 Form, in a silicon substrate, first trenches extending in a first column direction and second trenches extending in a second row direction, the second trenches having a depth greater than the depth of the first trenches, and the first trenches intersecting with the second trenches to form a plurality of active pillars distributed in an array, wherein the second trenches are filled with an isolation layer before the first trenches are formed

200 Form, in each first trench extending in the first column direction, a metal film layer that covers set regions in the bottom and a side wall of the first trench, and perform heat treatment for the first time to form a metal silicide region at the bottom of each active pillar

300 Fill the first trenches with metal to fill up the first trenches, and etch the metal to form buried bit lines, each of which comprises metal nitride regions and metal regions formed of metal

(57) **Abstract:** The present disclosure relating to the field of semiconductor technology. Provided are a semiconductor device and a manufacturing method therefor, a memory device, and an electronic apparatus. The semiconductor device comprises a substrate, a plurality of active pillars and a plurality of bit lines, wherein the plurality of active pillars are located on the substrate and distributed in an array, a first trench is formed between any two adjacent columns of active pillars, and the first trenches extend in a second direction; the plurality of bit lines extend in the second direction and are distributed at intervals in a first direction, one bit line is arranged below one row of active pillars, and the bit lines are buried bit lines; and each bit line includes metal silicide regions and metal regions, which are alternately distributed in the second direction, the metal silicide regions being located directly below the active pillars, and the metal regions being located in the first trenches between the two adjacent active pillars. The semiconductor device provided in the present disclosure comprises the bit lines, each having alternately connected metal nitride regions and metal regions, which prevents the bit lines from being broken and reduces the bit line resistance, thereby effectively improving the performance of the semiconductor device.

SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚
(AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE,
BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR,
HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO,
PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF,
CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN,
TD, TG)。

本国际公布:
— 包括国际检索报告(条约第21条(3))。

(57) 摘要: 本公开提供一种半导体器件、其制作方法、存储装置及电子设备, 涉及半导体技术领域, 半导体器件
包括: 衬底、多个有源柱以及多条位线, 多个有源柱位于衬底上且阵列分布, 任意相邻两列有源柱之间为第一
沟槽, 第一沟槽沿第二方向延伸; 多条位线, 在第二方向延伸且在第一方向间隔分布, 一行有源柱下方设置有一
条位线, 位线为掩埋式位线; 其中, 位线包含在第二方向交替分布的金属硅化物区域和金属区域, 金属硅化物
区域位于有源柱正下方, 金属区域位于相邻两个有源柱之间的第一沟槽内。本公开提供的半导体器件包括金属
氮化物区域和金属区域交替连接的位线, 从而避免位线断裂, 降低位线电阻, 有效提高半导体器件的性能。

说明书

半导体器件、其制作方法、存储装置及电子设备

相关交叉引用

- 5 本申请要求于 2022 年 7 月 22 日在国家知识产权局提交的申请号为 202210870052.9 的中国专利申请的优先权，该优先权申请的全部内容通过引用并入本文。

技术领域

- 10 本公开涉及半导体技术领域，尤其涉及一种半导体器件、其制作方法、存储装置及电子设备。

背景技术

- 15 随着现今科技快速的发展，半导体存储器被广泛地应用于电子装置中。动态随机存取存储器（Dynamic Random Access Memory，DRAM）属于一种易失性存储器，对于储存大量数据的应用而言，动态随机存取存储器是最常被利用的解决方案。

现有的 DRAM 存储器中，可采用掩埋式位线（BL），但现有的掩埋式位线的组成成分大概有两种。一种是金属，另一种是金属硅化物，但金属硅化物字线经过后续热处理工艺有断裂的风险。

20 发明内容

以下是对本公开详细描述的主题的概述。本概述并非是为了限制权利要求的保护范围。

本公开提供一种半导体器件、其制作方法、存储装置及电子设备。

本公开的第一方面，提供一种半导体器件，包括：

衬底；

- 25 多个有源柱，位于所述衬底上且阵列分布，任意相邻两列所述有源柱之间为第一沟槽，所述第一沟槽沿第二方向延伸；

多条位线，在所述第二方向延伸且在第一方向间隔分布，一行有源柱下方设置有一条所述位线，所述位线为掩埋式位线；

其中，所述位线包含在所述第二方向交替分布的金属硅化物区域和金属区域，所述金

属硅化物区域位于所述有源柱正下方，所述金属区域位于相邻两个有源柱之间的所述第一沟槽内。

本公开的一些实施例中，所述金属硅化物区域包括的材料包含硅化镍、硅化铂、硅化钛或硅化钴。

5 本公开的一些实施例中，每相邻两个金属硅化物区域和金属区域之间还包含金属氮化物区域。

本公开的一些实施例中，所述金属区域的金属为块状，沿着所述第二方向的纵截面中，所述块状结构的纵截面外轮廓与所述第一沟槽的纵截面轮廓相同，所述金属氮化物区域包含金属氮化物膜层，所述金属氮化物膜层包裹所述块状的金属的底部和侧壁同时与所述金属硅化物的侧壁接触，沿着所述第二方向的纵截面中，所述金属氮化物膜层的纵截面轮廓与
10 所述第一沟槽的纵截面轮廓相同。

本公开的一些实施例中，所述金属硅化物为钛的硅化物或钴的硅化物，所述金属氮化物膜层为氮化钛膜层，所述金属为钨金属。

本公开的一些实施例中，所述的半导体器件还包括：

15 第一隔离层，所述第一隔离层覆盖所述有源柱的侧壁且从有源柱的底部向上延伸到第一高度；

第二隔离层，所述第二隔离层覆盖所述位线上的金属区域，从所述金属区域的顶面向上延伸第二高度且不超过所述有源柱的顶部；所述第二高度高于所述第一高度；所述第二隔离层的侧壁与有源柱之间形成具有第二高度的缝隙，所述第一隔离层填充所述缝隙到
20 述第一高度；

第三隔离层，所述第三隔离层位于所述第一隔离层露出的有源柱的侧壁上，并与所述第二隔离层之间形成缝隙；

栅极氧化层和栅极，依次填充所述缝隙到第二隔离层的侧壁和所述第三隔离层的侧壁之间；

25 多条字线，沿着第一方向延伸且在第二方向间隔分布，所述字线的一部分作为所述栅极。

本公开的第二方面，提供一种存储装置，包括上述的半导体器件。

本公开的第三方面，提供一种电子设备，包括上述的存储装置。

本公开的第四方面，提供一种半导体器件的制作方法，包括：

在硅衬底上形成沿着第一方向延伸的第一沟槽，和沿着第二方向延伸的第二沟槽，所述第二沟槽的深度大于所述第一沟槽的深度，所述第一沟槽和第二沟槽之间交叉形成多个
5 阵列分布的有源柱；其中形成第一沟槽前对所述第二沟槽填充隔离层；

在所述第一方向延伸的第一沟槽中形成覆盖第一沟槽底部和侧壁设定区域的金属膜层，进行第一次热处理形成有源柱底部的金属硅化物区域；

在所述第一沟槽中填充金属将所述第一沟槽填满并刻蚀所述金属形成掩埋式位线，所述掩埋式位线包括所述金属氮化物区域和所述金属形成的金属区域。

10 本公开的一些实施例中，在所述第一方向延伸的第一沟槽中形成覆盖第一沟槽底部和侧壁设定区域的金属膜层，进行第一次热处理形成有源柱底部的金属硅化物区域，包括：

自所述第一沟槽的底面进行刻蚀形成多个凹槽，相邻所述凹槽之间经由所述隔离层隔开；

形成第一金属材料层，所述第一金属材料层覆盖所述凹槽的侧壁及底面；

15 对形成有所述第一金属材料层的基底进行热处理，以形成所述金属硅化物区域。

本公开的一些实施例中，自所述第一沟槽的底面进行刻蚀形成多个凹槽，包括：

在所述衬底上形成第一隔离层，所述第一隔离层覆盖所述基底的顶面以及所述第一沟槽的侧面和底面；

去除部分所述第一隔离层，以暴露出所述第一沟槽的底面；

20 自所述第一沟槽的底面湿法刻蚀，得到所述凹槽。

本公开的一些实施例中，在第一沟槽中填充金属将第一沟槽填满并刻蚀金属形成掩埋式位线，包括：

形成防扩散材料层，所述防扩散材料层覆盖所述第一隔离层以及所述凹槽的侧壁及底面；

25 在所述防扩散材料层上形成第二金属材料层，所述第二金属材料层覆盖所述防扩散材料层，并将所述防扩散材料层在所述第一沟槽以及所述凹槽内围合的空间填充；

去除部分所述防扩散材料层和部分所述第二金属材料层，保留的所述防扩散材料层和所述第二金属材料层构成所述金属层，相邻所述凹槽内的金属层之间经由所述隔离层隔开。

本公开的一些实施例中，对形成有所述第一金属材料层的基底进行热处理，包括：

对形成有所述第一金属材料层的衬底进行第一热处理，所述第一热处理的温度为第一预设温度，所述第一热处理的时长为第一预设时长；

对经过第一热处理后的衬底进行湿法清洗；

对湿法清洗后的衬底进行第二热处理，所述第二热处理的温度为第二预设温度，所述第一热处理的时长为第二预设时长。

本公开的一些实施例中，所述第一预设温度为 400° C 至 700° C；和/或，
所述第一预设时长为 30 秒至 120 秒；和/或，

所述第二预设温度为 600° C 至 900° C；和/或，

所述第二预设时长为 30 秒至 120 秒。

本公开的一些实施例中，所述第一金属材料层的材料包括镍、铂、钛或钴。

本公开的一些实施例中，在所述凹槽内形成金属层之后，所述半导体器件的制作方法还包括：

形成栅极氧化层，所述栅极氧化层覆盖所述有源柱的沟道区；

在所述栅极氧化层上形成字线。

本公开的一些实施例中，所述形成栅极氧化层，包括：

形成第二隔离层，所述第二隔离层将第一隔离层在所述第一沟槽内围合形成的空间填充；

去除部分所述第二隔离层，并去除部分覆盖所述第一沟槽侧壁的所述第一隔离层以及部分所述隔离结构，以暴露出所述有源柱的沟道区，得到的所述第二隔离层的顶面高于所述第一隔离层的顶面，且得到的所述第一隔离层的顶面与得到的所述隔离结构的顶面平齐；

于暴露的所述有源柱的表面形成所述栅极氧化层，所述栅极氧化层与所述第二隔离层之间具有间隔空间。

本公开的一些实施例中，去除部分所述第二隔离层，并去除部分覆盖所述第一沟槽侧

壁的所述第一隔离层以及部分所述隔离结构，包括：

对所述第二隔离层、所述第一隔离层以及所述隔离结构进行第一刻蚀，以将所述第二隔离层、所述第一隔离层以及所述隔离结构均刻蚀至第一高度；

5 对经过第一刻蚀得到的所述第一隔离层和所述隔离结构进行第二刻蚀，以将所述第一隔离层和所述隔离结构均刻蚀至第二高度。

本公开的一些实施例中，所述在所述栅极氧化层上形成字线，包括：

形成字线材料层，所述字线材料层覆盖所述栅极氧化层，并填充所述栅极氧化层与所述第二隔离层之间的间隔空间；

10 自所述字线材料层的表面向下刻蚀，直至暴露出所述第二隔离层的顶面，保留的所述字线材料层构成所述字线。

本公开实施例所提供的半导体器件的制备方法中，通过在凹槽形成金属硅化物区域，并在凹槽内形成金属区域，如此，形成金属硅化物材料与金属材料交替连接的位线，从而避免位线断裂，降低位线电阻，有效提高半导体器件的性能。

在阅读并理解了附图和详细描述后，可以明白其他方面。

15

附图说明

并入到说明书中并且构成说明书的一部分的附图示出了本公开的实施例，并且与描述一起用于解释本公开实施例的原理。在这些附图中，类似的附图标记用于表示类似的要素。下面描述中的附图是本公开的一些实施例，而不是全部实施例。对于本领域技术人员来讲，在不付出创造性劳动的前提下，可以根据这些附图获得其他的附图。

20

图 1 是根据一示例性实施例示出的半导体器件的制作方法流程图。

图 2 是根据一示例性实施例示出的半导体器件的制作方法流程图。

图 3 是根据一示例性实施例示出的半导体器件的制作方法流程图。

图 4 是根据一示例性实施例示出的半导体器件的制作方法流程图。

25

图 5 是根据一示例性实施例示出的半导体器件的制作方法流程图。

图 6 是根据一示例性实施例示出的半导体器件的制作方法流程图。

图 7 是根据一示例性实施例示出的半导体器件的制作方法流程图。

图 8 是根据一示例性实施例示出的半导体器件的制作方法流程图。

图 9 是根据一示例性实施例示出的半导体器件的制作方法流程图。

图 10 是根据一示例性实施例示出的半导体器件的制作方法流程图。

图 11 是根据一示例性实施例示出的半导体器件的制作方法流程图。

图 12 是根据一示例性实施例示出的半导体器件的制作方法流程图。

图 13 是根据一示例性实施例示出的半导体器件的制作方法中形成第二沟槽的示意图。

5 图 14 是根据一示例性实施例示出的半导体器件的制作方法中形成第三隔离层的示意图。

图 15 是根据一示例性实施例示出的半导体器件的制作方法中形成隔离结构的示意图。

图 16 是根据一示例性实施例示出的半导体器件的制作方法中形成第一沟槽的示意图。

10 图 17 是根据一示例性实施例示出的半导体器件的制作方法中形成第一隔离层的示意图。

图 18 是根据一示例性实施例示出的半导体器件的制作方法中去除部分第一隔离层后的示意图。

图 19 是根据一示例性实施例示出的半导体器件的制作方法中形成凹槽的示意图。

15 图 20 是根据一示例性实施例示出的半导体器件的制作方法中形成第一金属材料层的示意图。

图 21 是根据一示例性实施例示出的半导体器件的制作方法中形成金属硅化物区域的示意图。

图 22 是根据一示例性实施例示出的半导体器件的制作方法中形成金属层的示意图。

20 图 23 是根据一示例性实施例示出的半导体器件的制作方法中形成第二隔离层的示意图。

图 24 是根据一示例性实施例示出的半导体器件的制作方法中经第一刻蚀后的示意图。

图 25 是根据一示例性实施例示出的半导体器件的制作方法中经第二刻蚀后的示意图。

图 26 是根据一示例性实施例示出的半导体器件的制作方法中形成栅极氧化层的示意图。

25 图 27 是根据一示例性实施例示出的半导体器件的制作方法中形成字线材料层的示意图。

图 28 是根据一示例性实施例示出的半导体器件的制作方法中形成字线的示意图。

图 29 是根据一示例性实施例示出的半导体器件的制作方法中形成覆盖层的示意图。

30 附图标记：

100、基底；110、衬底；111、第二沟槽；120a、第三隔离层；120、隔离结构；130、第一沟槽；140、有源柱；200、凹槽；300、位线；310、金属氮化物区域；310b、第一金属材料层；320、金属区域；321、防扩散层；322、第二金属层；400、第一隔离层；500、栅极氧化层；600、字线；600a、字线材料层；700、第二隔离层；800、覆盖层。

5

具体实施方式

为使本公开实施例的目的、技术方案和优点更加清楚，下面将结合本公开实施例中的附图，对公开实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例是本公开一部分实施例，而不是全部的实施例。基于本公开中的实施例，本领域技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本公开保护的范围。需要说明的是，在不冲突的情况下，本公开中的实施例及实施例中的特征可以相互任意组合。

相关技术中，动态随机存取存储器（Dynamic Random Access Memory，DRAM）属于一种挥发性存储器，对于储存大量数据的应用而言，动态随机存取存储器是最常被利用的解决方案。

通常，动态随机存取存储器是由多个存储单元构成，存储单元通常包括晶体管、电容等器件，各存储单元通过与字线和位线连接完成数据的读取和写入。位线通常采用金属材料形成仅含有金属的位线（即 full metal 结构的位线），为了降低位线的电阻，也采用金属硅化物材料形成仅含有金属硅化物的位线（即 full metal silicide 结构的位线），但是金属硅化物形成的位线在热处理工艺中比金属位线更易发生断线，进而影响存储器的性能。

基于此，本公开一示例性实施例提供了一种半导体器件的制作方法，形成金属和金属硅化物交替结构组成的位线，兼顾较低的电阻且不易在高温加热断裂，有效提高半导体器件的性能。

本公开示例性的实施例中提供一种半导体器件的制作方法，如图 1 至 12 所示，图 1 至图 12 为半导体器件的制作方法流程图，图 13 至图 29 为半导体器件的示意图。下面结合图 13 至图 29 对半导体器件的制作方法进行介绍。

本实施例对半导体器件不作限制，下面将以半导体器件为动态随机存储器（DRAM）为例进行介绍，但本实施例并不以此为限，本实施例中的半导体器件还可以为其他的结构。

如图 1 所示，本公开一示例性的实施例提供的一种半导体器件的制作方法，包括如下的步骤：

步骤 S100：在硅衬底 110 上形成沿着列第一方向延伸的第一沟槽，和沿着行第二方

向延伸的第二沟槽，第二沟槽的深度大于第一沟槽的深度，第一沟槽和第二沟槽之间交叉形成多个阵列分布的有源柱；其中形成第一沟槽前对第二沟槽填充隔离层。

一般地，硅衬底为硅基，待在该硅基上图案化半导体器件。图案化前和图案化后的硅基都可以称为基底。

5 一般地，第二方向与第一方向呈夹角设置，比如夹角为 90° 。

基底 100 的结构例如可以为如图 16 所示，基底 100 用于支撑设在其上的其他部件，基底 100 例如可以包括衬底 110，衬底 110 上可以设置有源区等其他结构。

步骤 S200：在列第一方向延伸的第一沟槽中形成覆盖第一沟槽底部和侧壁设定区域的金属膜层，进行第一次热处理形成有源柱底部的金属硅化物区域。

10 具体地，如图 19 所示，自第一沟槽 130 的底面进行刻蚀形成多个凹槽 200，相邻凹槽 200 之间经由隔离层隔开。自第一沟槽的底面进行刻蚀形成多个凹槽 200，可按照如下方式获得：在衬底上形成第一隔离层，第一隔离层覆盖基底的顶面以及第一沟槽的侧面和底面；去除部分第一隔离层，以暴露出第一沟槽的底面；自第一沟槽的底面湿法刻蚀，得到凹槽。

15 具体地，如图 20 和图 21 所示，形成第一金属材料层，第一金属材料层覆盖凹槽的侧壁及底面；对形成有第一金属材料层的基底进行热处理，以形成金属硅化物区域。

步骤 S300、在第一沟槽中填充金属将第一沟槽填满并刻蚀金属形成掩埋式位线，掩埋式位线包括金属氮化物区域和金属形成的金属区域。

本实施例中，通过在凹槽 200 形成金属硅化物区域 310，并在凹槽 200 内形成金属区域 320，如此，形成金属硅化物材料与金属材料交替连接的位线 300，从而避免位线 300 断裂，降低位线 300 电阻，有效提高半导体器件的性能。

本公开一示例性实施例中，如图 2 所示，步骤 S100 具体包括：

步骤 S110、提供衬底。

25 衬底 110 的材料可以为硅(Si)、锗(Ge)、或硅锗(GeSi)、碳化硅(SiC)；也可以是绝缘体上硅(SOI)，绝缘体上锗(GOI)；或者还可以为其它的材料，例如砷化镓等 III-V 族化合物。

步骤 S120、在衬底内沿第一方向形成多个隔离结构 120，每一个隔离结构 120 均沿第二方向延伸。

如图 15 所示，在衬底 110 内形成多个隔离结构 120，隔离结构 120 沿第二方向延伸，多个隔离结构 120 沿第一方向间隔排布。

30 示例性地，如图 3 所示，步骤 S120 包括：

步骤 S121、在衬底上形成多条第二沟槽，第二沟槽沿第二方向延伸。

如图 13 所示，第二沟槽 111 形成有多条且沿第二方向延伸，所有第二沟槽 111 沿第一方向间隔分布。

在本实施例中，可以通过 SADP 工艺（Self Aligned Double Patterning，自对准双重图案工艺）自衬底 110 顶面向下刻蚀形成第二沟槽 111。在其他实施例中也可以采用其他方式，例如 SAQP 工艺（Self-Aligned Quadruple Patterning，自对准四重图案工艺）或 SALELE 工艺（Self-Aligned Litho-Etch-Litho-Etch，自对准双线条光刻技术）对衬底 110 进行刻蚀。示例性地，在衬底 110 上形成掩膜层（图中未示出），以掩膜层为掩膜对衬底 110 进行刻蚀得到第二沟槽 111。应理解，掩膜层可以为硬掩膜，也可以是通过光刻胶光刻形成的掩膜，当采用在衬底 110 顶面覆盖硬掩膜并通过刻蚀的方式获得第二沟槽 111 后，可以去除硬掩膜，也可以保留该硬掩膜于衬底 110 上，以用作后续步骤中使用。

步骤 S122：在第二沟槽内形成隔离结构。

在本实施例中，参照图 15，隔离结构 120 的材料为低填充性材料，例如二氧化硅和氮化硅中的任一种或两种的混合。隔离结构 120 可以通过原子层沉积工艺、气相沉积工艺等沉积工艺形成。例如，可以采用高密度等离子体化学气相沉积工艺或者等离子体增强化学气相沉积工艺。

根据本公开一示例性实施例中，参照图 4，步骤 S122 中，在第二沟槽内形成隔离结构包括以下步骤：

步骤 S122A：在衬底上形成第三隔离层，第三隔离层覆盖衬底的顶面并填充第二沟槽。

如图 14 所示，第三隔离层 120a 将衬底 110 的顶面覆盖，同时将第二沟槽 111 填充。第三隔离层 120a 的材料例如可以为氮化硅、氧化硅等。第三隔离层 120a 可通过原子层沉积工艺（Atomic layer deposition，简称 ALD）、气相沉积工艺（Chemical Vapor Deposition，简称 CVD）等沉积工艺形成。

步骤 S122B：平坦化第三隔离层并暴露出衬底的顶面，保留的第三隔离层构成隔离结构。

本实施例中，采用平坦化工艺将位于衬底 110 顶面上方的第三隔离层 120a 去除，例如采用化学机械抛光（Chemical Mechanical Polishing，简称 CMP）处理第三隔离层 120a，对衬底 110 的上表面进行平坦化处理，通过平坦化处理，既能够去除多余的第三隔离层 120a，又能够为后续的薄膜生长提供良好的平坦度和界面态，提高半导体器件的结构可靠性和性能稳定性。

步骤 S130、去除部分衬底和部分隔离结构，以在基底上沿第二方向形成多条第一沟槽，每一条第一沟槽均沿第一方向延伸，第一沟槽的底面高于隔离结构的底面，第一沟槽和隔离结构将衬底分隔为多个有源柱。

如图 16 所示，第一沟槽 130 沿第一方向延伸，并沿第二方向间隔分布。示例性地，第一沟槽 130 的延伸方向与隔离结构 120 所在的第二沟槽 111 的延伸方向垂直，如此，第一沟槽 130 与隔离结构 120 纵横交错，从而使得衬底 110 被第一沟槽 130 和第二沟槽 111 分隔出多个有源柱 140。多个有源柱 140 例如可以呈阵列分布，沿第二方向的相邻两个有源柱 140 被第一沟槽 130 分隔，沿第一方向的相邻两个有源柱 140 被第二沟槽 111 内的隔离结构 120 分隔。

在本实施例中，可以通过 SADP 工艺（Self Aligned Double Patterning，自对准双重图案工艺）自衬底 110 顶面向下刻蚀形成第一沟槽 130，且将第一沟槽 130 的底壁高度控制在隔离结构 120 底面上方。也可以采用其他方式例如 SAQP 工艺（Self-Aligned Quadruple Patterning，自对准四重图案工艺）或 SALELE（Self-Aligned Litho-Etch-Litho-Etch，自对准双线条光刻技术）获得第一沟槽 130。

本实施例中，步骤 S200 具体包括：自第一沟槽 130 的底面湿法刻蚀，得到凹槽 200，相邻凹槽 200 之间经由隔离结构 120 隔开。

每个有源柱 140 下方的衬底 110 内均形成有至少一凹槽 200，凹槽 200 在衬底 110 上呈阵列状分布，沿第一方向上的相邻两个凹槽 200 被隔离结构 120 分隔。

一实施例中，如图 5 所示，自第一沟槽的底面湿法刻蚀形成凹槽，包括：

步骤 S210、在基底上形成第一隔离层，第一隔离层覆盖基底的顶面以及第一沟槽的侧面和底面。

如图 17 所示，第一隔离层 400 的材料例如可以为氮化硅、氧化硅等。第一隔离层 400 可通过原子层沉积工艺（Atomic layer deposition，简称 ALD）、气相沉积工艺（Chemical Vapor Deposition，简称 CVD）等沉积工艺形成。示例性地，第一隔离层 400 的厚度为 6 至 10 纳米。

步骤 S220、去除部分第一隔离层，以暴露出第一沟槽的底面。

该步骤中，如图 18 所示，可采用干法刻蚀等工艺对第一沟槽 130 底面上方的第一隔离层 400 去除，从而暴露出第一沟槽 130 的底面，以便后续对第一沟槽 130 的底面进行刻蚀。

步骤 S230、自第一沟槽的底面湿法刻蚀，得到凹槽。

示例性地，如图 19 所示，采用四甲基氢氧化铵或氨过氧化氢混合溶液对衬底 110 进行湿法刻蚀，得到凹槽 200。

本实施例中，在自第一沟槽 130 的底面湿法刻蚀之前，在基底 100 上形成第一隔离层 400，第一隔离层 400 将第一沟槽 130 的侧壁覆盖，从而避免后续形成凹槽 200 的过程中对第一沟槽 130 的侧壁造成损害。

本公开一示例性实施例中，如图 6 所示，步骤 S200 具体包括：

步骤 201、形成第一金属材料层，第一金属材料层覆盖凹槽的侧壁及底面。

该步骤中，第一金属材料层 310b 可以只覆盖凹槽 200 的侧壁及底面，也可以是如图 20 所示，第一金属材料层 310b 覆盖第一隔离层 400 以及凹槽 200 的侧壁及底面。

10 第一金属材料层 310b 可通过原子层沉积工艺（Atomic layer deposition，简称 ALD）、气相沉积工艺（Chemical Vapor Deposition，简称 CVD）等沉积工艺形成。第一金属材料层 310b 的材料包括镍、铂、钛或钴。

步骤 S202、对形成有第一金属材料层的基底进行热处理，以形成金属氮化物区域。

15 该步骤中，通过对形成有第一金属材料层 310b 的基底 100 进行热处理，使得第一金属材料层 310b 中的金属材料与凹槽 200 的侧壁及底面发生反应，从而得到金属氮化物区域 310。示例性地，得到的掺杂层 310 包括硅化镍、硅化铂、硅化钛、硅化钴等金属硅化物。

可以理解的，当第一金属材料层 310b 仅覆盖凹槽 200 的槽壁时，例如，首先形成整层的第一金属材料层 310b，然后通过刻蚀去除部分第一金属材料层 310b，保留覆盖凹槽 200 的第一金属材料层 310b，此时，可直接通过热处理的方式使得第一金属材料层 310b 中的金属材料与凹槽 200 的槽壁发生反应以形成金属氮化物区域 310。当第一金属材料层 310b 为整层覆盖结构时，如图 7 所示，步骤 S202 具体包括：

步骤 S2021、对形成有第一金属材料层的基底进行第一热处理，第一热处理的温度为第一预设温度，第一热处理的时长为第一预设时长。

25 通过第一热处理，使得第一金属材料层 310b 中覆盖凹槽 200 的槽壁的部分与凹槽 200 的侧壁及底面发生反应，例如发生反应生成金属硅化物，第一金属材料层 310b 中覆盖第一隔离层 400 的部分不会发生反应。示例性地，第一预设温度为 400° C 至 700° C，第一预设时长为 30 秒至 120 秒。

步骤 S2022、对经过第一热处理后的基底进行湿法清洗。

30 由于第一金属材料层 310b 中覆盖第一隔离层 400 的部分不会发生反应，因此，可通

过湿法清洗的方式将未发生反应的第一金属材料层 310b 去除，例如，通过湿法清洗将多余的镍、铂、钛或者钴去除。

步骤 S2023、对湿法清洗后的基底进行第二热处理，第二热处理的温度为第二预设温度，第一热处理的时长为第二预设时长。

- 5 通过该步骤，使得覆盖于凹槽 200 的侧壁及底面上的第一金属材料层 310b 进一步反应，从而生成更低电阻的金属硅化物。示例性地，第二预设温度高于第一预设温度，第二预设温度为 600° C 至 900° C，第二预设时长为 30 秒至 120 秒。

本公开一示例性实施例中，如图 8 所示，步骤 S300 具体包括如下步骤：

- 10 步骤 S310、形成防扩散材料层，防扩散材料层覆盖第一隔离层以及凹槽的侧壁及底面。

- 本步骤中，可以采用原子层沉积工艺(Atomic Layer Deposition, ALD)、或者化学气相沉积工艺(Cheical Vapor Deposition, CVD)沉积形成防扩散材料层，防扩散材料层将第一隔离层 400 以及凹槽 200 的侧壁及底面覆盖。防扩散材料层的材料例如可以包括金属氮化物，示例性地，防扩散材料层的材料为 TiN 或 TaN。防扩散材料层能够对后续形成的第二金属材料层进行有效隔离，避免金属扩散。
- 15

步骤 S320、在防扩散材料层上形成第二金属材料层，第二金属材料层覆盖防扩散材料层，并将防扩散材料层在第一沟槽以及凹槽内围合的空间填充。

- 本步骤中，可采用化学气相沉积或其他沉积技术在防扩散材料层上形成第二金属材料层，第二金属材料层覆盖防扩散材料层并将防扩散材料层在第一沟槽 130 以及凹槽 200 内围合的空间填充。第二金属材料层的材料可以包括一种或多种金属，例如可包括铝(Al)、钨(W)、铜(Cu)、钛铝(TiAl)合金中的一种或至少两种的组合。
- 20

步骤 S330、去除部分防扩散材料层和部分第二金属材料层，保留的防扩散材料层和第二金属材料层构成金属层，相邻位线预置结构的凹槽内的金属层之间经由隔离结构隔开。

- 示例性地，采用干法刻蚀去除部分第二金属材料层，再采用湿法刻蚀去除部分防扩散材料层，如图 22 所示，保留的防扩散材料层构成防扩散层 321，保留的第二金属材料层构成第二金属层 322，防扩散层 321 和第二金属层 322 构成金属区域 320。可以理解的是，在进行刻蚀时，可将隔离结构 120 在第一沟槽 130 内的顶面作为刻蚀停止层，当暴露出隔离结构 120 的该顶面时，使得相邻凹槽 200 内的金属区域 320 之间经由隔离结构 120 完全隔开。
- 25

- 30 本公开一示例性实施例提供一种半导体器件的制作方法，如图 9 所示，该半导体器件

的制作方法还包括如下步骤：

S400、形成栅极氧化层，栅极氧化层覆盖有源柱的沟道区。

S500、在栅极氧化层上形成字线。

其中，步骤 S400 和步骤 S500 在步骤 S300 之后进行。

- 5 本实施例中，在形成位线 300 之后，将第一沟槽 130 作为字线槽，形成栅极氧化层 500 和字线 600，从而进一步简化半导体器件的制作工艺。

本公开一示例性实施例中，如图 10 所示，步骤 S400 具体包括：

步骤 S410、形成第二隔离层，第二隔离层将第一隔离层在第一沟槽内围合形成的空间填充。

- 10 如图 23 所示，第二隔离层 700 将第一隔离层 400 在第一沟槽 130 内围合的空间填充，示例性地，采用原子层沉积工艺(Atomic Layer Deposition, ALD)、或者化学气相沉积工艺(Che-
mical Vapor Deposition, CVD)等沉积工艺沉积整层的第二隔离层 700，之后对第二隔离层 700 进行回刻，以暴露出位于有源柱 140 顶部的第一隔离层 400。

- 15 步骤 S420、去除部分第二隔离层，并去除部分覆盖第一沟槽侧壁的第一隔离层以及部分隔离结构，以暴露出有源柱的沟道区，得到的第二隔离层的顶面高于第一隔离层的顶面，且得到的第一隔离层的顶面与得到的隔离结构的顶面平齐。

- 20 该步骤中，如图 24 和图 25 所示，可通过干法刻蚀、湿法刻蚀等工艺去除第二隔离层 700、第一隔离层 400 以及隔离结构 120 的部分结构，使得有源柱 140 的沟道区暴露以便后续形成覆盖沟道区的栅极氧化层 500，且第二隔离层 700 的顶面高于第一隔离层 400 的顶面，以使得后续在第二隔离层 700 的两侧分别形成相互隔离的字线 600。

步骤 S430、于暴露的有源柱的表面形成栅极氧化层，栅极氧化层与第二隔离层之间具有间隔空间。

- 25 如图 26 所示，形成的栅极氧化层 500 与第二隔离层 700 之间具有间隔空间，以便在间隔空间内形成字线 600。一些实施例中，栅极氧化层 500 可采用原子层沉积工艺(Atomic Layer Deposition, ALD)、或者化学气相沉积工艺(Che-
mical Vapor Deposition, CVD)等沉积工艺形成，在另一些实施例中，在有源柱 140 的暴露表面通过高温生长生成栅极氧化层 500，示例性地，栅极氧化层 500 的厚度为 2nm 至 5nm。

- 30 步骤 S420 中，第二隔离层 700、第一隔离层 400 以及隔离结构 120 的去除顺序不作限制，例如，可以先去除部分第二隔离层 700，再去掉部分第一隔离层 400，之后去除部分隔离结构 120。一实施例中，第一隔离层 400 与隔离结构 120 采用相同或者相类似的材

料，从而使得第一隔离层 400 和隔离结构 120 可同时被去除。

示例性地，如图 11 所示，步骤 S420 具体包括：

步骤 S4201、对第二隔离层、第一隔离层以及隔离结构进行第一刻蚀，以将第二隔离层、第一隔离层以及隔离结构均刻蚀至第一高度。

- 5 该步骤中，如图 24 所示，同时对第二隔离层 700、第一隔离层 400 以及隔离结构 120 进行刻蚀，例如采用低选择比的气体同时刻蚀，以将第二隔离层 700、第一隔离层 400 以及隔离结构 120 均刻蚀至第一高度。

步骤 S4202、对经过第一刻蚀得到的第一隔离层和隔离结构进行第二刻蚀，以将第一隔离层和隔离结构均刻蚀至第二高度。

- 10 该步骤中，如图 25 所示，将第一隔离层 400 和隔离结构 120 刻蚀至第二高度，例如，采用高选择比的气体进行刻蚀，刻蚀气体对第一隔离层 400 和隔离结构 120 的材料例如氧化硅具有较大的选择比，从而实现第一隔离层 400 和隔离结构 120 的刻蚀。

- 本实施例中，字线 600 的前层工艺分解为两步，即先采用低选择比气体同时刻蚀第二隔离层 700、第一隔离层 400 以及隔离结构 120，然后采用高选择比气体刻蚀第一隔离层 400 和隔离结构 120，如此，在将第二隔离层 700、第一隔离层 400 以及隔离结构 120 均刻蚀至第一高度后，能够为后续刻蚀第一隔离层 400 和隔离结构 120 提供更大的操作空间，且能够保证第二隔离层 700 的结构强度。

本公开一示例性实施例中，如图 12 所示，步骤 S500 具体包括：

- 20 步骤 S510、形成字线材料层，字线材料层覆盖栅极氧化层，并填充栅极氧化层与第二隔离层之间的间隔空间。

如图 27 所示，可采用化学气相沉积或其他沉积技术形成字线材料层 600a，字线材料层 600a 将整个栅极氧化层 500 覆盖，并将栅极氧化层 500 与第二隔离层 700 之间的间隔空间填充。字线材料层 600a 的材料可以为氮化钛等导电材料。

- 25 步骤 S520、自字线材料层的表面向下刻蚀，直至暴露出第二隔离层的顶面，保留的字线材料层构成字线。

该步骤中，如图 28 所示，可采用湿法刻蚀或干法刻蚀回刻字线材料层 600a，直至暴露出第二隔离层 700 的顶面，如此，使得第二隔离层 700 将相邻字线 600 隔开。

- 在形成字线 600 之后，如图 29 所示，可继续采用化学气相沉积或其他沉积技术沉积形成整层的覆盖层 800，覆盖层 800 将字线 600 覆盖并将第一沟槽 130 填满，覆盖层 800 30 的材料例如可以为氮化硅，最后对覆盖层 800 进行平坦化处理，例如，采用化学机械抛光

(Chemical Mechanical Polishing, 简称 CMP) 对覆盖层 800 进行平坦化处理。

本公开一示例性实施例还提供一种半导体器件, 如图 19 和图 29 所示, 半导体器件包括衬底 110、多个有源柱 140 以及多条位线 300, 多个有源柱 140 位于衬底 110 上且阵列分布, 任意相邻两列有源柱 140 之间为第一沟槽 130, 第一沟槽 130 沿第二方向延伸; 多条位线 300 在第二方向延伸且在第一方向间隔分布, 一行有源柱 140 下方设置有一条位线 300, 位线 300 为掩埋式位线; 其中, 位线 300 包含在第二方向交替分布的金属硅化物区域 310 和金属区域 320, 金属硅化物区域 310 位于有源柱 140 正下方, 金属区域 320 位于相邻两个有源柱 140 之间的第一沟槽 130 内。

其中, 金属硅化物区域 310 的材料包括硅化镍、硅化铂、硅化钛或硅化钴。

其中, 基底 100 包括衬底 110、多个隔离结构 120、多条第一沟槽 130, 其中, 多个隔离结构 120 设置于衬底 110 内, 多个隔离结构 120 沿第一方向间隔排布, 每一个隔离结构 120 均沿第二方向延伸。多条第一沟槽 130 设置于衬底 110 上, 沿第二方向, 多条第一沟槽 130 间隔排布, 每一条第一沟槽 130 均沿第一方向延伸, 第一沟槽 130 的槽底面高于隔离结构 120 的底面, 第一沟槽 130 和隔离结构 120 将衬底 110 分隔为多个有源柱 140。

金属硅化物区域 310 位于有源柱 140 下方, 金属区域 320 位于第一沟槽 130 的下方并沿第二方向延伸至相邻的有源柱 140 下方, 并与有源柱 140 下方的金属硅化物区域 310 连接, 相邻的金属硅化物区域 310 之间以及相邻凹槽 200 内的金属区域 320 之间经由隔离结构 120 隔开。

一些实施例中, 半导体器件还包括第一隔离层 400、第二隔离层 700、栅极氧化层 500 和字线 600, 第一隔离层 400 覆盖第一沟槽 130 的部分侧壁; 第二隔离层 700 覆盖金属层 320 的顶面, 第二隔离层 700 的顶面高于第一隔离层 400 的顶面, 第二隔离层 700 与有源柱 140 之间间隔设置, 栅极氧化层 500 覆盖有源柱 140 的沟道区, 字线 600 设置于栅极氧化层 500 与第二隔离层 700。

一些实施例中, 金属区域 320 的金属为块状, 沿着第二方向的纵截面中, 块状结构的纵截面外轮廓与第一沟槽 130 的纵截面轮廓相同, 金属氮化物区域 310 包含金属氮化物膜层, 金属氮化物膜层包裹块状的金属的底部和侧壁同时与金属硅化物的侧壁接触, 沿着第二方向的纵截面中, 金属氮化物膜层的纵截面轮廓与第一沟槽的纵截面轮廓相同。

本公开一示例性实施例提供一种存储装置, 包括上述实施例中的半导体器件。

本公开一示例性实施例提供一种电子设备, 该电子设备包括上述的存储装置。

本说明书中各实施例或实施方式采用递进的方式描述, 每个实施例重点说明的都是与

其他实施例的不同之处，各个实施例之间相同相似部分相互参见即可。

在本说明书的描述中，参考术语“实施例”、“示例性的实施例”、“一些实施方式”、“示意性实施方式”、“示例”等的描述意指结合实施方式或示例描述的具体特征、结构、材料或者特点包含于本公开的至少一个实施方式或示例中。

5 在本说明书中，对上述术语的示意性表述不一定指的是相同的实施方式或示例。而且，描述的具体特征、结构、材料或者特点可以在任何的一个或多个实施方式或示例中以合适的方式结合。

在本公开的描述中，需要说明的是，术语“中心”、“上”、“下”、“左”、“右”、“竖直”、“水平”、“内”、“外”等指示的方位或位置关系为基于附图所示的方位或位置关系，仅是为了便于描述本公开和简化描述，而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作，因此不能理解为对本公开的限制。

可以理解的是，本公开所使用的术语“第一”、“第二”等可在本公开中用于描述各种结构，但这些结构不受这些术语的限制。这些术语仅用于将第一个结构与另一个结构区分。

15 在一个或多个附图中，相同的元件采用类似的附图标记来表示。为了清楚起见，附图中的多个部分没有按比例绘制。此外，可能未示出某些公知的部分。为了简明起见，可以在一幅图中描述经过数个步骤后获得的结构。在下文中描述了本公开的许多特定的细节，例如器件的结构、材料、尺寸、处理工艺和技术，以便更清楚地理解本公开。但正如本领域技术人员能够理解的那样，可以不按照这些特定的细节来实现本公开。

20 最后应说明的是：以上各实施例仅用以说明本公开的技术方案，而非对其限制；尽管参照前述各实施例对本公开进行了详细的说明，本领域技术人员应当理解：其依然可以对前述各实施例所记载的技术方案进行修改，或者对其中部分或者全部技术特征进行等同替换；而这些修改或者替换，并不使相应技术方案的本质脱离本公开各实施例技术方案的范围。

权利要求书

1、一种半导体器件，其特征在于，包括：

衬底；

多个有源柱，位于所述衬底上且阵列分布，任意相邻两列所述有源柱之间为第一沟槽，

5 所述第一沟槽沿第二方向延伸；

多条位线，在所述第二方向延伸且在第一方向间隔分布，一行有源柱下方设置有一条所述位线，所述位线为掩埋式位线；

其中，所述位线包含在所述第二方向交替分布的金属硅化物区域和金属区域，所述金属硅化物区域位于所述有源柱正下方，所述金属区域位于相邻两个有源柱之间的所述第一
10 沟槽内。

2、根据权利要求 1 所述的半导体器件，其特征在于，所述金属硅化物区域包括的材料包含硅化镍、硅化铂、硅化钛或硅化钴。

3、根据权利要求 1 所述的半导体器件，其特征在于，每相邻两个金属硅化物区域和金属区域之间还包含金属氮化物区域。

15 4、根据权利要求 1 所述的半导体器件，其特征在于，所述金属区域的金属为块状，沿着所述第二方向的纵截面中，所述块状结构的纵截面外轮廓与所述第一沟槽的纵截面轮廓相同，所述金属氮化物区域包含金属氮化物膜层，所述金属氮化物膜层包裹所述块状的金属的底部和侧壁同时与所述金属硅化物的侧壁接触，沿着所述第二方向的纵截面中，所述金属氮化物膜层的纵截面轮廓与所述第一沟槽的纵截面轮廓相同。

20 5、根据权利要求 4 所述的半导体器件，其特征在于，所述金属硅化物为钛的硅化物或钴的硅化物，所述金属氮化物膜层为氮化钛膜层，所述金属为钨金属。

6、根据权利要求 1-5 中任一项所述的半导体器件，其特征在于，还包括：

第一隔离层，所述第一隔离层覆盖所述有源柱的侧壁且从有源柱的底部向上延伸到第一高度；

25 第二隔离层，所述第二隔离层覆盖所述位线上的金属区域，从所述金属区域的顶面向上延伸第二高度且不超过所述有源柱的顶部；所述第二高度高于所述第一高度；所述第二隔离层的侧壁与有源柱之间形成具有第二高度的缝隙，所述第一隔离层填充所述缝隙到所述第一高度；

30 第三隔离层，所述第三隔离层位于所述第一隔离层露出的有源柱的侧壁上，并与所述第二隔离层之间形成缝隙；

栅极氧化层和栅极，依次填充所述缝隙到第二隔离层的侧壁和所述第三隔离层的侧壁之间；

多条字线，沿着第一方向延伸且在第二方向间隔分布，所述字线的一部分作为所述栅极。

5 7、一种存储装置，其特征在于，包括根据权利要求 1 至 6 中任一项所述的半导体器件。

8、一种电子设备，其特征在于，包括根据权利要求 7 所述的存储装置。

9、一种半导体器件的制作方法，其特征在于，包括：

10 在硅衬底上形成沿着第一方向延伸的第一沟槽，和沿着第二方向延伸的第二沟槽，所述第二沟槽的深度大于所述第一沟槽的深度，所述第一沟槽和第二沟槽之间交叉形成多个阵列分布的有源柱；其中形成第一沟槽前对所述第二沟槽填充隔离层；

在所述第一方向延伸的第一沟槽中形成覆盖第一沟槽底部和侧壁设定区域的金属膜层，进行第一次热处理形成有源柱底部的金属硅化物区域；

15 在所述第一沟槽中填充金属将所述第一沟槽填满并刻蚀所述金属形成掩埋式位线，所述掩埋式位线包括所述金属氮化物区域和所述金属形成的金属区域。

10、根据权利要求 9 所述的半导体器件的制作方法，其特征在于，在所述第一方向延伸的第一沟槽中形成覆盖第一沟槽底部和侧壁设定区域的金属膜层，进行第一次热处理形成有源柱底部的金属硅化物区域，包括：

20 自所述第一沟槽的底面进行刻蚀形成多个凹槽，相邻所述凹槽之间经由所述隔离层隔开；

形成第一金属材料层，所述第一金属材料层覆盖所述凹槽的侧壁及底面；

对形成有所述第一金属材料层的基底进行热处理，以形成所述金属硅化物区域。

11、根据权利要求 10 所述的半导体器件的制作方法，其特征在于，自所述第一沟槽的底面进行刻蚀形成多个凹槽，包括：

25 在所述衬底上形成第一隔离层，所述第一隔离层覆盖所述基底的顶面以及所述第一沟槽的侧面和底面；

去除部分所述第一隔离层，以暴露出所述第一沟槽的底面；

自所述第一沟槽的底面湿法刻蚀，得到所述凹槽。

30 12、根据权利要求 11 所述的半导体器件的制作方法，其特征在于，在第一沟槽中填充金属将第一沟槽填满并刻蚀金属形成掩埋式位线，包括：

形成防扩散材料层，所述防扩散材料层覆盖所述第一隔离层以及所述凹槽的侧壁及底面；

在所述防扩散材料层上形成第二金属材料层，所述第二金属材料层覆盖所述防扩散材料层，并将所述防扩散材料层在所述第一沟槽以及所述凹槽内围合的空间填充；

- 5 去除部分所述防扩散材料层和部分所述第二金属材料层，保留的所述防扩散材料层和所述第二金属材料层构成所述金属层，相邻所述凹槽内的金属层之间经由所述隔离层隔开。

13、根据权利要求 10 所述的半导体器件的制作方法，其特征在于，对形成有所述第一金属材料层的基底进行热处理，包括：

- 10 对形成有所述第一金属材料层的衬底进行第一热处理，所述第一热处理的温度为第一预设温度，所述第一热处理的时长为第一预设时长；

对经过第一热处理后的衬底进行湿法清洗；

对湿法清洗后的衬底进行第二热处理，所述第二热处理的温度为第二预设温度，所述第一热处理的时长为第二预设时长。

- 15 14、根据权利要求 13 所述的半导体器件的制作方法，其特征在于，所述第一预设温度为 400° C 至 700° C；和/或，

所述第一预设时长为 30 秒至 120 秒；和/或，

所述第二预设温度为 600° C 至 900° C；和/或，

所述第二预设时长为 30 秒至 120 秒。

- 20 15、根据权利要求 10 所述的半导体器件的制作方法，其特征在于，所述第一金属材料层的材料包括镍、铂、钛或钴。

16、根据权利要求 10 所述的半导体器件的制作方法，其特征在于，在所述凹槽内形成金属层之后，所述半导体器件的制作方法还包括：

形成栅极氧化层，所述栅极氧化层覆盖所述有源柱的沟道区；

在所述栅极氧化层上形成字线。

- 25 17、根据权利要求 16 所述的半导体器件的制作方法，其特征在于，所述形成栅极氧化层，包括：

形成第二隔离层，所述第二隔离层将第一隔离层在所述第一沟槽内围合形成的空间填充；

- 30 去除部分所述第二隔离层，并去除部分覆盖所述第一沟槽侧壁的所述第一隔离层以及部分所述隔离结构，以暴露出所述有源柱的沟道区，得到的所述第二隔离层的顶面高于所

述第一隔离层的顶面，且得到的所述第一隔离层的顶面与得到的所述隔离结构的顶面平齐；

于暴露的所述有源柱的表面形成所述栅极氧化层，所述栅极氧化层与所述第二隔离层之间具有间隔空间。

18、根据权利要求 16 所述的半导体器件的制作方法，其特征在于，去除部分所述第二隔离层，并去除部分覆盖所述第一沟槽侧壁的所述第一隔离层以及部分所述隔离结构，包括：

对所述第二隔离层、所述第一隔离层以及所述隔离结构进行第一刻蚀，以将所述第二隔离层、所述第一隔离层以及所述隔离结构均刻蚀至第一高度；

10 对经过第一刻蚀得到的所述第一隔离层和所述隔离结构进行第二刻蚀，以将所述第一隔离层和所述隔离结构均刻蚀至第二高度。

19、根据权利要求 16 所述的半导体器件的制作方法，其特征在于，所述在所述栅极氧化层上形成字线，包括：

形成字线材料层，所述字线材料层覆盖所述栅极氧化层，并填充所述栅极氧化层与所述第二隔离层之间的间隔空间；

15 自所述字线材料层的表面向下刻蚀，直至暴露出所述第二隔离层的顶面，保留的所述字线材料层构成所述字线。

说明书附图

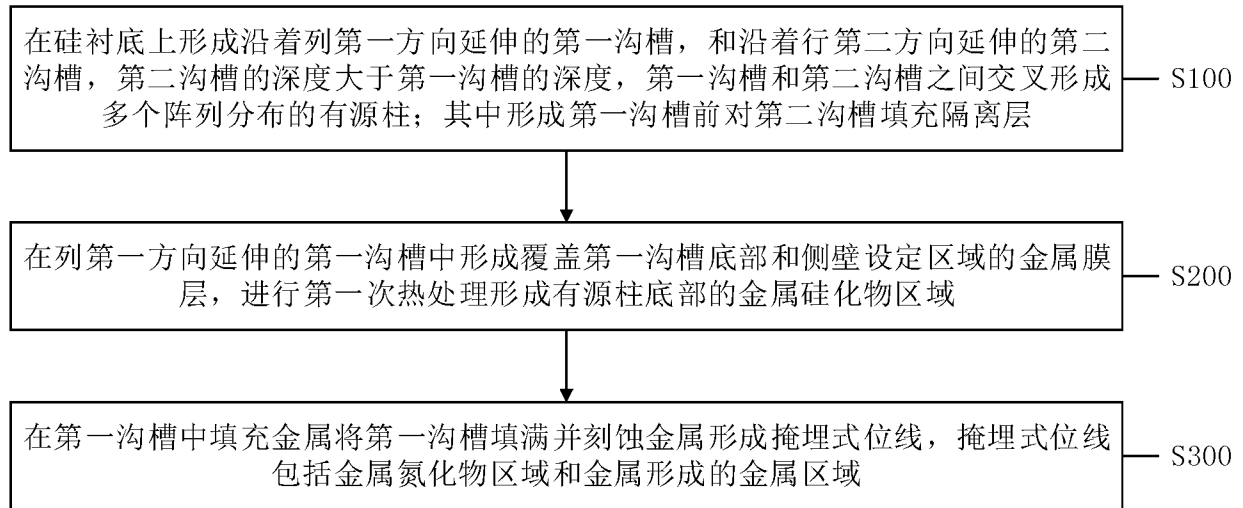


图 1

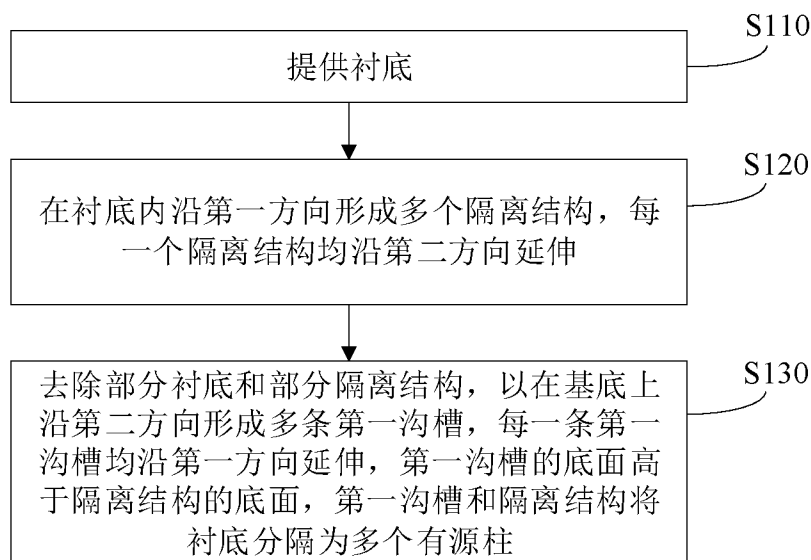


图 2

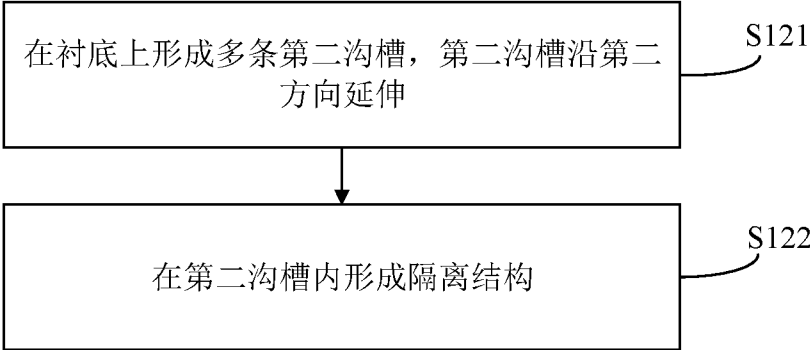


图 3

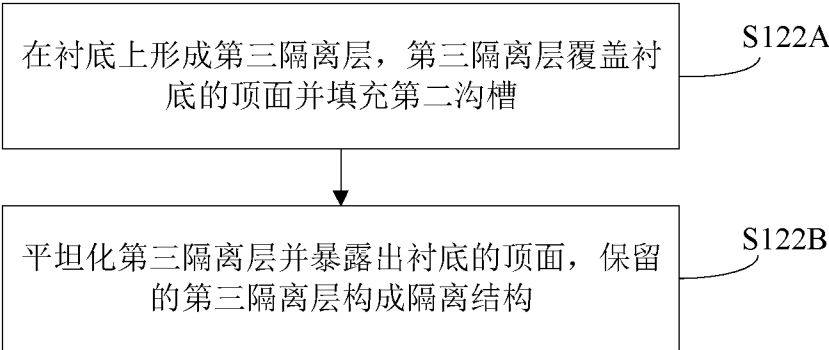


图 4

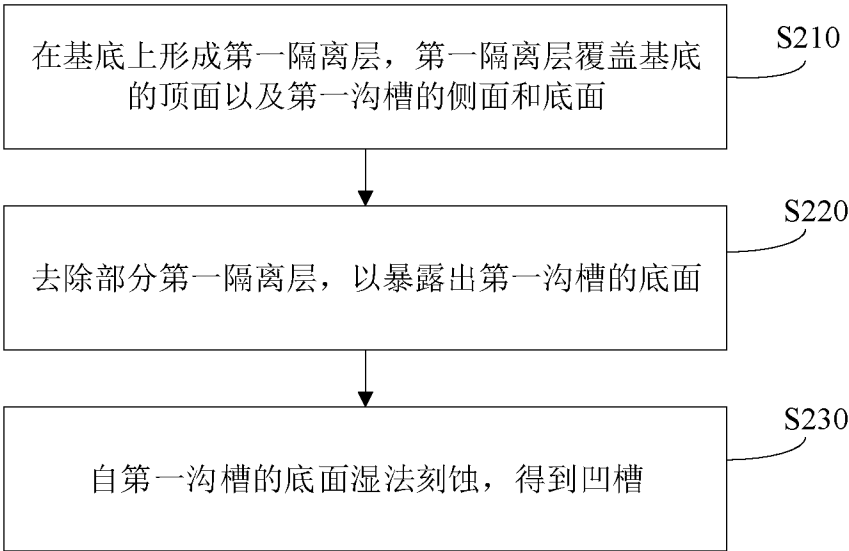


图 5

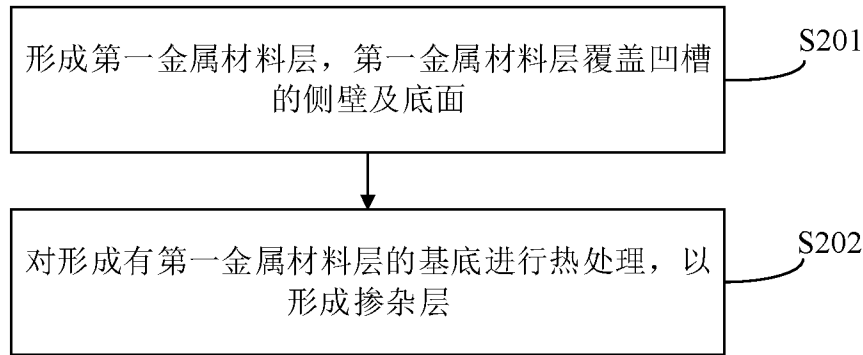


图 6

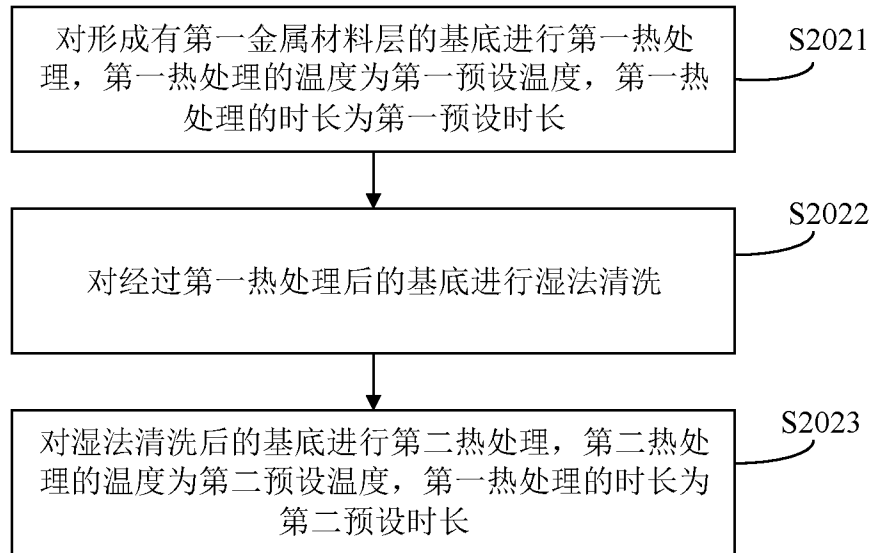


图 7

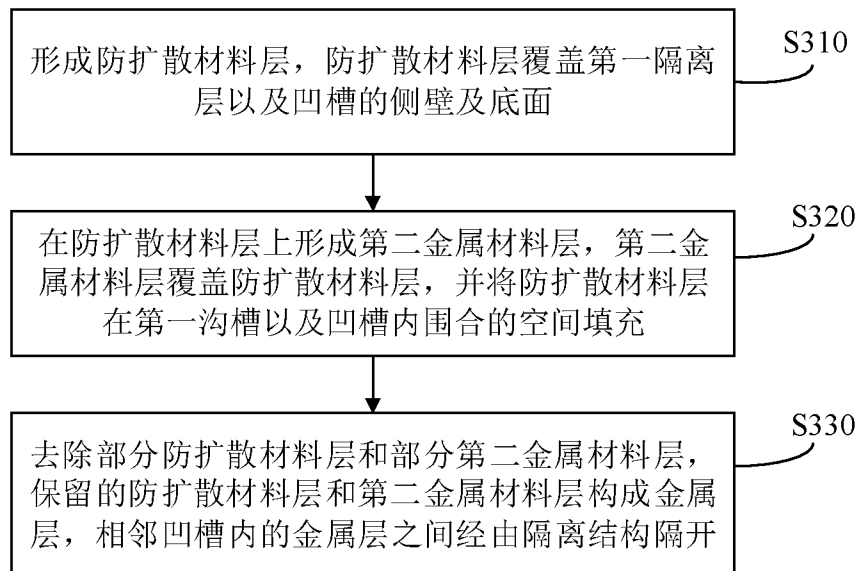


图 8

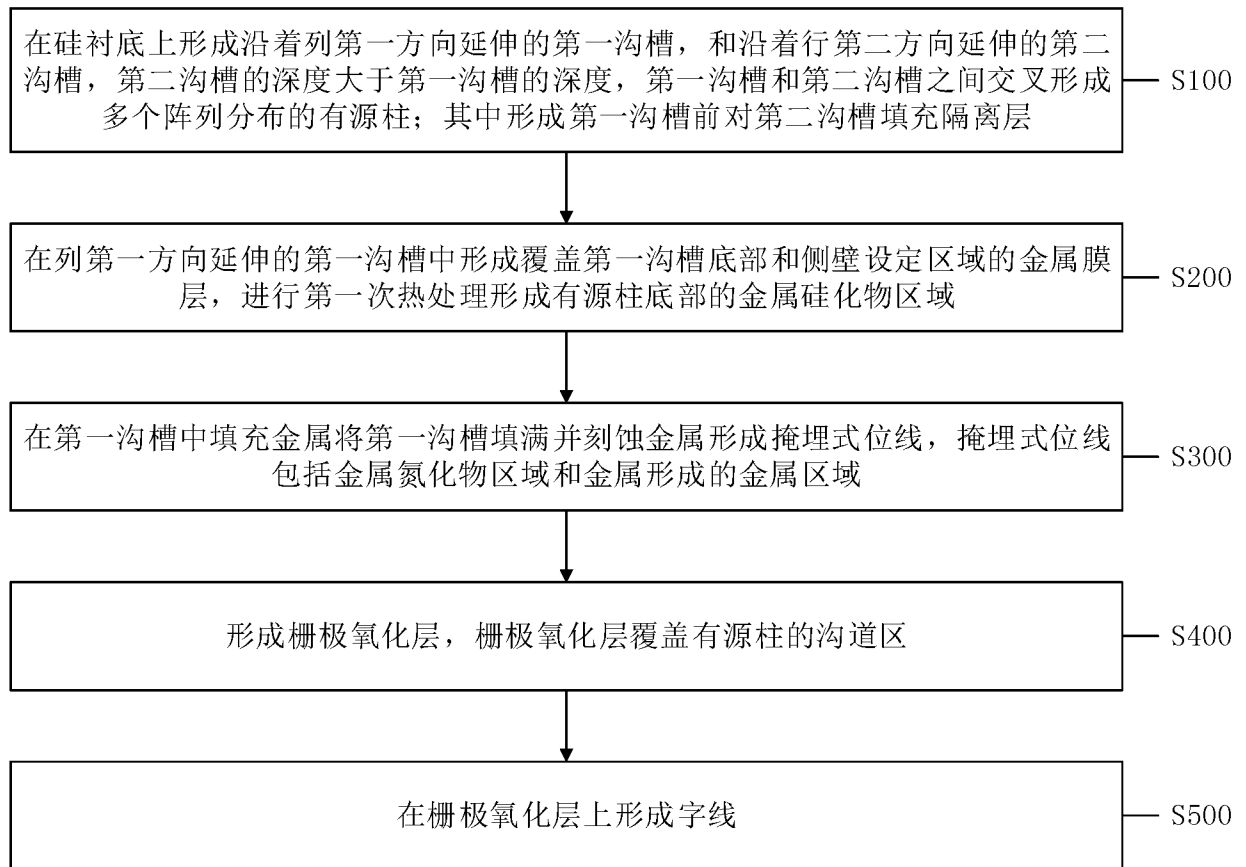


图 9

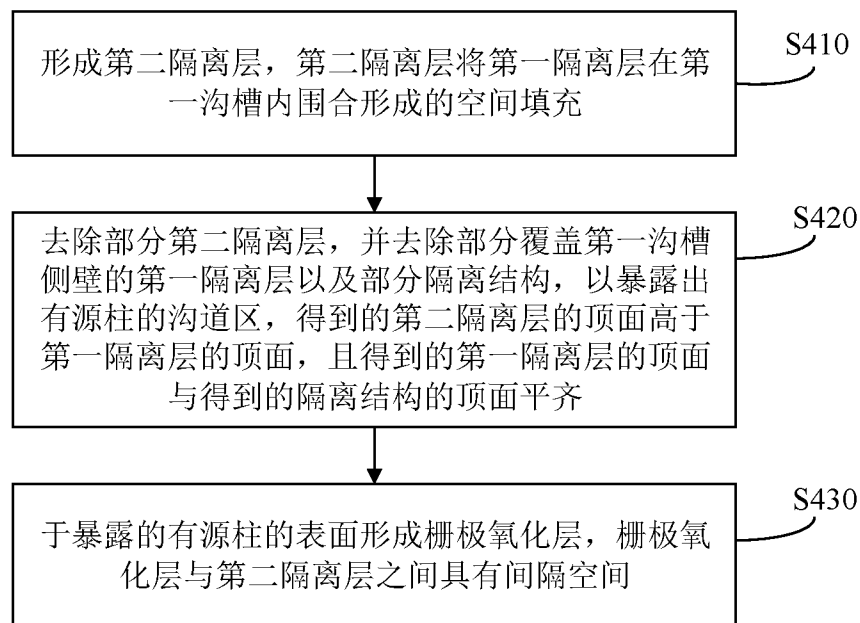


图 10

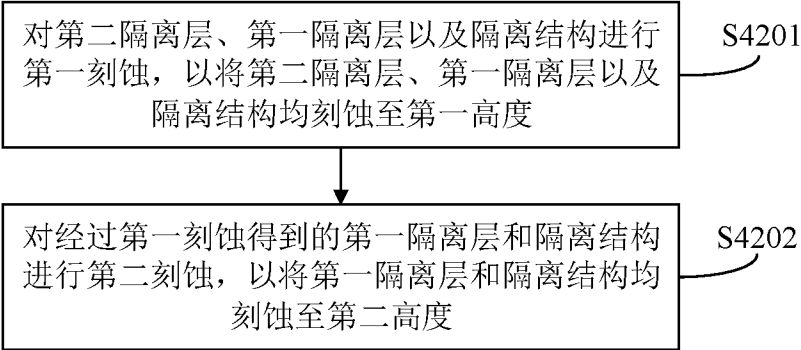


图 11

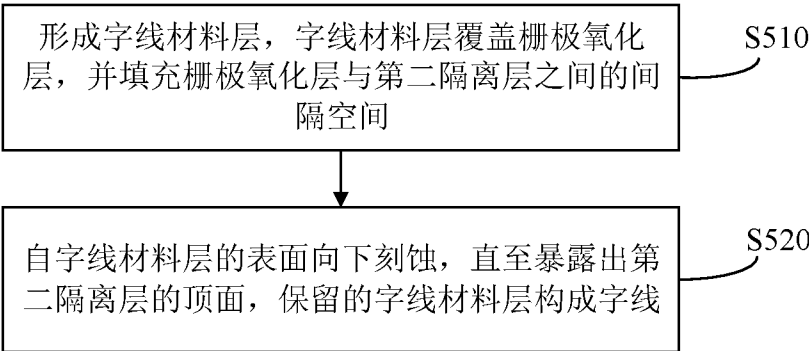


图 12

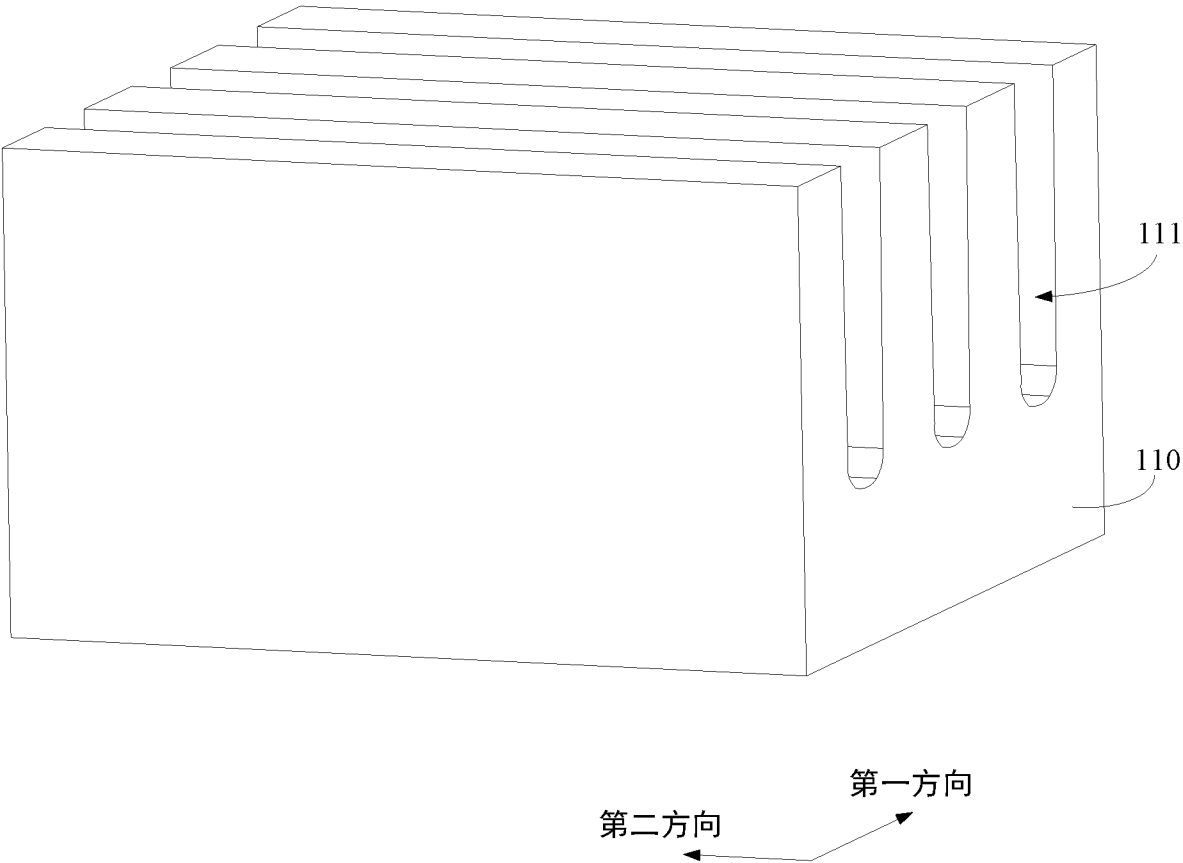


图 13

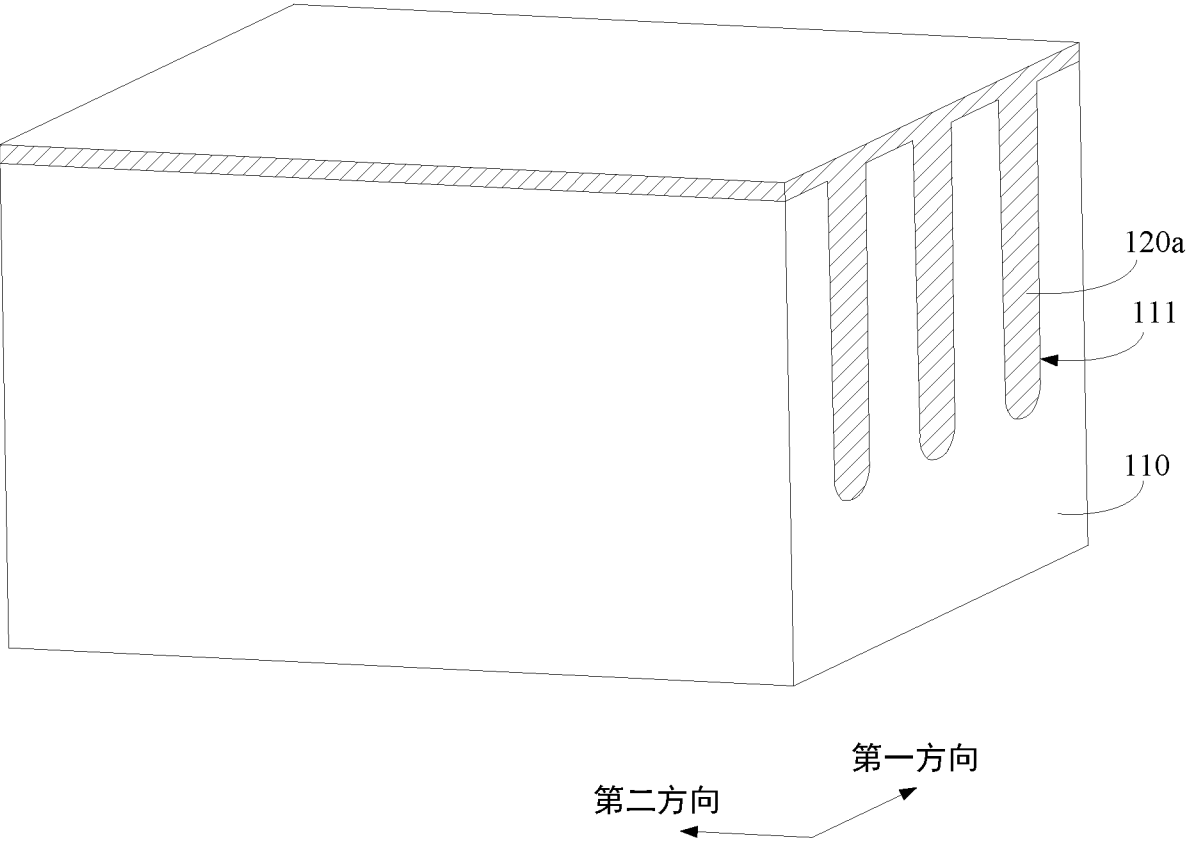


图 14

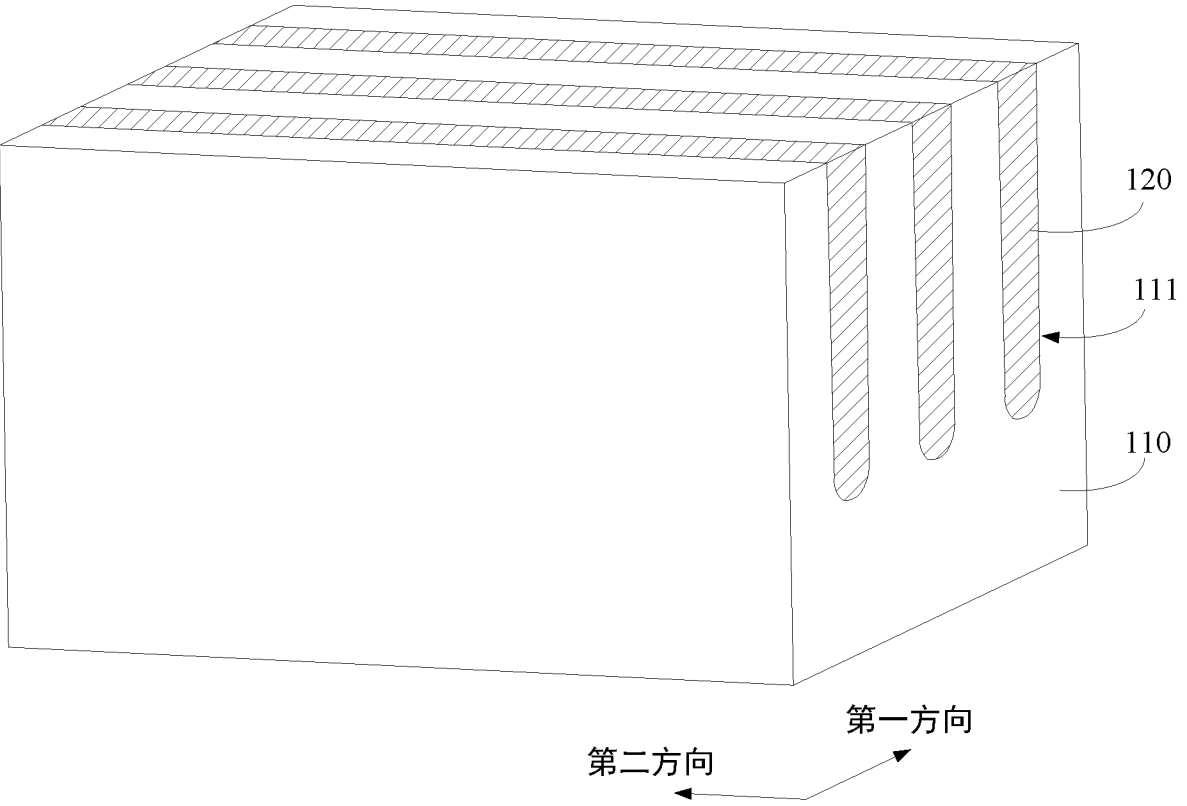


图 15

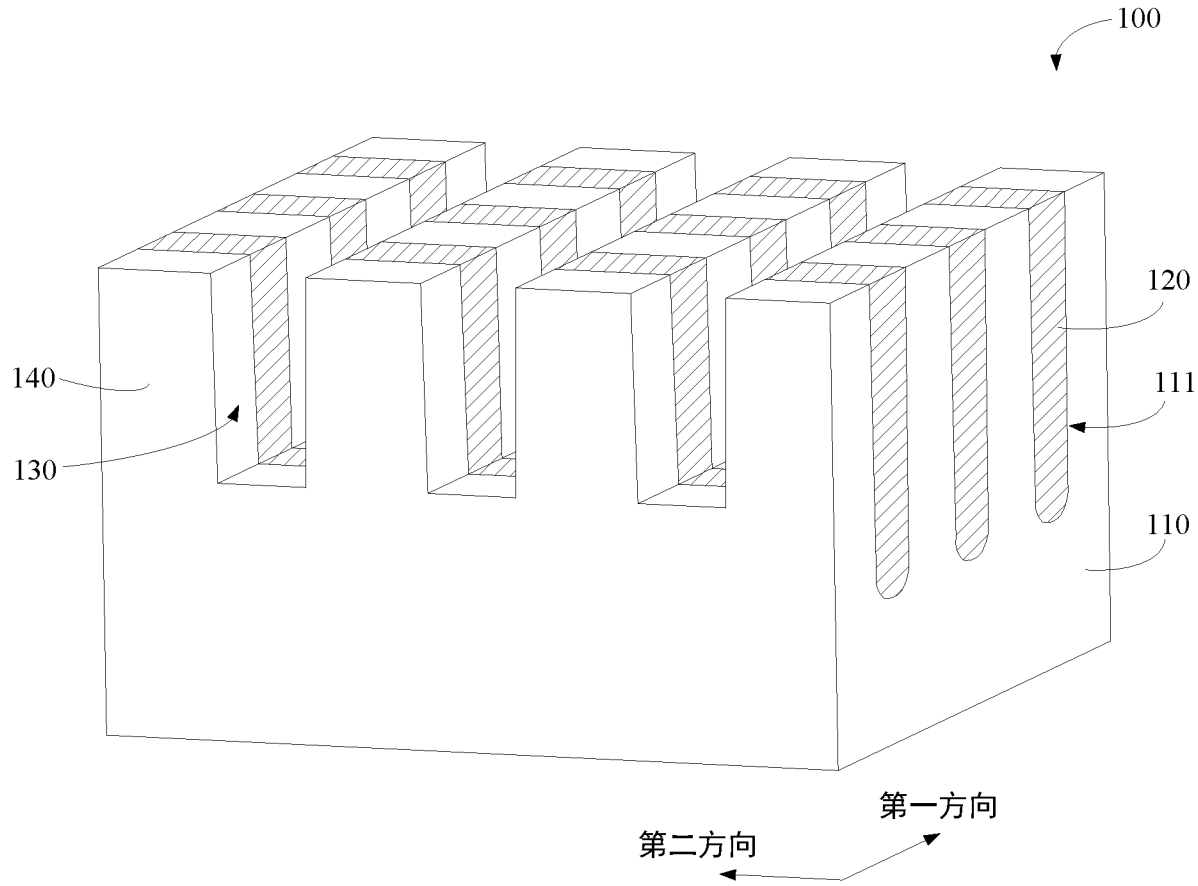


图 16

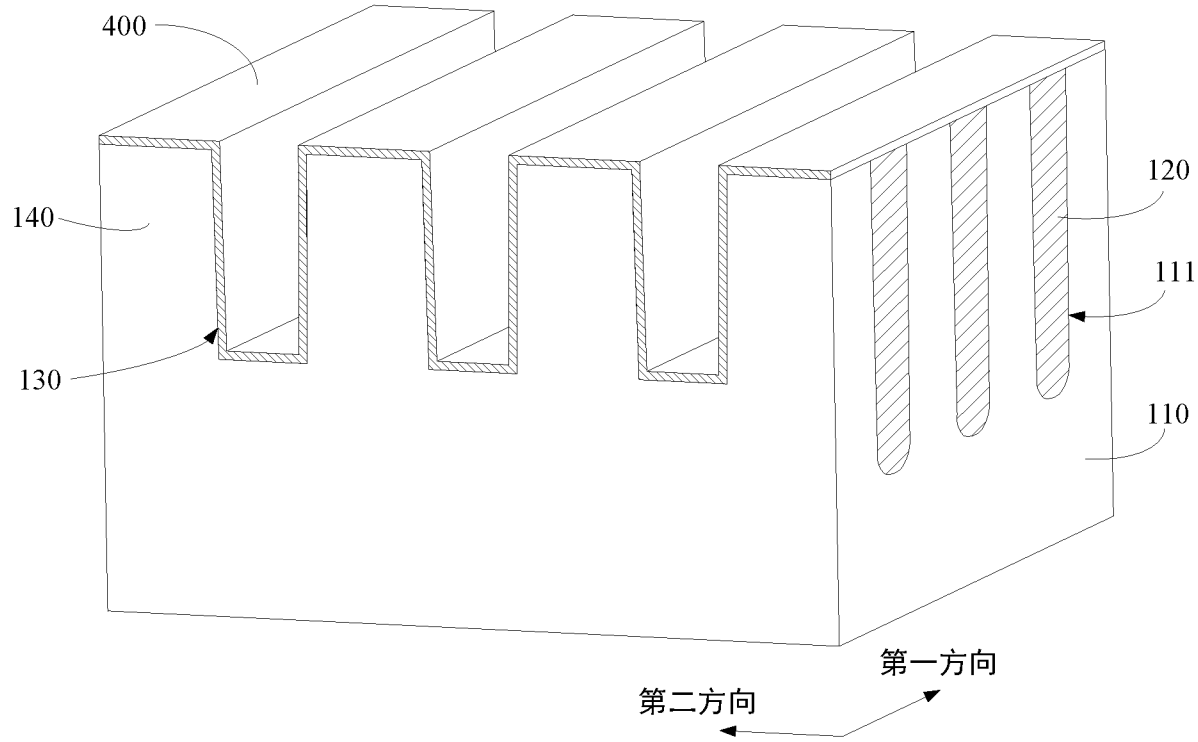


图 17

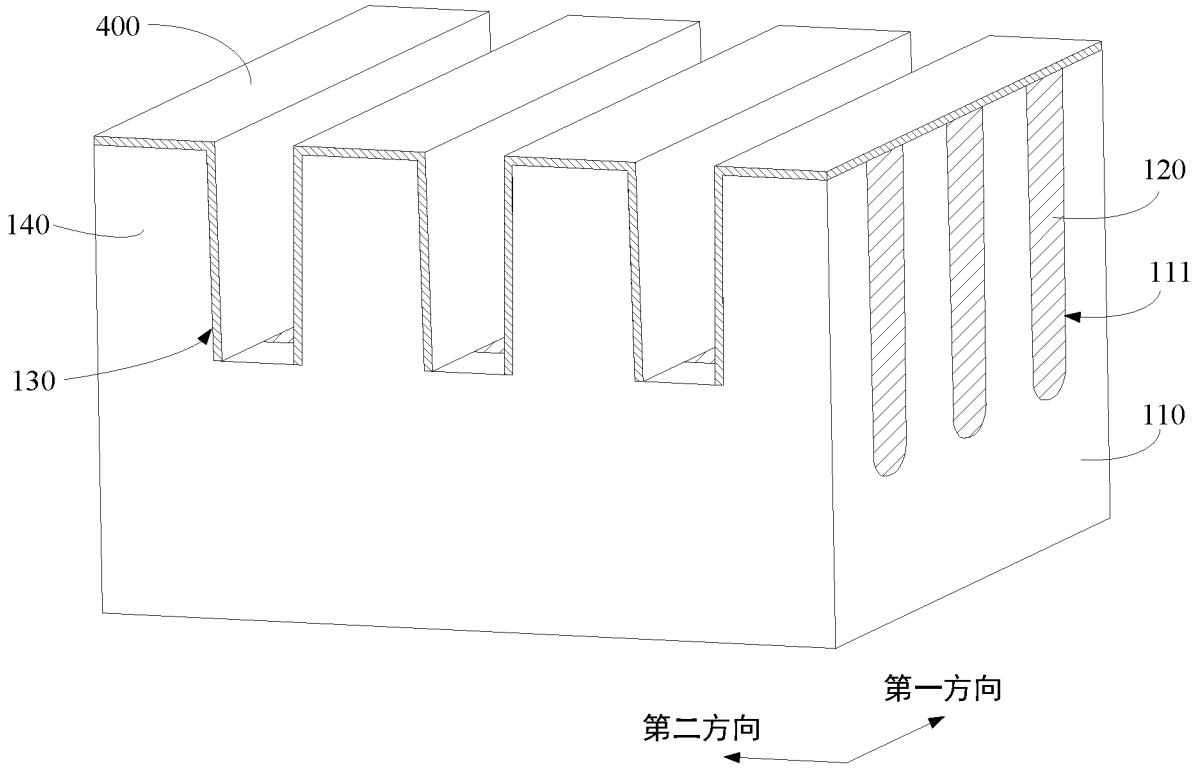


图 18

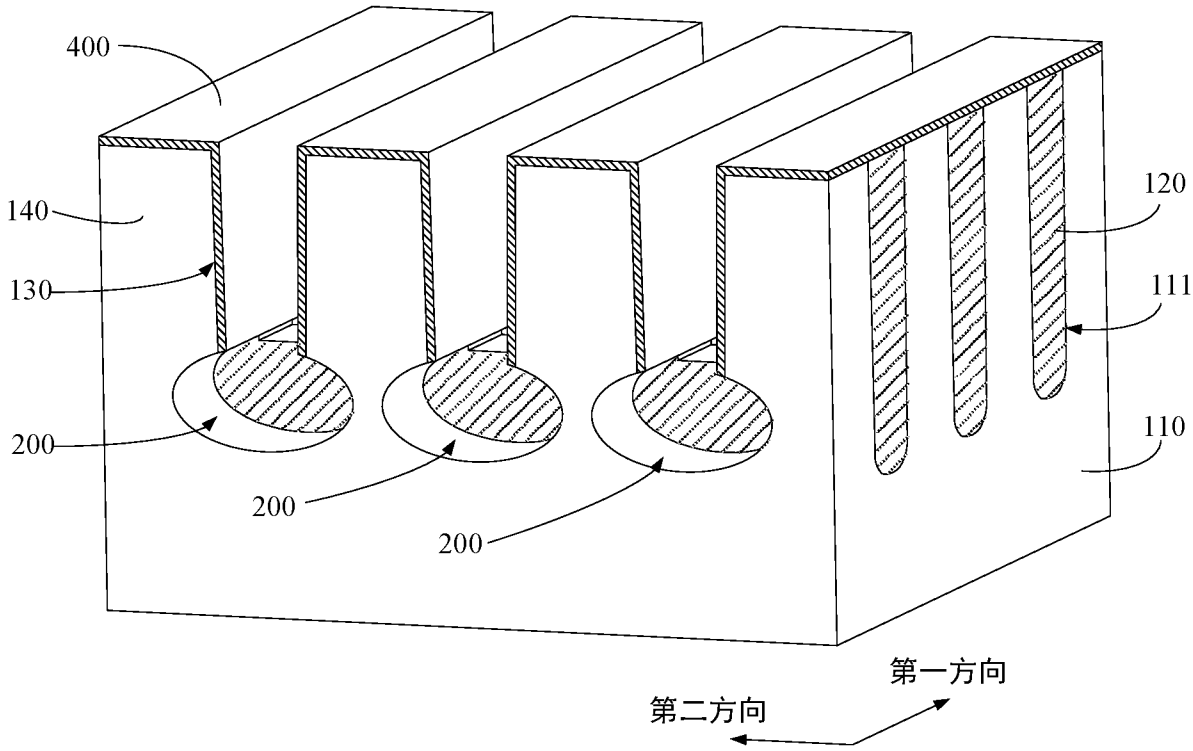


图 19

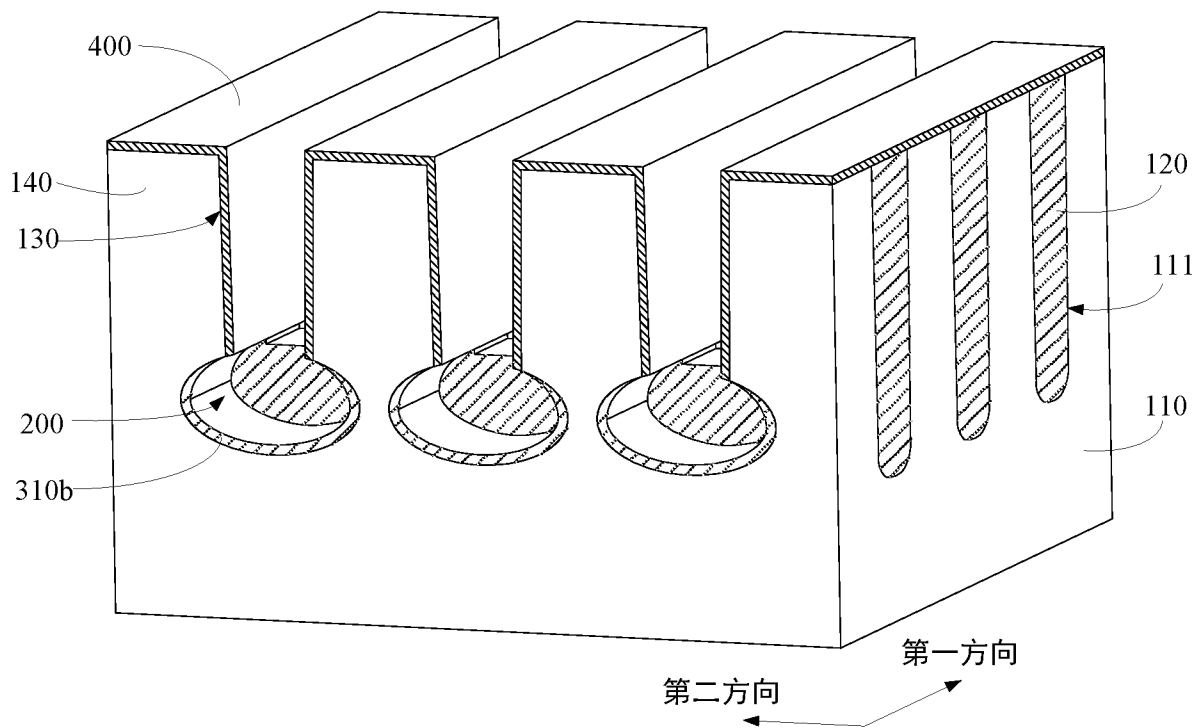


图 20

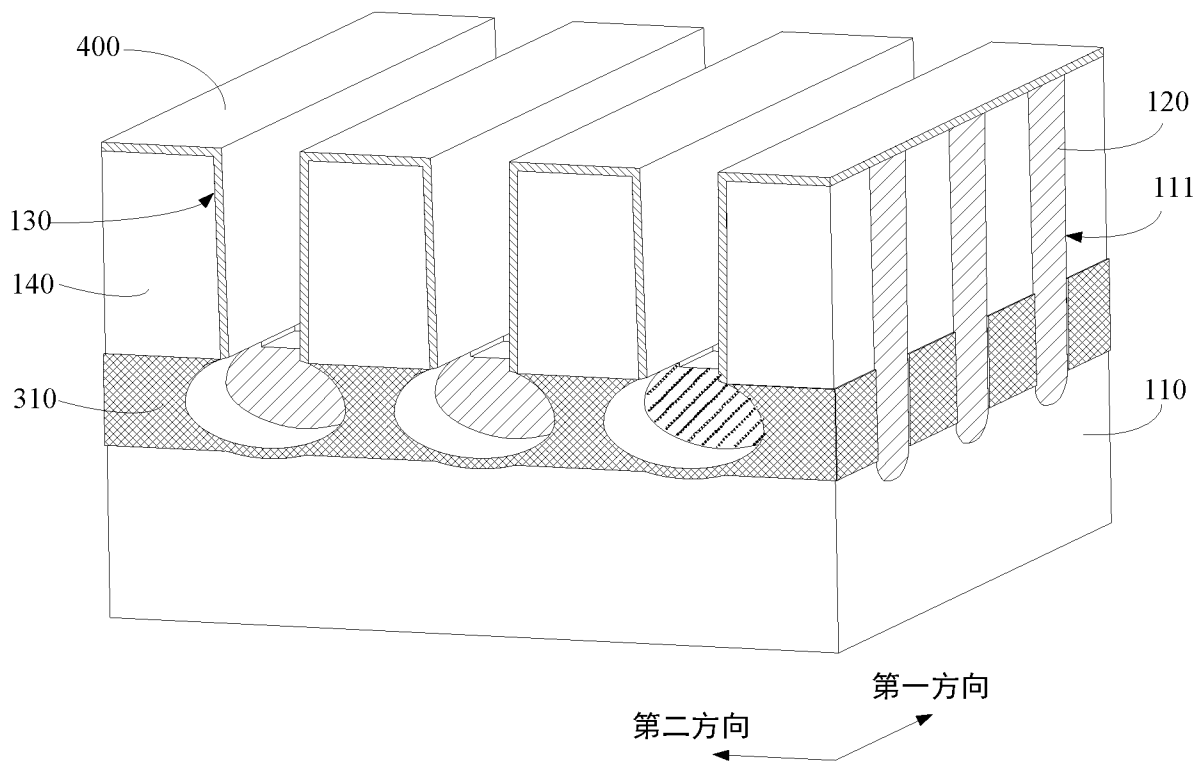


图 21

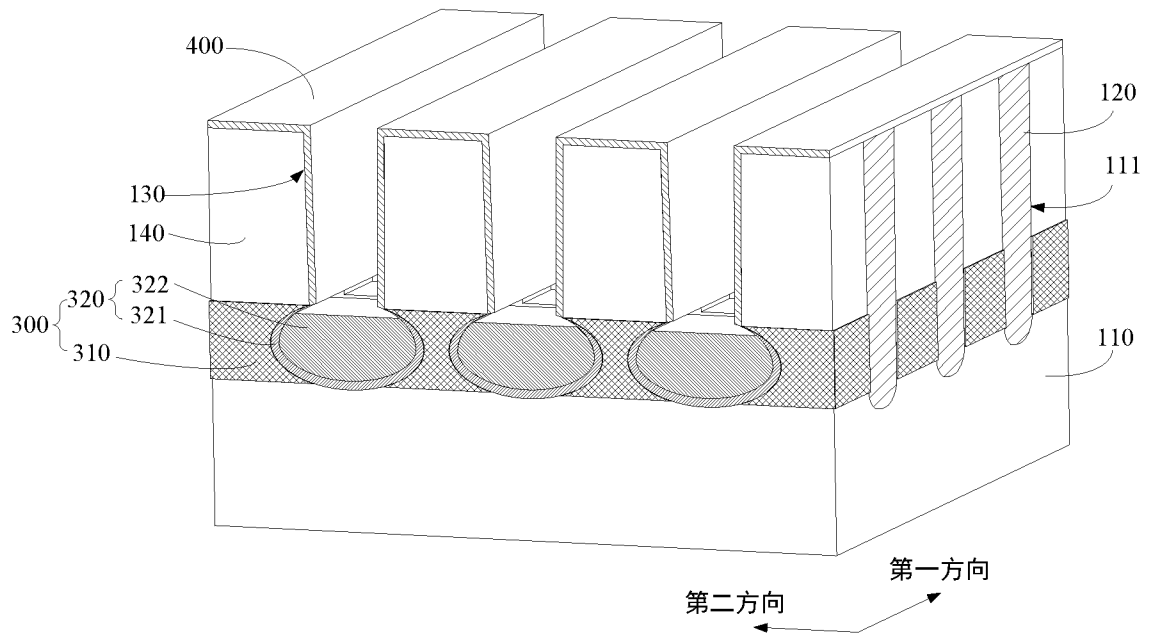


图 22

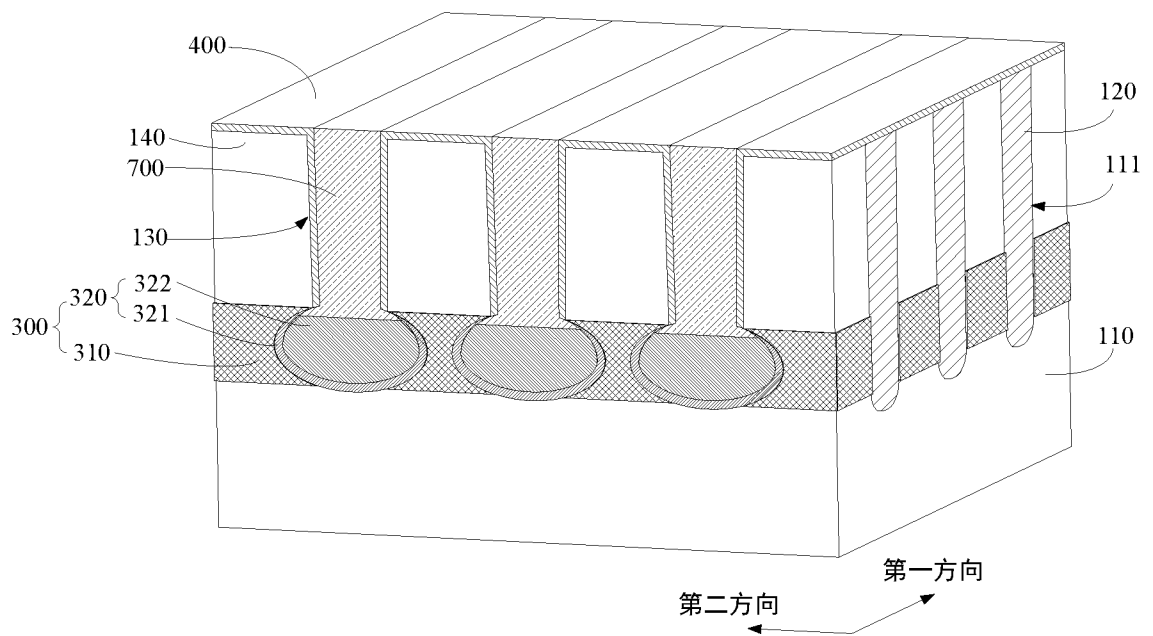


图 23

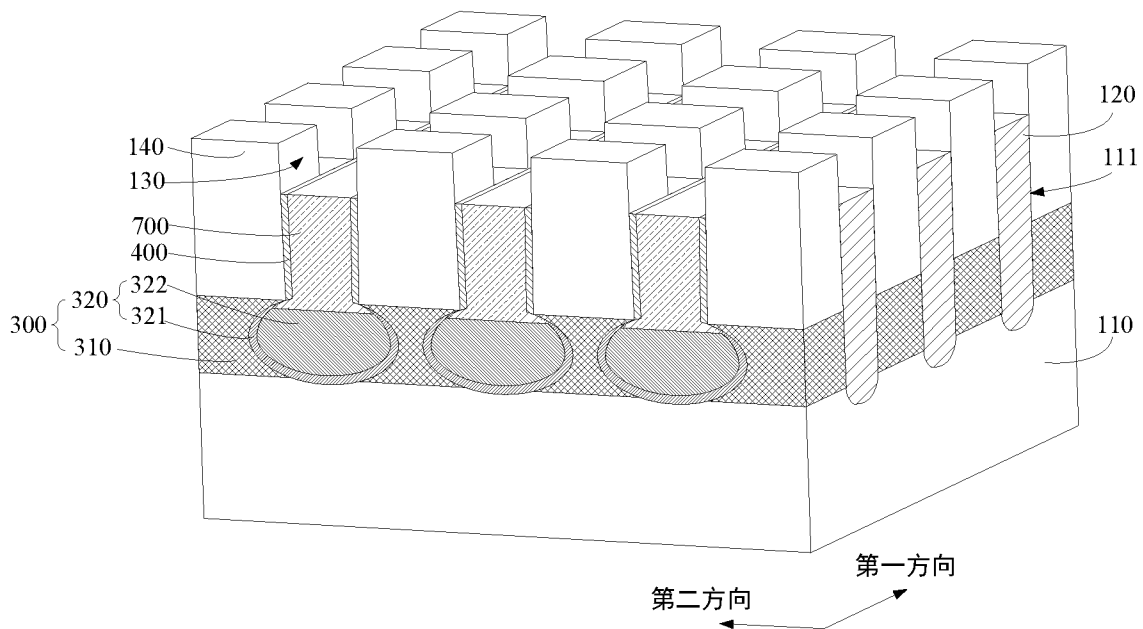


图 24

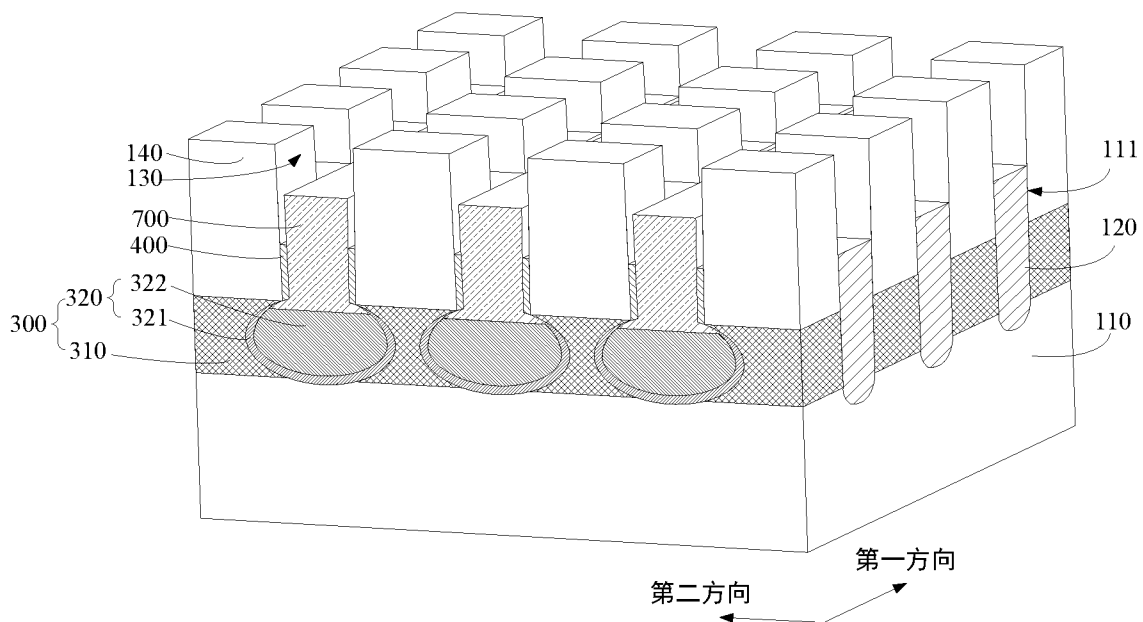


图 25

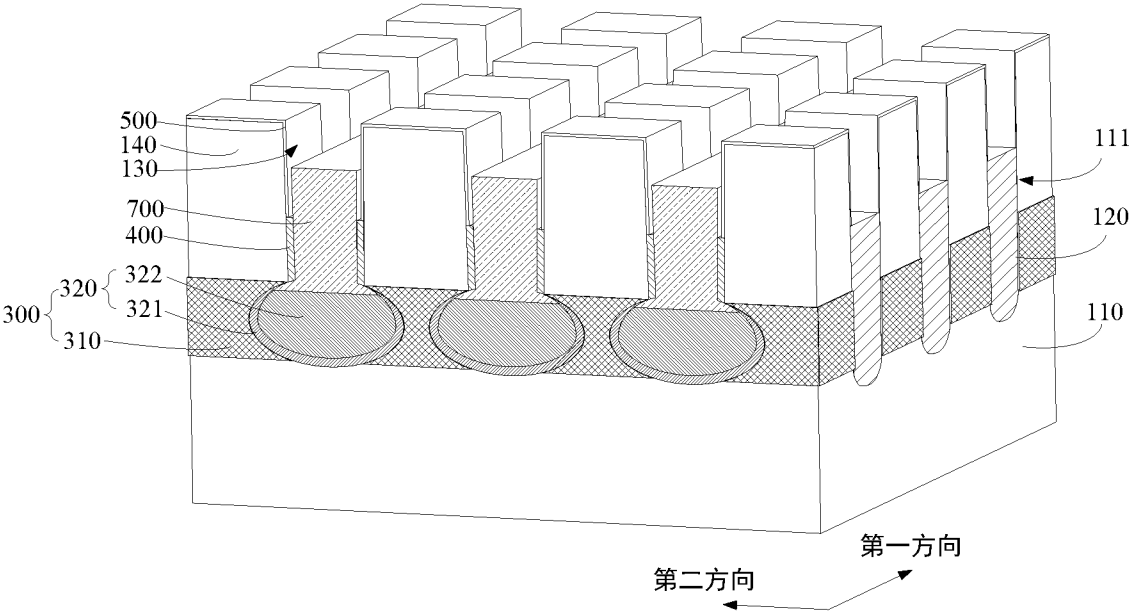


图 26

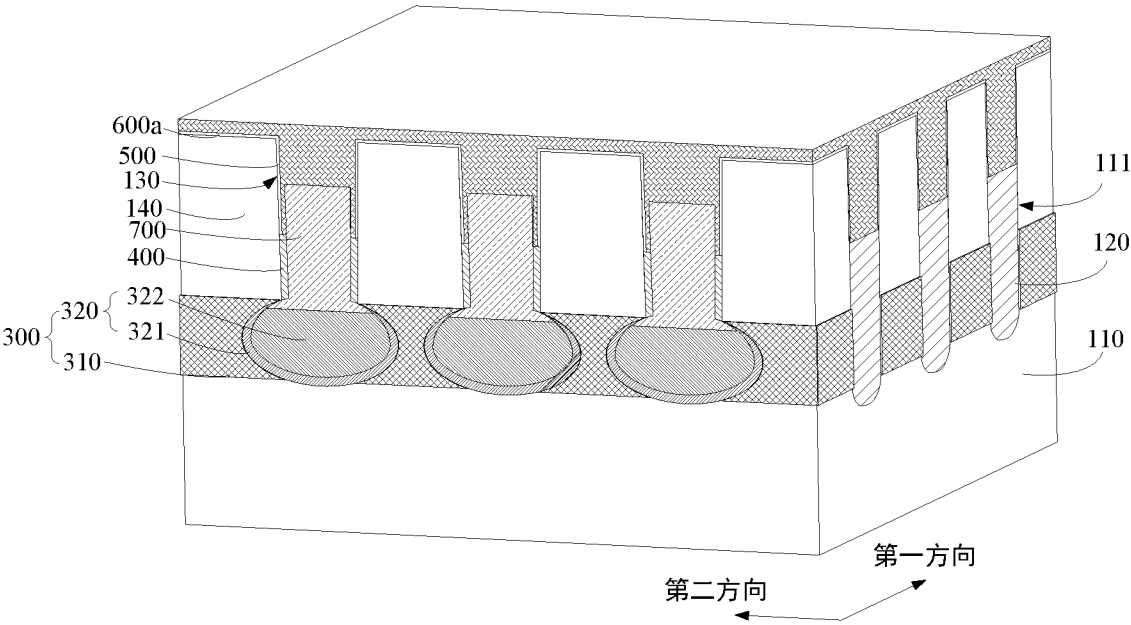


图 27

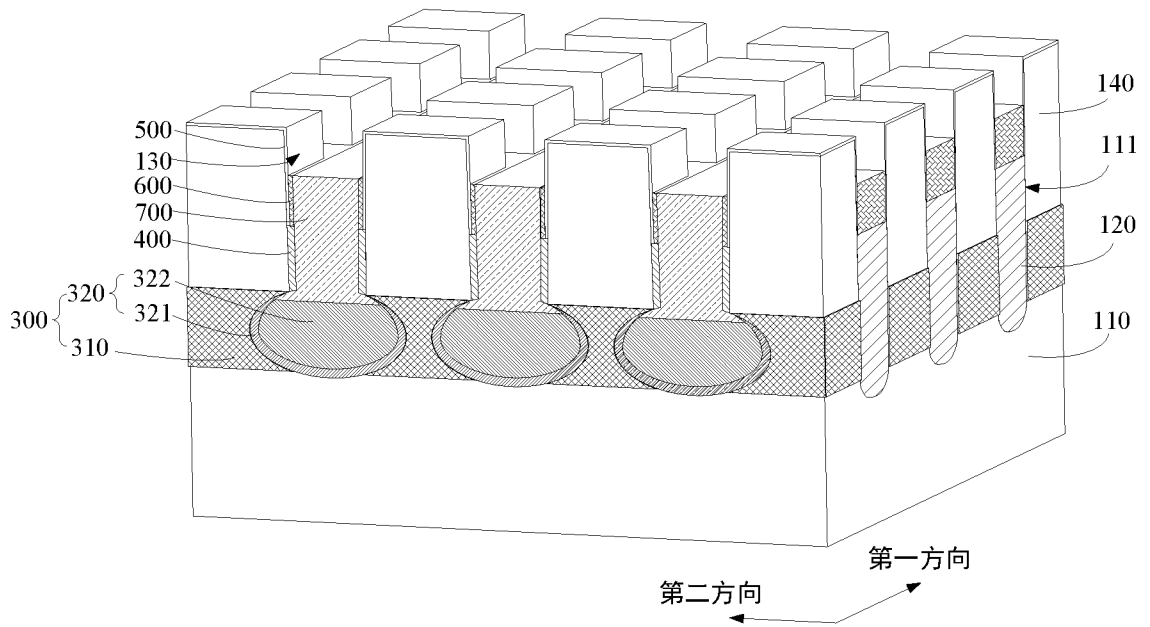


图 28

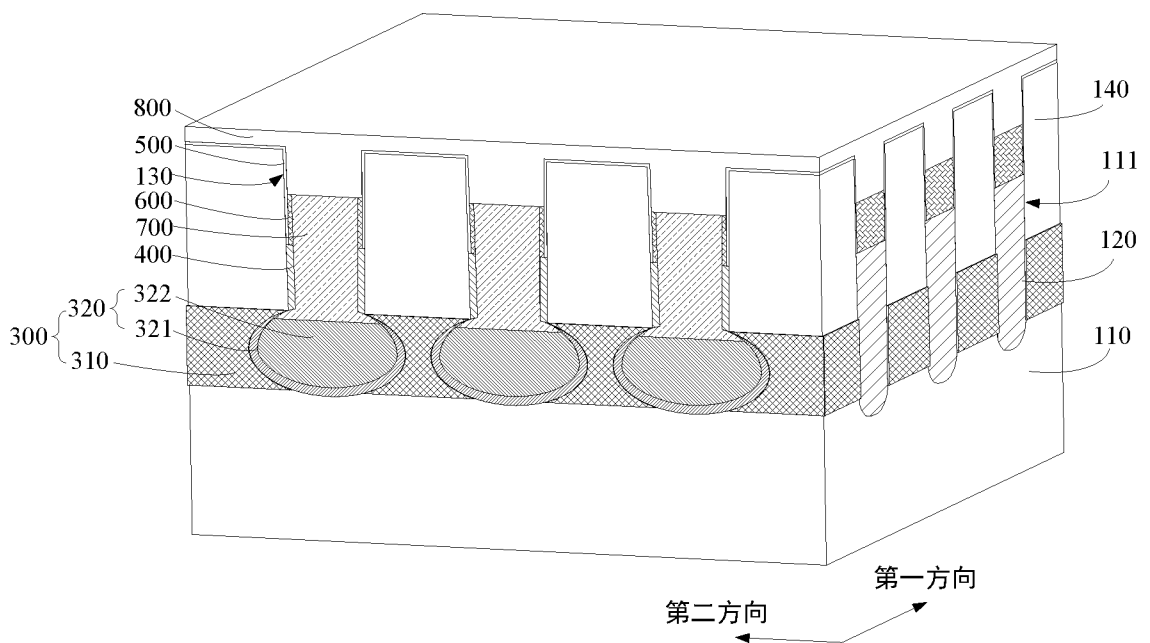


图 29

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2022/141741

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/82(2006.01)i;H01L23/532(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC:H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

VEN; CNABS; CNTXT; USTXT; EPTXT; WOTXT; CNKI: 动态随机, 埋入, 位线, 硅化, 金属, 多层, 叠层, DRAM, embedding, bit line, silicidation, metal, multilayer, stack

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	CN 114121818 A (CHANGXIN MEMORY TECHNOLOGIES, INC. et al.) 01 March 2022 (2022-03-01) description, paragraphs [0033]-[0076], and figures 1-23	1-19
Y	CN 102054820 A (HYNIX SEMICONDUCTOR INC. et al.) 11 May 2011 (2011-05-11) description, paragraphs [0024]-[0037], and figures 2A-2C	1-19
A	CN 113611671 A (CHANGXIN MEMORY TECHNOLOGIES, INC. et al.) 05 November 2021 (2021-11-05) description, paragraphs [0076]-[0129], and figures 1-29	1-19
A	CN 114141714 A (CHANGXIN MEMORY TECHNOLOGIES, INC.) 04 March 2022 (2022-03-04) description, paragraphs [0108]-[0208], and figures 1-34	1-19



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“D” document cited by the applicant in the international application

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

22 February 2023

Date of mailing of the international search report

11 March 2023

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
China No. 6, Xitucheng Road, Jimenqiao, Haidian District,
Beijing 100088

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2022/141741

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	114121818	A	01 March 2022	None			
CN	102054820	A	11 May 2011	US	2011101447	A1	05 May 2011
				US	8169020	B2	01 May 2012
				KR	20110047543	A	09 May 2011
				KR	101149043	B1	24 May 2012
				JP	2011097001	A	12 May 2011
				TW	201115689	A	01 May 2011
				TWI	529860	B	11 April 2016
				CN	102054820	B	29 July 2015
CN	113611671	A	05 November 2021	None			
CN	114141714	A	04 March 2022	None			

国际检索报告

国际申请号

PCT/CN2022/141741

A. 主题的分类

H01L21/82 (2006.01) i; H01L23/532 (2006.01) i

按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献 (标明分类系统和分类号)

IPC:H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用))

VEN; CNABS; CNTXT; USTXT; EPTXT; WOTXT; CNKI: 动态随机, 埋入, 位线, 硅化, 金属, 多层, 叠层, DRAM, embedding, bit line, silicidation, metal, multilayer, stack

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
Y	CN 114121818 A (长鑫存储技术有限公司 等) 2022年3月1日 (2022 - 03 - 01) 说明书第[0033]-[0076]段, 附图1-23	1-19
Y	CN 102054820 A (海力士半导体有限公司 等) 2011年5月11日 (2011 - 05 - 11) 说明书第[0024]-[0037]段, 附图2A-2C	1-19
A	CN 113611671 A (长鑫存储技术有限公司 等) 2021年11月5日 (2021 - 11 - 05) 说明书第[0076]-[0129]段, 附图1-29	1-19
A	CN 114141714 A (长鑫存储技术有限公司) 2022年3月4日 (2022 - 03 - 04) 说明书第[0108]-[0208]段, 附图1-34	1-19

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“D” 申请人在国际申请中引证的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2023年2月22日

国际检索报告邮寄日期

2023年3月11日

ISA/CN的名称和邮寄地址

中国国家知识产权局

中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

授权官员

张斌

电话号码 (+86) 0512-88995753

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2022/141741

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	114121818	A	2022年3月1日	无			
CN	102054820	A	2011年5月11日	US	2011101447	A1	2011年5月5日
				US	8169020	B2	2012年5月1日
				KR	20110047543	A	2011年5月9日
				KR	101149043	B1	2012年5月24日
				JP	2011097001	A	2011年5月12日
				TW	201115689	A	2011年5月1日
				TWI	529860	B	2016年4月11日
				CN	102054820	B	2015年7月29日
CN	113611671	A	2021年11月5日	无			
CN	114141714	A	2022年3月4日	无			