



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I699974 B

(45)公告日：中華民國 109 (2020) 年 07 月 21 日

(21)申請案號：105125344

(22)申請日：中華民國 105 (2016) 年 08 月 09 日

(51)Int. Cl. : H03K5/135 (2006.01)

H03K5/13 (2014.01)

H04L7/04 (2006.01)

H04L7/033 (2006.01)

(30)優先權：2015/09/01 美國

14/842,610

(71)申請人：美商高通公司 (美國) QUALCOMM INCORPORATED (US)

美國

(72)發明人：端穎 DUAN, YING (CN)；李丘克 LEE, CHULKYU (KR)；丹 哈利 DANG, HARRY (US)；權武俊 KWON, OHJOON (KR)

(74)代理人：陳長文

(56)參考文獻：

US 5771264

US 2003/0141910A1

US 2008/0055139A1

US 2013/0241759A1

US 2015/0030112A1

審查人員：蕭明椿

申請專利範圍項數：28 項 圖式數：21 共 80 頁

(54)名稱

多相位時脈資料回復電路校正

(57)摘要

本發明揭示用於時脈校正之方法、裝置及系統。一種用於時脈資料回復電路校正之方法包括：組態一第一時脈回復電路以提供一時脈信號，該時脈信號具有一第一頻率且針對在 3 線、3 相介面上傳輸之每一符號包括一單個脈衝；及藉由以下步驟來校正該第一時脈回復電路：漸進地增加由該第一時脈回復電路之一延遲元件提供之一延遲週期直至由該第一時脈回復電路提供之該時脈信號具有小於該第一頻率的一頻率為止，且在該第一時脈回復電路具有小於該第一頻率的一頻率時，漸進地減少由該第一時脈回復電路之該延遲元件提供之該延遲週期直至由該第一時脈回復電路提供之該時脈信號具有匹配該第一頻率的一頻率為止。

Methods, apparatus, and systems for clock calibration are disclosed. A method for clock data recovery circuit calibration includes configuring a first clock recovery circuit to provide a clock signal that has a first frequency and that includes a single pulse for each symbol transmitted on a 3-wire, 3-phase interface, and calibrating the first clock recovery circuit by incrementally increasing a delay period provided by a delay element of the first clock recovery circuit until the clock signal provided by the first clock recovery circuit has a frequency that is less than the first frequency and, when the first clock recovery circuit has a frequency that is less than the first frequency, incrementally decreasing the delay period provided by the delay element of the first clock recovery circuit until the clock signal provided by the first clock recovery circuit has a frequency that matches the first frequency.

指定代表圖：

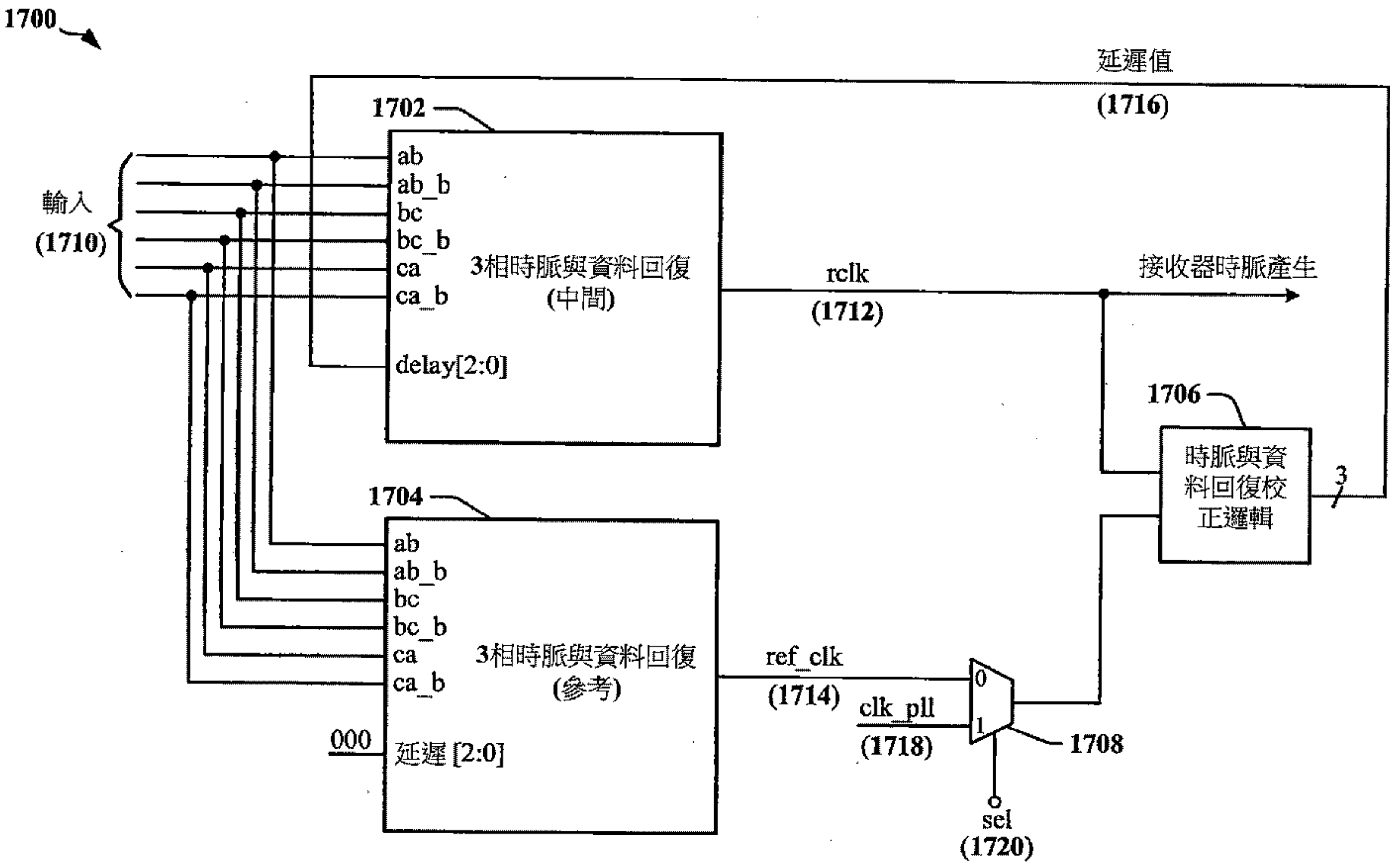


圖17

符號簡單說明：

1700 . . . 時脈回復
電路

1702 . . . CDR 電路

1704 . . . CDR 電路

1706 . . . CDR 校正
邏輯

1710 . . . 輸入

1712 . . . rclk 時脈
信號

1714 . . . 第二時脈
信號/ref_clk 信號/

ref_clk 時脈信號

1716 . . . 多位元控
制信號

I699974

發明摘要

【發明名稱】

多相位時脈資料回復電路校正

MULTIPHASE CLOCK DATA RECOVERY CIRCUIT
CALIBRATION

【中文】

本發明揭示用於時脈校正之方法、裝置及系統。一種用於時脈資料回復電路校正之方法包括：組態一第一時脈回復電路以提供一時脈信號，該時脈信號具有一第一頻率且針對在3線、3相介面上傳輸之每一符號包括一單個脈衝；及藉由以下步驟來校正該第一時脈回復電路：漸進地增加由該第一時脈回復電路之一延遲元件提供之一延遲週期直至由該第一時脈回復電路提供之該時脈信號具有小於該第一頻率的一頻率為止，且在該第一時脈回復電路具有小於該第一頻率的一頻率時，漸進地減少由該第一時脈回復電路之該延遲元件提供之該延遲週期直至由該第一時脈回復電路提供之該時脈信號具有匹配該第一頻率的一頻率為止。

【英文】

Methods, apparatus, and systems for clock calibration are disclosed. A method for clock data recovery circuit calibration includes configuring a first clock recovery circuit to provide a clock signal that has a first frequency and that includes a single pulse for each symbol transmitted on a 3-wire, 3-phase interface, and calibrating the first clock recovery circuit by incrementally increasing a delay period provided by a delay element of the first clock recovery circuit until the clock signal provided by the first clock recovery circuit has a frequency that is less than the first frequency and, when the first clock recovery circuit has a frequency that is less than the first frequency, incrementally decreasing the delay period provided by the delay element of the first clock recovery circuit until the clock signal provided by the first clock recovery circuit has a frequency that matches the first frequency.

【代表圖】

【本案指定代表圖】：第（17）圖。

【本代表圖之符號簡單說明】：

1700	時脈回復電路
1702	CDR電路
1704	CDR電路
1706	CDR校正邏輯
1710	輸入
1712	rclk時脈信號
1714	第二時脈信號/ref_clk信號/ ref_clk時脈信號
1716	多位元控制信號

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

（無）

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

多相位時脈資料回復電路校正

MULTIPHASE CLOCK DATA RECOVERY CIRCUIT
CALIBRATION

相關申請案之交叉參考

本申請案主張於2015年9月1日在美國專利及商標局申請之非臨時申請案第14/842,610號之優先權及權益。

【技術領域】

本發明大體而言係關於高速資料通信介面，且更特定而言，係關於耦接至一多線、多相位資料通信鏈路之一接收器中之時脈產生電路之校正。

【先前技術】

諸如蜂巢式電話之行動器件之製造商可自各種來源(包括不同製造商)獲得行動器件之組件。舉例而言，蜂巢式電話中之應用程式處理器可自第一製造商獲得，而成像器件或相機可自第二製造商獲得，且顯示器可自第三製造商獲得。該應用程式處理器、該成像器件、該顯示器控制器或其他類型之器件可使用基於標準或專屬實體介面來互連。在一項實例中，成像器件可使用由行動產業處理器介面(MIPI)聯盟定義之相機串行介面(CSI)來連接。在另一實例中，顯示器可包括符合由行動產業處理器介面(MIPI)聯盟規定之顯示器串行介面(DSI)標準之介面。

由MIPI聯盟定義之多相位三線(C-PHY)介面使用三件一組之導體在器件之間傳輸資訊。三個線中之每一者可在經由C-PHY介面傳輸符

號期間處於三個發信狀態中之一者。時脈資訊可經編碼於在C-PHY介面上傳輸之一系列符號中且接收器自連續符號之間的轉變產生時脈信號。C-PHY介面之最大速度及時脈與資料回復(CDR)電路回復時脈資訊之能力可受與在通信鏈路之不同線上傳輸之信號之轉變相關的最大時間變化限制。接收器可使用延遲電路來確保在提供採樣邊緣之前三件一組中之所有導體呈現穩定發信狀態。鏈路之傳輸速率可受所使用之延遲值限制，且持續需要可隨著多線介面之發信頻率增加而可靠地起作用之時脈產生電路。

【發明內容】

本文中所揭示之實施例提供允許在多線及/或多相位通信鏈路上實現改良通信之系統、方法及裝置。通信鏈路可經部署在諸如具有多個積體電路(IC)器件之行動終端機之裝置中。

在本發明之態樣中，一種資料通信之方法包括：組態一第一時脈回復電路以提供具有一第一頻率且針對在一3線、3相介面上傳輸之每一符號包括一單個脈衝之一時脈信號，及校正該第一時脈回復電路。可藉由以下步驟來校正該第一時脈回復電路：漸進地增加由該第一時脈回復電路之一延遲元件提供之一延遲週期直至由該第一時脈回復電路提供之該時脈信號具有小於該第一頻率的一頻率為止，且在該第一時脈回復電路具有小於該第一頻率的一頻率時，漸進地減少由該第一時脈回復電路之該延遲元件提供之該延遲週期直至由該第一時脈回復電路提供之該時脈信號具有匹配該第一頻率的一頻率為止。

在本發明之態樣中，一種用於解碼在一3線、3相介面上傳輸之資料之裝置包括：用於自一3線、3相介面信號回復信號的構件，包括一第一時脈回復電路；用於組態該第一時脈回復電路以提供具有一第一頻率且針對在一3線、3相介面上傳輸之每一符號包括一單個脈衝之一時脈信號的構件；及用於校正該第一時脈回復電路的構件。用於校

正該第一時脈回復電路的該構件可經組態以：漸進地增加由該第一時脈回復電路之一延遲元件提供之一延遲週期直至由該第一時脈回復電路提供之該時脈信號具有小於該第一頻率的一頻率為止，且在該第一時脈回復電路具有小於該第一頻率的一頻率時，漸進地減少由該第一時脈回復電路之該延遲元件提供之該延遲週期直至由該第一時脈回復電路提供之該時脈信號具有匹配該第一頻率的一頻率為止。

在本發明之態樣中，一種用於資料通信之裝置包括：複數個差異接收器，其耦接至一3線匯流排；一時脈回復電路，其經組態以提供一第一時脈信號，該第一時脈信號針對在一3線、3相介面上以一第一頻率在一符號串流中傳輸之每一符號包括一脈衝；及一處理電路。該處理電路可經組態以藉由以下步驟來校正該第一時脈回復電路：漸進地增加由該第一時脈回復電路之一延遲元件提供之一延遲週期直至由該第一時脈回復電路提供之該時脈信號具有小於該第一頻率的一頻率為止，且在該第一時脈回復電路具有小於該第一頻率的一頻率時，漸進地減少由該第一時脈回復電路之該延遲元件提供之該延遲週期直至由該第一時脈回復電路提供之該時脈信號具有匹配該第一頻率的一頻率為止。

在本發明之態樣中，揭示一種處理器可讀儲存媒體。該儲存媒體可為一非暫時性儲存媒體且可儲存程式碼，該程式碼在由一或多個處理器執行時致使該一或多個處理器組態一第一時脈回復電路以提供具有一第一頻率且針對在一3線、3相介面上傳輸之每一符號包括一單個脈衝之一時脈信號，及校正該第一時脈回復電路。可藉由以下步驟來組態該第一時脈回復電路：漸進地增加由該第一時脈回復電路之一延遲元件提供之一延遲週期直至由該第一時脈回復電路提供之該時脈信號具有小於該第一頻率的一頻率為止，且在該第一時脈回復電路具有小於該第一頻率的一頻率時，漸進地減少由該第一時脈回復電路之

該延遲元件提供之該延遲週期直至由該第一時脈回復電路提供之該時脈信號具有匹配該第一頻率的一頻率為止。

【圖式簡單說明】

圖1描繪選擇性根據複數個可用標準中之一者操作之在IC器件之間使用資料鏈路之裝置。

圖2說明用於選擇性根據複數個可用標準中之一者操作之在IC器件之間使用資料鏈路之裝置的系統架構。

圖3說明C-PHY 3相資料編碼器。

圖4說明C-PHY 3相編碼介面中之發信。

圖5為說明C-PHY 3相編碼介面中之可能狀態轉變的狀態圖。

圖6說明C-PHY解碼器。

圖7為C-PHY解碼器中信號上升時間對轉變偵測之效應的實例。

圖8說明C-PHY解碼器中之轉變偵測。

圖9說明在C-PHY介面上傳輸之連續符號對之間發生之信號轉變的一項實例。

圖10說明眼圖中之轉變區及眼區。

圖11說明針對C-PHY 3相介面產生之眼圖的實例。

圖12說明C-PHY 3相介面之CDR電路的實例。

圖13說明與圖12之CDR電路相關聯之時序。

圖14說明與CDR電路相關聯之具有比在C-PHY 3相信號上傳輸之信號之間的偏斜短之迴路時間之時序。

圖15說明與CDR電路相關聯之具有比C-PHY 3相信號之符號間隔長之迴路時間之時序。

圖16為說明根據本文中所揭示之某些態樣調適之CDR之操作的時序圖。

圖17說明根據本文中所揭示之某些態樣的時脈產生電路的實

例。

圖18說明可用於校正根據本文中所揭示之某些態樣提供之時脈產生電路之電路的一項實例。

圖19為說明使用可根據本文中所揭示之某些態樣調適之處理電路之裝置之實例的方塊圖。

圖20為根據本文中所揭示之某些態樣之時脈產生之方法的流程圖。

圖21為說明使用根據本文中所揭示之某些態樣經調適之處理電路的裝置之硬體實施之實例的圖。

【實施方式】

下文結合附圖所闡明之詳細描述意欲作為對各種組態之描述且並不意欲表示可實踐本文中所描述之概念之僅有的組態。出於提供對各種概念之澈底理解的目的，詳細描述包括特定細節。然而，對熟習此項技術者將顯而易見，可在無此等特定細節之情況下實踐此等概念。在一些情況中，眾所周知之結構及組件係以方塊圖形式展示以便避免混淆此等概念。

如本申請案中所使用，術語「組件」、「模組」、「系統」及其類似者意欲包括電腦相關實體，諸如但不限於硬體、軟體、硬體與軟體之組合、軟體、或執行中之軟體。舉例而言，組件可為(但不限於)在處理器上執行之程序、處理器、物件、可執行檔、執行緒、程式及/或電腦。藉由說明之方式，在計算器件上執行之應用程式及計算器件可為組件。一或多個組件可駐留在程序及/或執行緒內且組件可位於一個電腦上及/或分佈於兩個或多於兩個電腦之間。另外，此等組件可自其上儲存有各種資料結構之各種電腦可讀媒體執行。組件可藉由本端及/或遠端處理程序(諸如)根據具有一或多個資料封包(諸如來自與本端系統、分佈系統中之另一組件及/或跨越網路(諸如網際網路)

藉由信號與其他系統進行互動之一個組件之資料)之信號進行通信。

此外，術語「或」意欲意指包括性「或」而非互斥「或」。亦即，除非另有規定，或自內容脈絡明確，片語「X使用A或B」意欲意指自然包括性排列中之任一者。亦即，片語「X使用A或B」由以下情況中之任一者滿足：X使用A；X使用B；或X使用A及B兩者。另外，除非另有規定或自內容脈絡明確係針對單數形式，否則如本申請案及隨附申請專利範圍中所使用之冠詞「一(a)」及「一(an)」通常應解釋為意指「一或多個」。

概述

本發明之某些態樣可應用於由MIPI聯盟規定之C-PHY介面，其可經部署以連接電子器件，該等電子器件為諸如電話、行動計算器件、器械、車用電子裝置、航空電子系統等之行動裝置之子組件。行動裝置之實例包括蜂巢式電話、智慧型電話、工作階段初始通訊協定(SIP)電話、膝上型電腦、筆記型電腦、迷你筆記型電腦、智慧筆記型電腦、個人數位助理(PDA)、衛星無線電、全球定位系統(GPS)器件、多媒體器件、視訊器件、數位音訊播放器(例如，MP3播放器)、相機、遊戲主機、可穿戴計算器件(例如，智慧型手錶、健康或健身追蹤器等)、器械、感測器、自動販賣機或任何其他類似功能器件。

C-PHY介面為可經由頻寬限制頻道提供高輸送量之高速串行介面。C-PHY介面可經部署以將應用程式處理器連接至周邊器件(包括顯示器及相機)。C-PHY介面將資料編碼成以經由一組三個線(其可稱作為三件一組或三件一組之線)的三相信號傳輸之符號。三相信號係在不同相位中在三件一組之每一線上傳輸。每一三線之三件一組在通信鏈路上提供單工通道。符號間隔可被定義為單個符號控制三個一組之發信狀態之時間間隔。在每一符號間隔中，一個線「未被驅動」而三個線中之剩餘兩者經差動驅動，使得兩個經差動驅動線中之一者呈

現第一電壓位準且另一經差動驅動線呈現不同於第一電壓位準之第二電壓位準。未經驅動線可浮動、經驅動及/或經端接，使得其呈現處於或接近介於第一電壓位準與第二電壓位準之間的中位準電壓之第三電壓位準。在一項實例中，驅動電壓位準可為 $+V$ 及 $-V$ ，未驅動電壓為 0 V 。在另一實例中，驅動電壓位準可為 $+V$ 及 0 V ，未驅動電壓為 $+V/2$ 。不同符號在每一連續傳輸符號對中傳輸，且不同線對可以不同符號間隔差動驅動。

圖1描繪可使用C-PHY 3相通信鏈路之裝置100之實例。裝置100可包括無線通信器件，該無線通信器件經由射頻(RF)通信收發器106與無線電存取網路(RAN)、核心存取網路、網際網路及/或另一網路進行通信。通信收發器106可以可操作方式耦接至處理電路102。處理電路102可包括一或多個IC器件，諸如特殊應用IC (ASIC) 108。ASIC 108可包括一或多個處理器件、邏輯電路等等。處理電路102可包括及/或耦接至處理器可讀儲存器(諸如可包括儲存並維持供處理電路102及器件執行或用於其他用途之資料及指令之處理器可讀器件之記憶體器件112)，及/或支援顯示器124之記憶體卡。處理電路102可由作業系統及支援及實現駐留於儲存媒體(諸如無線器件之記憶體器件112)中之軟體模組之執行的應用程式設計介面(API) 110層中之一或多者控制。記憶體器件112可包括唯讀記憶體(ROM)、動態隨機存取記憶體(DRAM)、一或多個類型之可程式化唯讀記憶體(PROM)、快閃卡或可用於處理系統及計算平台中之任何記憶體類型。處理電路102可包括或存取本端資料庫114，本端資料庫可維持操作參數及用於組態及操作裝置100之其他資訊。可使用資料庫模組、快閃記憶體、磁性媒體、電可抹除PROM (EEPROM)、光學媒體、磁帶、軟碟或硬碟或其類似者中之一或多者實施本端資料庫114。處理電路亦可以可操作方式耦接至外部器件，諸如天線122、顯示器124、操作者控制件，諸如

按鈕128及鍵盤126，以及其他組件。

圖2為說明包括可經由通信鏈路220交換資料及控制資訊之複數個IC器件202及230的裝置200之某些態樣的方塊示意圖。通信鏈路220可用於連接定位成彼此緊密接近或實體上位於裝置200之不同部分中的一對IC器件202及230。在一項實例中，通信鏈路220可被提供在攜載IC器件202及230之晶片載體、基板或電路板上。在另一實例中，第一IC器件202可經定位於摺疊式電話之小鍵盤區段中而第二IC器件230可經定位於摺疊式電話之顯示區段中。在另一實例中，通信鏈路220之部分可包括纜線或光學連接。

通信鏈路220可包括多個頻道222、224及226。一或多個頻道226可為雙向，且可以半雙工及/或全雙工模式操作。一或多個頻道222及224可為單向的。通信鏈路220可為非對稱的，在一個方向上提供較高頻寬。在本文中所描述之一項實例中，第一通信頻道222可被稱作前向頻道222而第二通信頻道224可稱作反向頻道224。第一IC器件202可被指定為主機系統或傳輸器，而第二IC器件230可被指定為用戶端系統或接收器，即使IC器件202及230兩者經組態以在通信頻道222上進行傳輸及接收。在一項實例中，前向頻道222可在將資料自第一IC器件202傳達至第二IC器件230時以較高資料速率進行操作，而反向頻道224可在將資料自第二IC器件230傳達至第一IC器件202時以較低資料速率進行操作。

IC器件202及230可各自包括處理器或其他處理及/或計算電路或器件206、236。在一項實例中，第一IC器件202可執行裝置200之核心功能，包括經由無線收發器204及天線214建立並維持無線通信，而第二IC器件230可支援管理或操作顯示控制器232之使用者介面，且可使用攝影機控制器234來控制攝影機或視訊輸入器件之操作。由IC器件202及230中之一或多者支援之其他特徵可包括鍵盤、語音辨識組件及

其他輸入或輸出器件。顯示控制器232可包括支援諸如液晶顯示器(LCD)面板、觸控螢幕顯示器、指示器等等之顯示器之電路及軟體驅動程式。儲存媒體208及238可包括經調適以維持由各別處理器206及236及/或IC器件202及230之其他組件使用之指令及資料之暫時性及/或非暫時性儲存器件。每一處理器206、236與其對應儲存媒體208及238及其他模組及電路之間的通信可由一或多個內部匯流排212及242及/或通信鏈路220之頻道222、224及/或226來促進。

反向頻道224可以與前向頻道222相同之方式操作，且前向頻道222及反向頻道224可能夠以可比較速度或以不同速度進行傳輸，其中速度可被表達為資料傳送速率及/或時脈速率。取決於應用，前向資料速率及反向資料速率可實質上相同或相差幾個數量級。在一些應用中，單個雙向頻道226可支援第一IC器件202與第二IC器件230之間的通信。前向頻道222及/或反向頻道224可經組態以在(例如)前向頻道222及反向頻道224共用相同實體連接且以半雙工方式操作時以雙向模式操作。在一項實例中，通信鏈路220可操作以根據產業或其他標準在第一IC器件202與第二IC器件230之間傳達控制、命令及其他資訊。

圖2之通信鏈路220可根據MIPI聯盟C-PHY規範實施，且可提供包括複數個信號線(標記為M個線)之有線匯流排。M個線可經組態以在高速數位介面(諸如行動顯示數位介面(MDDI))中攜載N相位編碼資料。M個線可促進頻道222、224及226中之一或多者上的N相位極性編碼。實體層驅動器210及240可經組態或經調適以產生N相位極性編碼資料以供在通信鏈路220上傳輸。N相位極性編碼之使用提供高速資料傳送，且可消耗其他介面之電力的一半或小於一半，此係因為較少驅動器在N相位極性編碼資料鏈路中在作用中。

N相位極性編碼器件210及/或240可通常在通信鏈路220上對每轉變編碼多個位元。在一項實例中，3相編碼及極性編碼之組合可用於

支援寬視訊圖形陣列(WVGA) 80圖框/秒LCD驅動器IC而無需圖框緩衝器，以810 Mbps遞送像素資料用於顯示再新。

圖3為說明可用於實施圖2中所描繪之通信鏈路220之某些態樣之3線、3相極性編碼器的示意圖300。3線、3相編碼之實例僅經選擇用於簡化本發明之某些態樣之描述的目的。針對3線、3相編碼器所揭示之原理及技術可應用於M線、N相位極性編碼器之其他組態中。

針對3線、3相極性編碼方案中之3個線中之每一者定義之發信狀態可包括未驅動狀態、正驅動狀態及負驅動狀態。正驅動狀態及負驅動狀態可藉由以下步驟而獲得：在信號線310a、310b及/或310c中之兩者之間提供電壓差動，及/或經由串聯連接之信號線310a、310b及/或310c中之兩者驅動電流使得電流在兩個信號線310a、310b及/或310c中沿不同方向流動。未驅動狀態可藉由使信號線310a、310b或310c之驅動器之輸出處於高阻抗模式來實現。替代地或另外，可藉由被動地或主動地致使「未驅動」信號線310a、310b或310c達到位於在驅動信號線310a、310b及/或310c上提供之正電壓位準與負電壓位準之間的實質上中間的電壓位準來在信號線310a、310b或310c上獲得未驅動狀態。通常，無顯著電流流動穿過未驅動信號線310a、310b或310c。針對3線、3相極性編碼方案定義之發信狀態可使用三個電壓或電流狀態(+1、-1及0)標示。

3線、3相極性編碼器可使用線路驅動器308來控制信號線310a、310b及310c之發信狀態。驅動器308可實施為單位位準電流模式或電壓模式驅動器。在一項實例中，每一驅動器308可接收確定對應信號線310a、310b及310c之輸出狀態之信號316a、316b及316c中之兩者或多於兩者之集合。在一項實例中，兩個信號316a、316b及316c之集合可包括上拉信號(PU信號)及下拉信號(PD信號)，PU信號及PD信號在為高時啟動上拉電路及下拉電路，上拉電路及下拉電路分別將信號線

310a、310b及310c驅動至較高位準或較低位準電壓。在此實例中，當PU信號及PD信號兩者為低時，信號線310a、310b及310c可經端接至中位準電壓。

針對M線N相位極性編碼方案中之每一傳輸符號間隔，至少一個信號線310a、310b或310c處於中位準/未驅動(0)電壓或電流狀態，而正驅動(+1電壓或電流狀態)信號線310a、310b或310c之數目等於負驅動(-1電壓或電流狀態)信號線310a、310b或310c之數目，使得流動至接收器之電流之總和始終等於零。針對每一符號，至少一個信號線310a、310b或310c之狀態自在前一傳輸間隔中傳輸之符號改變。

在操作中，映射器302可接收並將16位元資料310映射至7個符號312。在3線實例中，7個符號中之每一者定義在一個符號間隔中信號線310a、310b及310c之狀態。可使用並行對串行轉換器304將7個符號312串行化，該等並行對串行轉換器針對每一信號線310a、310b及310c提供符號314之定時序列。符號314之序列通常使用傳輸時脈定時。3線3相編碼器306一次一個符號地接收由映射器產生之7個符號314之序列且計算每一符號間隔中每一信號線310a、310b及310c之狀態。3線編碼器306基於當前輸入符號314及信號線310a、310b及310c之先前狀態來選擇信號線310a、310b及310c之狀態。

M線N相編碼之使用准許在複數個符號中編碼多個位元，其中每符號之位元並非整數。在3線通信鏈路之實例中，存在可同時驅動之2個線之3個可用組合，及經驅動之線對上之極性之2個可能組合，從而產生6個可能狀態。由於自當前狀態發生每一轉變，因此每一轉變時可獲得6個狀態中之5者。要求在每一轉變時至少一個線之狀態改變。在5個狀態之情況下，每符號可編碼 $\log_2(5) \approx 2.32$ 個位元。因此，映射器可接受16位元字組且將其轉換成7個符號，此係因為每符號攜載2.32個位元之7個符號可編碼16.24個位元。換言之，編碼五個狀態之

七個符號之組合具有 5^7 (78,125)個排列。因此，可使用7個符號來編碼16個位元之 2^{16} (65,536)個排列。

圖4包括基於循環狀態圖450之使用三相調變資料編碼方案編碼之信號之時序圖400的實例。可將資訊編碼於發信狀態序列中，其中(例如)線或連接器處於由循環狀態圖450定義之三個相位狀態 S_1 、 S_2 及 S_3 中之一者中。每一狀態可與其他狀態分離 120° 相移。在一項實例中，可在線或連接器上之相位狀態之旋轉方向上對資料進行編碼。信號之相位狀態可沿順時針方向452及452'或逆時針方向454及454'旋轉。舉例而言，在順時針方向452及454'中，相位狀態可以包括自 S_1 至 S_2 、自 S_2 至 S_3 及自 S_3 至 S_1 的轉變中之一或多者之序列進展。在逆時針方向454及454'中，相位狀態可以包括自 S_1 至 S_3 、自 S_3 至 S_2 及自 S_2 至 S_1 的轉變中之一或多者之序列進展。三個信號線310a、310b及310c攜載同一信號之不同版本，其中該等版本可相對於彼此相移 120° 。每一發信狀態可表示為線或連接器上之不同電壓位準及/或穿過線或連接器之電流之方向。在3線系統中之發信狀態序列中之每一者期間，每一信號線310a、310b及310c處於不同於其他線之發信狀態中。當多於3個信號線310a、310b及310c用於3相編碼系統中時，兩個或多於兩個信號線310a、310b及/或310c可在每一發信間隔處於相同發信狀態，但每一狀態在每一發信間隔中存在於至少一個信號線310a、310b及/或310c上。

可在每一相位轉變410處的旋轉方向上對資訊進行編碼，且3相信號可改變每一發信狀態之方向。可藉由考量在相位轉變之前及之後哪些信號線310a、310b及/或310c處於「0」狀態來判定旋轉方向，此係因為未驅動信號線310a、310b及/或310c在旋轉三相信號中之每一發信狀態處改變，而不論旋轉方向如何。

編碼方案亦可在經主動驅動之兩個信號線310a、310b及/或310c

之極性408中對資訊進行編碼。在3線實施中之任何時間，藉助在相反方向中之電流及/或藉助電壓差來驅動信號線310a、310b、310c中之確切兩者。在一項實施中，可使用兩個位元值412來對資料進行編碼，其中在相位轉變410之方向上對一個位元進行編碼且在目前狀態之極性408中對第二位元進行編碼。

時序圖400說明使用相位旋轉方向及極性兩者的資料編碼。曲線402、404及406係關於分別針對多個相位狀態在三個信號線310a、310b及310c上攜載之信號。最初，相位轉變410處於順時針方向且最高有效位元經設定為二進位「1」，直至相位轉變410之旋轉在時間414處切換至逆時針方向為止，如由最高有效位元之二進位「0」所表示。最低有效位元反映每一狀態中之信號之極性408。

根據本文中所揭示之某些態樣，可在3線、3相編碼系統中之旋轉或相位改變中對一個資料位元進行編碼，且可在兩個驅動線之極性中對額外位元進行編碼。可藉由允許自當前狀態轉變至可能狀態中之任一者來在3線、3相編碼系統之每一轉變中對額外資訊進行編碼。假定3個旋轉相位且針對每一相位兩個極性，3線、3相編碼系統中可獲得6個狀態。因此，可自任何當前狀態獲得5個狀態，且可存在每符號(轉變)編碼 $\log_2(5) \approx 2.32$ 個位元，其允許映射器302接受16位元字組且將其編碼於7個符號中。

N相位資料傳送可使用提供於通信媒體(諸如匯流排)中之多於三個線。可同時驅動之額外信號線之使用提供狀態及極性之更多組合，且允許在狀態之間的每一轉變處對更多資料位元進行編碼。此可顯著改良系統之輸送量，且相對於使用多個差動對來傳輸資料位元之方法減少功率消耗，同時提供增加之頻寬。

在一項實例中，編碼器可使用6條線傳輸符號，其中針對每一狀態驅動2對線。6個線可標記為A至F，使得在一個狀態中，線A及F經

驅動為正，線B及E為負，且C及D未經驅動(或不攜載任何電流)。針對六個線，可存在經主動驅動線之：

$$C(6,4) = \frac{6!}{(6-4)! \cdot 4!} = 15$$

個可能組合，其中每一相位狀態之極性有：

$$C(4,2) = \frac{4!}{(4-2)! \cdot 2!} = 6$$

個不同組合。

經主動驅動線之15個不同組合可包括：

A B C D	A B C E	A B C F	A B D E	A B D F
A B E F	A C D E	A C D F	A C E F	A D E F
B C D E	B C D F	B C E F	B D E F	C D E F

在經驅動之4個線中，兩個線之可能組合經驅動為正(且另外兩個必須為負)。極性之組合可包括：

++-- +- -+ +-+- -+-+ -+++ --++

因此，不同狀態之總數目可計算為 $15 \times 6 = 90$ 。為保證符號間之轉變，自任何當前狀態可獲得89個狀態，且在每一符號中可經編碼之位元之數目可計算為：每符號 $\log_2(89) \cong 6.47$ 個位元。在此實例中，假定 $5 \times 6.47 = 32.35$ 個位元，32位元字組可由映射器編碼成5個符號。

關於可針對任何大小之匯流排驅動之線之組合之數目之一般方程隨匯流排中之線之數目及同時驅動之線之數目而變：

$$C(N_{wires}, N_{driven}) = \frac{N_{wires}!}{(N_{wires} - N_{driven})! \cdot N_{driven}!}$$

關於計算正驅動之線之極性之組合之數目的一個方程為：

$$C\left(N_{driven}, \frac{N_{driven}}{2}\right) = \frac{N_{driven}!}{\left(\left(\frac{N_{driven}}{2}\right)!\right)^2}$$

每符號之相等數目個位元可表述為：

$$\log_2 \left(C(N_{wires}, N_{driven}) \cdot C\left(N_{driven}, \frac{N_{driven}}{2}\right) - 1 \right)$$

圖5為說明在3線、3相通信鏈路之一項實例中的6個狀態及30個可能狀態轉變的狀態圖500。狀態圖500中之可能狀態502、504、506、512、514及516包括且詳述圖4之循環狀態圖450中所展示之狀態。如狀態元件520之實例中所展示，狀態圖500中之每一狀態502、504、506、512、514及516包括：展示信號A、B及C（分別在信號線310a、310b及310c上傳輸）之電壓狀態之欄位522、展示分別藉由差動接收器（舉例而言，參見圖6之差動接收器602）之線電壓之減法的結果之欄位524，及指示旋轉方向之欄位526。舉例而言，在狀態502（+x）中，線A = +1、線B = -1且線C = 0，產生差動接收器702a之輸出(A-B) = +2、差動接收器702b之輸出(B-C) = -1且差動接收器702c之輸出(C-A) = +1。如由狀態圖所說明，接收器中之相位改變偵測電路採取之轉變決策基於由差動接收器產生之5個可能位準，其包括-2、-1、0、+1及+2電壓狀態。

圖6為說明3線、3相解碼器600之某些態樣的圖。差動接收器602及線狀態解碼器604經組態以提供三個傳輸線路（例如，圖3中所說明之信號線310a、310b及310c）之狀態相對於彼此之數位表示，及偵測與先前符號週期中傳輸之狀態相比之三個傳輸線路之狀態之改變。串行對並行轉換器606組裝七個連續狀態以獲得待由解映射器608處理之一組7個符號。解映射器608產生可經緩衝於先進先出(FIFO)暫存器610中之16個資料位元。

線狀態解碼器604可自在信號線310a、310b及310c上接收之相位編碼信號提取一系列符號614。如本文中所揭示，符號614經編碼為相位旋轉及極性之組合。線狀態解碼器可包括CDR電路624，該CDR電路提取可用於自信號線310a、310b及310c可靠地擷取符號之時脈626。在每一符號邊界處在信號線310a、310b及310c中之至少一者上發生轉變，且CDR電路624可經組態以基於轉變或多個轉變之發生而

產生時脈626。時脈之邊緣可經延遲以允許所有信號線310a、310b及310c有時間穩定化且藉此確保出於解碼目的擷取當前符號。

3相介面中之抖動

3相傳輸器包括將高、低及中間位準電壓提供至傳輸頻道上之驅動器。此可導致連續符號間隔之間的一些可變轉變時間。低至高及高至低電壓轉變可被稱作為全擺幅轉變，而低至中間及高至中間電壓轉變可被稱作半擺幅轉變。不同類型之轉變可具有不同上升或下降時間，且可在接收器處導致不同零交叉。此等差異可導致「編碼抖動」，此可影響鏈路信號完整性效能。

圖7為說明C-PHY 3相傳輸器之輸出處之轉變可變性之某些態樣的時序圖700。信號轉變時間之可變性可歸因於3相發信中所使用之不同電壓及/或電流位準之存在。時序圖700說明自單個信號線310a、310b或310c接收之信號中之轉變時間。在第一符號間隔中傳輸第一符號 Sym_n 702，該第一符號間隔在於第二符號間隔中傳輸第二符號 Sym_{n+1} 724之時間722結束。第二符號間隔可在於第三符號間隔中傳輸第三符號 Sym_{n+2} 706之時間726結束，該第三符號間隔在於第四符號間隔中傳輸第四符號 Sym_{n+3} 708時結束。自由第一符號702判定之狀態至對應於第二符號704之狀態之轉變可在由於信號線310a、310b或310c中之電壓達到臨限電壓718及/或720所花費之時間所致之延遲712之後可偵測。可使用臨限電壓來判定信號線310a、310b或310c之狀態。自由第二符號704判定之狀態至第三符號706之狀態之轉變可在由於信號線310a、310b或310c中之電壓達到臨限電壓718及/或720中之一者所花費之時間所致之延遲714之後可偵測。自由第三符號706判定之狀態至第四符號708之狀態之轉變可在由於信號線310a、310b或310c中之電壓達到臨限電壓718及/或720所花費之時間所致之延遲716之後可偵測。延遲712、714及716可具有不同持續時間，此可部分地

歸因於器件製造程序及操作條件之變化，此可產生對與3個狀態相關聯之不同電壓或電流位準之間的轉變的不等效應及/或不同轉變量值。此等差異可促進C-PHY 3相接收器中之抖動及其他問題。

圖8包括說明可提供在C-PHY 3相介面中之接收器中之CDR電路之某些態樣的方塊示意圖800。一組差動接收器802a、802b及802c經組態以藉由比較三件一組中之三個信號線310a、310b及310c中之每一者與該三件一組中之三個信號線310a、310b及310c中之其他信號線來產生一組差異信號810。在所描繪之實例中，第一差動接收器802a比較信號線310a及310b之狀態，第二差動接收器802b比較信號線310b及310c之狀態，且第三差動接收器802c比較信號線310a及310c之狀態。因此，轉變偵測電路804可經組態以偵測相位改變之發生，此係因為差動接收器802a、802b及802c中之至少一者之輸出在每一符號間隔結束時改變。

所傳輸符號之間的某些轉變可藉由單個差動接收器802a、802b或802c偵測，而其他轉變可藉由差動接收器802a、802b及802c中之兩者或多於兩者偵測。在一項實例中，兩個線之狀態或相對狀態可在轉變之後未改變，且對應差動接收器802a、802b或802c之輸出亦可在相位轉變之後未改變。在另一實例中，一對信號線310a、310b及/或310c中之兩個線可在第一時間間隔處於相同狀態，且兩個線可在第二時間間隔處於相同第二狀態，且對應差動接收器802a、802b或802c可在相位轉變之後不改變。因此，時脈產生電路806可包括轉變偵測電路804及/或其他邏輯來監測所有差動接收器802a、802b及802c之輸出，以便判定何時發生相位轉變。時脈產生電路可基於所偵測到的相位轉變而產生接收時脈信號808。

可針對信號線310a、310b及/或310c之不同組合在不同時間偵測3個線之發信狀態之改變。發信狀態改變之偵測之時序可根據已發生之

發信狀態改變之類型而變化。圖8中之時序圖850說明此類可變性之結果。標記822、824及826表示提供至轉變偵測電路804之差異信號810中之轉變之發生。僅為了說明清楚起見，標記822、824及826在時序圖850中經指派不同高度，且標記822、824及826之相對高度並不意欲展示與電壓或電流位準、極性或用於時脈產生或資料解碼之加權值之特定關係。時序圖850說明與在三個信號線310a、310b及310c上以相位及極性傳輸之符號相關聯之轉變之時序之效應。在時序圖850中，一些符號之間的轉變可導致可變擷取窗830a、830b、830c、830d、830e、830f及/或830g（統稱為符號擷取窗830），在其期間可可靠地擷取符號。所偵測之狀態改變之數目及其相對時序可導致時脈信號808上之抖動。

C-PHY通信鏈路之輸送量可受信號轉變時間之持續時間及可變性影響。舉例而言，偵測電路之可變性可由製造程序容限、電壓及電流源以及操作溫度之變化及穩定性，以及信號線310a、310b及310c之電特性引起。偵測電路之可變性可限制頻道頻寬。

圖9包括表示某些連續符號之間自第一發信狀態至第二發信狀態之轉變之某些實例的時序圖900及920。時序圖900及920中所說明之發信狀態轉變經選擇用於說明目的，且MIPI聯盟C-PHY介面中可發生其他轉變及轉變之組合。時序圖900及920係關於3線、3相通信鏈路之實例，其中由於線之三件一組上之信號位準之間的上升及下降時間之差，可在每一符號間隔邊界處發生多個接收器輸出轉變。亦參考圖8，第一時序圖900說明在轉變之前及之後的信號線310a、310b及310c之三件一組之發信狀態(A、B及C)，且第二時序圖920說明差動接收器802a、802b及802c之輸出，此提供表示信號線310a、310b及310c之間的差之差異信號810。在諸多情況中，一組差動接收器802a、802b及802c可經組態以藉由比較兩個信號線310a、310b及310c之不同組合

來擷取轉變。在一項實例中，這些差動接收器802a、802b及802c可經組態以藉由判定其各別輸入電壓之差(例如，藉由減法)來產生輸出。

在時序圖900及920中所展示之實例中之每一者中，初始符號(-z) 516 (參見圖8)轉變至不同符號。如時序圖902、904及906中所展示，信號A初始處於+1狀態，信號B處於0狀態且信號C處於-1狀態。因此，差動接收器802a、802b最初量測+1差924，且差動接收器802c量測-2差926，如針對差動接收器輸出在時序圖922、932、938中所展示。

在對應於時序圖902、922之第一實例中，發生自符號(-z) 516至符號(-x) 512 (參見圖8)之轉變，其中信號A轉變至-1狀態，信號B轉變至+1狀態且信號C轉變至0狀態，其中差動接收器802a自+1差924轉變至-2差930，差動接收器802b保持處於+1差924、928且差動接收器802c自-2差926轉變至+1差928。

在對應於時序圖904、932之第二實例中，發生自符號(-z) 516至符號(+z) 506之轉變，其中信號A轉變至-1狀態，信號B保持處於0狀態且信號C轉變至+1狀態，其中兩個差動接收器802a及802b自+1差924轉變至-1差936，且差動接收器802c自-2差926轉變至+2差934。

在對應於時序圖906、938之第三實例中，發生自符號(-z) 516至符號(+x) 502之轉變，其中信號A保持處於+1狀態，信號B轉變至-1狀態且信號C轉變至0狀態，其中差動接收器802a自+1差924轉變至+2差940，差動接收器802b自+1差924轉變至-1差942且差動接收器802c自-2差926轉變至-1差942。

此等實例說明橫跨0、1、2、3、4及5位準之差異值之轉變。用於典型差動或單端型串行傳輸器之預強調技術經發展用於兩位準轉變，且可在用於MIPI聯盟C-PHY 3相信號時產生某些不良效應。特定而言，在轉變期間過驅動信號之預強調電路可在橫跨1或2位準之轉變

期間造成突增，且可導致在邊緣敏感電路中發生假觸發。

圖10說明產生為多個符號間隔(包括單個符號間隔1002)之覆疊的眼圖1000。信號轉變區1004表示兩個符號之間的邊界處之不確定性時間週期，其中可變信號上升時間防止可靠解碼。可在表示符號穩定且可可靠地被接收及解碼之時間週期的「眼開口」內的由眼遮罩1006界定之區內可靠地判定狀態資訊。眼遮罩1006遮蔽其中不發生零交叉之區，且眼遮罩由解碼器用於防止由符號間隔邊界處在第一信號零交叉之後的隨後零交叉之效應所致之多重時脈。

信號之週期性取樣及顯示之概念在使用時脈資料回復電路之系統之設計、調適及組態期間有用，該時脈資料回復電路使用在所接收資料中出現之頻繁轉變來重新形成所接收之資料時序信號。基於串行化器/解串行化器(SERDES)技術之通信系統為其中眼圖1000可用作基於眼圖1000之眼開口而判斷可靠回復資料之能力之基礎的系統之實例。

M線N相位編碼系統(諸如3線、3相編碼器)可對在每一符號邊界處具有至少一個轉變之信號進行編碼，且接收器可使用彼等有保證的轉變來回復時脈。接收器可需要緊接在符號邊界處之第一信號轉變之前的可靠資料，且必須亦能夠可靠地遮蔽與同一符號邊界相關之多個轉變之任何發生。可由於在M-線(例如，線之三件一組)上攜載之信號之間的上升及下降時間之略微差異且由於所接收之信號對之組合(例如，圖6之差動接收器802a、802b及802c之A至B、B至C及C至A輸出)之間的信號傳播時間之略微差異而發生多個接收器轉變。

圖11說明針對C-PHY 3相信號產生之眼圖1100的實例。眼圖1100可由多個符號間隔1102之覆疊產生。可使用固定及/或獨立於符號的觸發器1130產生眼圖1100。眼圖1100包括可歸因於由N-相位接收器電路之差動接收器802a、802b、802c (參見圖8)量測之多個電壓位準的

增加數目個電壓位準1120、1122、1124、1126、1128。在實例中，眼圖1100可對應於提供至差動接收器802a、802b及802c之3線、3相編碼信號中之可能轉變。三個電壓位準可致使差動接收器802a、802b及802c針對正及負極性皆產生強電壓位準1126、1128及弱電壓位準1122、1124。通常，在任何符號中僅一個信號線310a、310b及310c未被驅動，且差動接收器802a、802b及802c未產生0狀態(此處，為0伏特)作為輸出。與強及弱位準相關聯之電壓不需要相對於0伏特位準均勻間隔開。舉例而言，弱電壓位準1122、1124表示可包括由未驅動信號線310a、310b及310c達到之電壓位準的電壓之比較。眼圖1100可與由差動接收器802a、802b及802c產生之波形重疊，此係因為當在接收器件處擷取資料時同時考慮所有三對信號。由差動接收器802a、802b及802c產生之波形表示差異信號810，該等差異信號表示三對信號之比較(A-B、B-C及C-A)。

C-PHY 3相解碼器中所使用之驅動器、接收器及其他器件可展示不同切換特性，該等不同切換特性可在自三個線接收之信號之間引起相對延遲。由於信號線310a、310b、310c之三件一組之三個信號之間的上升及下降時間之略微差異且由於自信號線310a、310b、310c接收之信號對之組合之間的信號傳播時間之略微差異，可在每一符號間隔邊界1108及/或1114處觀察到多個接收器輸出轉變。眼圖1100可擷取上升及下降時間之變化作為每一符號間隔邊界1108及1114附近之轉變之相對延遲。上升及下降時間之變化可歸因於3相驅動器之不同特性。上升及下降時間之差亦可導致任何給定符號之符號間隔1102之持續時間之有效縮短或延長。

信號轉變區1104表示不確定性之時間或週期，其中可變信號上升時間防止可靠解碼。可在表示其中符號穩定且可可靠地被接收及解碼之時間週期的「眼開口」1106中可靠地判定狀態資訊。在一項實例

中，眼開口1106可被判定為在信號轉變區1104之結束1112時開始，且在符號間隔1102之符號間隔邊界1114處結束。在圖11中所描繪之實例中，眼開口1106可被判定為在信號轉變區1104之結束1112時開始，且在信號線310a、310b、310c之發信狀態及/或三個差動接收器802a、802b及802c之輸出已開始改變以反映下一符號之時間1116結束。

與對應於所接收信號之眼開口1106相比，經組態用於N相位編碼之通信鏈路220之最大速度可受信號轉變區1104之持續時間限制。舉例而言，符號間隔1102之最小週期可受與圖6中所說明之解碼器600中之CDR電路624相關聯之嚴格設計餘裕約束。不同發信狀態轉變可與對應於兩個或多於兩個信號線310a、310b及/或310c之信號轉變時間之不同變化相關聯，藉此致使接收器件中之差動接收器802a、802b及802c之輸出相對於符號間隔邊界1108(在該處差動接收器802a、802b及802c之輸入開始改變)以不同時間及/或速率改變。信號轉變時間之間的差可導致兩個或多於兩個差異信號810中之信號轉變之間的時序偏斜。CDR電路可包括延遲元件及其他電路以適應差異信號810之間的時序偏斜。

圖12提供用於3線、3相介面之CDR電路1200的實例。所說明CDR電路1200包括諸多不同類型之時脈回復電路共有之某些特徵及功能元件。CDR電路1200接收差異信號1202、1204、1206，該等差異信號可自由(例如)圖8之差動接收器802a、802b及802c產生之差異信號810導出。在CDR電路1200中，每一差異信號1202、1204、1206為一對D正反器1210a、1210b、1210c定時以產生輸出信號1230a至1230f。當在對應差異信號1202、1204、1206上偵測到轉變時，輸出信號1230a至1230f攜載脈衝。提供至D正反器上之時脈輸入之上升邊緣經由D正反器定時邏輯1。反相器1208a、1208b、1208c可用於將差異信號1202、1204、1206之反相版本提供至每一對應對D正反器1210a、1210b、

1210c中之D正反器中之一者。因此，每一對D正反器1210a、1210b、1210c回應於在對應差異信號1202、1204、1206中偵測到之上升邊緣及下降邊緣產生脈衝。

舉例而言，將AB差異信號1202提供至第一對D正反器1210a中之第一D正反器1232，且反相器1208a將AB差異信號1202之反相版本提供至第一對D正反器1210a中之第二D正反器1234。D正反器初始處於重設狀態。AB差異信號1202上之上升邊緣經由第一D正反器1232定時邏輯1，致使第一正反器之輸出(r_AB) 1230a轉變至邏輯1狀態。AB差異信號1202上之下降邊緣經由第二D正反器1234定時邏輯1，致使第二正反器之輸出(f_AB) 1230b轉變至邏輯1狀態。

將輸出信號1230a至1230f提供至諸如「或」閘1212之邏輯，該邏輯產生可用作接收器時脈(RxCLK)信號1222之輸出信號。在差異信號1202、1204、1206中之任一者之發信狀態中發生轉變時，RxCLK信號1222轉變至邏輯1狀態。將RxCLK信號1222提供至可程式化延遲元件1214，該可程式化延遲元件驅動重設多對D正反器1210a、1210b、1210c中之D正反器的重設信號(rb) 1228。在所說明之實例中，在D正反器由低信號重設時，可包括反相器1216。在D正反器經重設時，「或」閘1212之輸出返回至邏輯0狀態且RxCLK信號1222上之脈衝終止。在此邏輯0狀態傳播穿過可程式化延遲元件1214及反相器1216時，D正反器上之重設條件被解除。在D正反器處於重設條件時，差異信號1202、1204、1206上之轉變被忽略。

可程式化延遲元件1214通常經組態以產生延遲，該延遲具有超過差異信號1202、1204、1206上之第一轉變與最後轉變之發生之間的時序偏斜之差的持續時間。可程式化延遲元件1214組態RxCLK信號1222上之脈衝之持續時間(亦即，脈衝寬度)。可在處理器或其他控制及/或組態邏輯斷言設定信號1226時組態可程式化延遲元件1214。

亦可將RxCLK信號1222提供至擷取差異信號1202、1204、1206之發信狀態之一組三個正反器1220，從而針對RxCLK信號1222上發生之每一脈衝提供穩定輸出符號1224。延遲或對準邏輯1218可調整該組差異信號1202、1204、1206之時序。舉例而言，延遲或對準邏輯1218可用於相對於RxCLK信號1222上之脈衝來調整差異信號1202、1204、1206之時序，以確保正反器1220在差異信號1202、1204、1206穩定時擷取差異信號1202、1204、1206之發信狀態。延遲或對準邏輯1218可基於經組態用於可程式化延遲元件1214之延遲而延遲差異信號1202、1204、1206中之邊緣。

可程式化延遲元件1214可經組態於CDR電路1200中以適應差異信號1202、1204、1206中之轉變時間的可能大變化。在一項實例中，可程式化延遲元件1214可引入超過差異信號1202、1204、1206上之第一轉變與最後轉變之發生之間的時序偏斜之持續時間的最小延遲週期。為了CDR電路1200之可靠操作，由可程式化延遲元件1214提供之最大延遲時間可不大於符號間隔。在較快資料速率下，時序偏斜作為符號間隔1102之部分增加，且眼開口1106可相對於符號間隔1102變小。在時序偏斜使由眼開口1106佔據之符號間隔1102之百分比減少到低於可支援符號之可靠擷取之臨限大小時，最大符號傳輸速率可受限制。

圖13為說明CDR電路1200之操作之某些態樣的時序圖。該圖係關於在可程式化延遲元件1214已經組態且設定信號1226不作用之後的操作。CDR電路1200作為邊緣檢測器操作。C-PHY 3相編碼每單位間隔(UI) 1302提供單個發信狀態轉變。三件一組之每一線之狀態之差及/或三件一組之傳輸特性可致使在兩個或多於兩個線上在不同時間出現轉變。差異信號1202、1204、1206中之轉變之發生時間之最大差異可被稱作為偏斜時間(t_{skew}) 1304。與CDR電路1200相關聯之其他延遲包括經由多對D正反器1210a、1210b、1210c之傳播延遲(t_{ck2q}) 1314、與

傳遞穿過「或」閘1212之上升邊緣相關聯之傳播延遲(t_{OR_0}) 1316、與傳遞穿過「或」閘1212之下降邊緣相關聯之傳播延遲(t_{OR_1}) 1318、組合由可程式化延遲元件1214及驅動器/反相器1216引入之延遲之可程式化延遲(t_{pgm}) 1310，及對應於由多對D正反器1210a、1210b、1210c接收rb信號1228之時間與清除正反器輸出之時間之間的延遲之重設延遲(t_{rst}) 1312。

迴路時間(t_{loop}) 1320可被定義為：

$$t_{loop} = t_{ck2q} + t_{OR_1} + t_{pgm} + t_{rst} + t_{OR_0} + t_{pgm}。$$

t_{loop} 1320與UI 1302之間的關係可確定CDR電路1200之操作之可靠性。此關係受用於傳輸之時脈頻率影響，該時脈頻率對UI 1302及可程式化延遲元件1214之操作之可變性具有直接影響。

在一些器件中，可程式化延遲元件1214之操作可受制於製造程序、電路供應電壓及晶粒溫度(PVT)之變化。由可程式化延遲元件1214針對組態值提供之延遲時間可逐器件及/或在器件內逐電路顯著不同。在習知系統中，CDR電路1200之標稱操作條件通常藉由設計設定，以在所有PVT條件下產生在眼開口1106之中間某處的時脈邊緣，以便確保在信號轉變區1104之結束1112之後且在向下一符號之轉變區開始之前(甚至在最糟狀況PVT效應下)發生時脈邊緣。設計CDR電路1200中可發生之困難為在傳輸頻率增加且差異信號1202、1204、1206之時序偏斜相比UI 1302較大時保證時脈邊緣在眼開口1106內。舉例而言，典型延遲元件可產生在所有PVT條件中改變2倍之延遲值。

圖14為說明提供不足延遲之可程式化延遲元件1214之效應的時序圖1400。在此實例中， t_{loop} 1406對所觀察 t_{skew} 1404而言過短，且在一個UI 1402中產生多個時脈脈衝1408、1410。亦即，迴路延遲 t_{loop} 1406相對於 t_{skew} 1404不夠大，且在差異信號1202、1204、1206上稍後發生之轉變未經遮蔽。在所描繪實例中，可在已回應於差異信號1202

中之另一者中第一發生轉變1412而產生脈衝1408之後偵測到差異信號1206中之一者中之第二轉變1414。在此實例中，所回復時脈頻率可為用於在3相介面上傳輸符號之時脈頻率的兩倍。

圖15為說明提供過長延遲之可程式化延遲元件1214之效應的時序圖1500。在此實例中， t_{loop} 1506大於UI 1502。CDR電路1200可回應於第一UI 1502中之第一發生轉變1514而產生時脈脈衝1508，但rb信號1228可在第二UI 1512中發生轉變1516、1518時處於作用中。在所描繪之實例中，第二UI 1512中之轉變1516、1518經遮蔽，且抑制對應於第二UI 1512之預期脈衝1510。在此實例中，經回復時脈頻率可為用於在3相介面上傳輸符號之時脈頻率的一半。

在由圖14及圖15之實例所說明，CDR電路1200可經受以下約束：

$$t_{skew} < t_{loop} < UI。$$

實驗性證據表明 t_{loop} 1320、1406、1506對PVT極其敏感。在一些情況中，由可程式化延遲元件1214提供之延遲可增加以適應PVT之潛在變化之範圍。隨著資料速率增加，UI之持續時間減少且 t_{skew} 相對於UI成比例地增加，從而減少可用於組態可程式化延遲元件1214之可能延遲範圍。

用於C-PHY 3相介面之時脈校正

本文中所揭示之某些態樣係關於用於C-PHY多相位接收器中之時脈回復電路之校正。時脈回復電路可經校正以適應與PVT之變化相關聯之問題。根據某些態樣，C-PHY 3相接收器中之時脈回復電路可基於UI 1302 (參見圖13)經校正。UI 1302 (其亦可稱作為符號傳輸間隔或符號間隔)為可假定在接收器處在變化的PVT條件下保持恆定之系統定義參數。

根據某些態樣，可在迴路時間 t_{loop} 與UI 1302之持續時間之間的差異最小化時校正時脈回復電路。在 t_{loop} 從未超過UI 1302之持續時間

時，就不會遺漏任何時脈脈衝。當 t_{loop} 在持續時間上接近於 UI 1302 時，就獲得對 UI 1302 中的多個脈衝之最大抑制。本文中所揭示之某些態樣係關於可用於組態時脈回復電路以獲得提供最大抖動遮蔽同時滿足 $t_{loop} < UI$ 之約束的 t_{loop} 持續時間的校正程序。

圖16為說明已根據本文中所揭示之某些態樣校正之 C-PHY 3 相接收器中之時脈回復電路之操作的時序圖 1600。在所說明之實例中， t_{loop} 持續時間 1604 小於 UI 1602 且 t_{loop} 持續時間 1604 大於 t_{skew} 1612。 t_{loop} 持續時間 1604 與 UI 1602 之間的差 $(UI - t_{loop})$ 1606 可最小化，且舉例而言，可經由使用校正程序來組態一或多個可程式化延遲元件來避免圖 12 之 CDR 電路 1200 之可能故障模式。

校正可包括：在調整影響 t_{loop} 持續時間 1604 之一或多個延遲元件時觀察由時脈回復電路產生之接收時脈之頻率。在圖 12 中之 CDR 電路 1200 之實例中，可程式化延遲 1214 可用於調整 t_{loop} 持續時間 1604。可程式化延遲 1214 可影響 RxCLK 信號 1222 之頻率，如在圖 14 及圖 15 之時序圖中所說明，該等時序圖說明 CDR 電路 1200 之兩個可能故障模式。舉例而言，CDR 電路 1200 之第一故障模式在 $t_{loop} > UI$ 時發生且導致由 CDR 電路 1200 回復之 RxCLK 信號 1222 具有為 C-PHY 介面之標稱符號傳輸頻率的一半的頻率。CDR 電路 1200 之第二故障模式在 $t_{loop} < t_{skew}$ (其中 t_{skew} 表示抖動週期(比較圖 11 之轉變區 1104))，由 CDR 電路 1200 回復之 RxCLK 信號 1222 具有可為 C-PHY 介面之標稱符號傳輸頻率的頻率時發生。

可藉由漸進地修改可程式化延遲元件 1214 直至 RxCLK 信號 1222 之頻率改變為止來校正 CDR 電路 1200。頻率減半或加倍之改變可描繪 CDR 電路 1200 之穩定操作條件。校正可以可程式化延遲元件 1214 之低值或以可程式化延遲元件 1214 之高值開始。接著使延遲值漸進地改變直至發生一或多個頻率改變為止。可基於在加倍或減半 RxCLK 信號

1222之頻率之前的最後值來判定正常操作中所使用之延遲值。在一些情況中，可增加延遲值直至RxCLK信號1222之頻率減半為止，接著使延遲值漸進地減少直至RxCLK信號1222之頻率返回至其先前值。在其他情況中，可使延遲值減少直至RxCLK信號1222之頻率加倍為止，接著使延遲值漸進地增加直至RxCLK信號1222之頻率返回至其先前值為止。

在一項實例中，可程式化延遲1214可經初始化使得RxCLK信號1222具有匹配C-PHY介面之標稱符號傳輸頻率的頻率。可程式化延遲1214可經調整以增加 t_{loop} 持續時間1604直至RxCLK信號1222之頻率減少(指示已針對一或多個轉變抑制脈衝產生)為止。可程式化延遲1214可被設定至最大值，該最大值經觀察到提供產生具有匹配C-PHY介面之標稱符號傳輸頻率的頻率的RxCLK信號1222之 t_{loop} 持續時間1604。在一些情況中，可程式化延遲1214之值可漸進地減少直至RxCLK信號1222之頻率匹配C-PHY介面之傳輸頻率為止。

在另一實例中，可程式化延遲1214可經初始化使得RxCLK信號1222具有小於C-PHY介面之標稱符號傳輸頻率的頻率。可程式化延遲1214可接著經調整以減少 t_{loop} 持續時間1604直至RxCLK信號1222之頻率匹配C-PHY介面之傳輸頻率為止。

根據某些態樣，接收器不需要事先知曉C-PHY介面之標稱符號傳輸頻率，且可在準確地接收到串接序列時判定已完成校正。傳輸器可在鏈路初始化期間、在傳輸個別資料封包之前、在於接收器處偵測到錯誤之後及/或在應用程式或系統控制下發送串接序列。接收器可監測C-PHY介面上的活動，且可在偵測到轉變時執行校正。在一些情況中，接收器可確定CDR電路1200已經校正且可在未恰當地接收串接序列之條件下執行校正。

在一項實例中，校正在可程式化延遲1214經初始化至使得CDR電

路1200能夠偵測串接序列之預定值時開始。可程式化延遲1214可接著經調整以增加 t_{loop} 持續時間1604直至在串接序列中偵測到錯誤為止。可藉由具有一值的可程式化延遲1214組態CDR電路1200以用於正常操作，該值比致使在串接序列中偵測到錯誤之值低一或多個增量。

在另一實例中，校正在可程式化延遲1214經初始化至預定值時開始，該預定值防止CDR電路1200接收無錯誤之串接序列。可程式化延遲1214可接著經調整以增加或減少 t_{loop} 持續時間1604直至串接序列當由CDR電路1200接收時始終無錯誤為止。

圖17說明可根據本文中所揭示之某些態樣進行校正之時脈回復電路1700。時脈回復電路1700可提供可在時序約束 $t_{skew} < t_{loop} < UI$ 時用於可靠地擷取在3相介面上傳輸之符號之第一時脈信號(rclk信號1712)。時脈回復電路1700包括兩個CDR電路1702、1704，該兩個CDR電路經組態以產生可用於自輸入1710回復時脈資訊之rclk時脈信號1712及第二時脈信號(ref_clk信號1714)，該輸入包括差異信號1202、1204、1206及差異信號1202、1204、1206之反相版本。ref_clk時脈信號1714可用作具有頻率 F_{ref} 之參考時脈。rclk時脈信號1712可具有為ref_clk信號1714之頻率之倍數的頻率(亦即， $2F_{ref}$ 、 $1F_{ref}$ 、 $0.5F_{ref}$ 、 $0.25X F_{ref}$ 等)。第一CDR電路1702及第二CDR電路1704可具有相似架構。

CDR校正邏輯1706可經提供以偵測rclk信號1712相對於ref_clk信號1714之頻率的頻率，及調整第一CDR電路1702中之一或多個可程式化延遲元件之值直至rclk信號1712與ref_clk信號1714之頻率之間的所要關係為止，在一項實例中，CDR校正邏輯1706可提供組態由第一CDR電路1702中之可程式化延遲元件產生之延遲之持續時間的多位元控制信號1716。在一個校正模式中，可調整可程式化延遲之值直至獲得針對UI 1618、1620之某部分之脈衝產生的抑制為止。在另一校正

模式中，可調整可程式化延遲之值直至在某些UI 1618、1620內產生多個時脈脈衝為止。

可程式化延遲元件可藉由調整經程式化延遲同時監測rclk時脈信號1712之頻率而經組態。最初地，經程式化延遲可經初始設定至小於UI時間(傳輸一個符號所需要之時間)之值。因此，當最初接收到3相信號時，時脈回復電路可經組態以產生具有等於符號傳輸頻率的頻率之rclk時脈信號1712。接著使經程式化延遲之值漸進地增加直至rclk時脈信號1712之頻率被除以2、3或任何所要因數。

圖18說明可用於組態第一CDR電路1702之延遲元件之CDR校正電路1800的一項實例。CDR校正電路1800可由信號1812啟用，信號可由處理電路提供。CDR校正電路1800可包括用於驅動及/或調整ref_clk信號1714及校正時脈(cal_clk)信號1816之時序的調節邏輯1802。在一項實例中，ref_clk信號1714可自參考CDR電路(例如，第二CDR電路1704)、自由振盪振盪器、鎖相迴路或其他時脈產生電路導出。CDR校正電路1800可包括由ref_clk信號1714及cal_clk信號1816之經調節版本定時之計數器1804及1806。可藉由比較器邏輯1808監測計數器1804及1806之輸出，該比較器邏輯可判定ref_clk信號1714相對於cal_clk信號1816之頻率。一校正計數器1810可在連續校正循環期間經調整以控制CDR電路(例如，第一CDR電路1702)中之一或多個可程式化延遲元件。校正計數器1810可(舉例而言)取決於由比較器邏輯1808進行之判定而在每一校正循環之後遞增或遞減。比較器邏輯1808可使用上/下(up/down)信號1818、啟用計數器信號1820及校正循環時脈信號1822中之一或多者來控制校正計數器1810。

可使用計數器1804、1806來量測時脈頻率。計數器1804、1806可在預定時間週期內藉由ref_clk信號1714及cal_clk信號1814遞增，該預定時間週期可由(例如)校正循環時脈信號1824判定。第一計數器

1804可擷取對應於ref_clk信號1714之時脈循環數目(ref_val) 1816。在一些情況中，第一計數器可在初始化之後立即操作以擷取為全速率符號傳輸時脈之量度之ref_val 1816，且在一些情況中，此初始獲得的ref_val 1816可經暫存或以其他方式擷取以用於隨後校正循環。第二計數器1806計數在校正循環期間發生之時脈循環之數目(cal_val) 1818。校正循環可經組態為預定時間週期或可為可調整時間週期。針對每一校正循環，控制信號1716將延遲參數提供至經受校正之CDR電路1702，且可將所得cal_clk信號1814之頻率量測為由第二計數器1806在校準循環期間累積之cal_val 1818。在cal_val 1818反映作為時脈頻率除以所要因數之值時，組態完成且延遲參數之對應值可用於操作時脈回復電路。

圖19係說明使用可經組態以執行本文中所揭示之一或多個功能之處理電路1902的裝置之硬體實施之實例的概念圖1900。根據本發明之各種態樣，如本文中所揭示之元件、或元件之任何部分或元件之任何組合可使用處理電路1902來實施。處理電路1902可包括由硬體及軟體模組之某一組合控制之一或多個處理器1904。處理器1904之實例包括微處理器、微控制器、數位信號處理器(DSP)、場可程式化閘陣列(FPGA)、可程式化邏輯裝置(PLD)、狀態機、定序器、閘控邏輯、離散硬體電路以及經組態以執行貫穿本發明所闡述之各種功能性之其他適合硬體。一或多個處理器1904可包括執行特定功能且可由軟體模組1916中之一者組態、擴充或控制之專門處理器。一或多個處理器1904可經由在初始化期間載入的軟體模組1916之組合來組態，且藉由在操作期間載入或卸載一或多個軟體模組1916來進一步組態。

在所說明實例中，處理電路1902可藉助匯流排架構(通常由匯流排1910表示)來實施。取決於處理電路1902之特定應用及整體設計約束，匯流排1910可包括任一數目個互連匯流排及橋接器。匯流排1910

將包括一或多個處理器1904及儲存器1906之各種電路鏈接在一起。儲存器1906可包括記憶體器件及大容量儲存器件，且可在本文中被稱作電腦可讀媒體及/或處理器可讀媒體。匯流排1910亦可鏈接各種其他電路，諸如時序源、定時器、周邊器件、電壓調節器及功率管理電路。匯流排介面1908可在匯流排1910與一或多個收發器1912之間提供介面。收發器1912可經提供用於由處理電路支援之每一網路連接技術。在一些情況中，多種網路連接技術可共用收發器1912中發現之電路或處理模組中之一些或全部。每一收發器1912提供用於經由傳輸媒體與各種其他裝置通信的構件。取決於裝置之本質，使用者介面1918(例如，小鍵盤、顯示器、揚聲器、麥克風、操縱桿)亦可經提供，且可直接地或經由匯流排介面1908以通信方式耦接至匯流排1910。

處理器1904可負責管理匯流排1910及一般處理，該一般處理可包括儲存於可包括儲存器1906之電腦可讀媒體中之軟體之執行。在此方面中，處理電路1902(包括處理器1904)可用於實施本文中所揭示之方法、功能及技術中之任何者。儲存器1906可用於儲存在執行軟體時由處理器1904操縱之資料，且軟體可經組態以實施本文中所揭示之方法中之任一者。

處理電路1902中之一或多個處理器1904可執行軟體。無論稱作軟體、韌體、中間軟體、微碼、硬體描述語言抑或其他，軟體應廣泛地解釋為意指指令、指令集、碼、碼段、程式碼、程式、子程式、軟體模組、應用程式、軟體應用程式、軟體套件、常式、次常式、物件、可執行檔、執行緒、程序、函式、演算法等。軟體可以電腦可讀形式駐存在儲存器1906中或外部電腦可讀媒體中。外部電腦可讀媒體及/或儲存器1906可包括非暫時性電腦可讀媒體。藉由實例之方式，非暫時性電腦可讀媒體包括：磁性儲存器件(例如，硬碟、軟碟、磁條)、光碟(例如，緊湊光碟(CD)、數位通用光碟(DVD))、智慧卡、快

閃記憶體器件(例如，「隨身碟」、記憶卡、記憶棒、保密磁碟)、隨機存取記憶體(RAM)、ROM、PROM、可抹除PROM (EPROM)、EEPROM、暫存器、可抽換磁碟及用於儲存可由電腦存取及讀取之軟體及/或指令之任何其他適合媒體。藉由實例之方式，電腦可讀媒體及/或儲存器1906亦可包括載波、傳輸線路及適於傳輸可由電腦存取及讀取之軟體及/或指令的任何其他媒體。電腦可讀媒體及/或儲存器1906可駐留在處理電路1902中、在處理器1904中、在處理電路1902外部或跨越包括處理電路1902之多個實體分佈。電腦可讀媒體及/或儲存器1906可體現於電腦程式產品中。藉由實例之方式，電腦程式產品可包括封裝材料中之電腦可讀媒體。熟習此項技術者將認識到最佳實施貫穿本發明所呈現之所描述功能性的方式取決於特定應用及強加於整體系統上之整體設計約束。

儲存器1906可維持以可載入碼段、模組、應用程式、程式等等(其在本文中可稱作軟體模組1916)形式經維持及/或組織之軟體。軟體模組1916中之每一者可包括在安裝或載入於處理電路1902上且由一或多個處理器1904執行時促成可控制一或多個處理器1904之操作之執行階段映像1914的指令及資料。在被執行時，某些指令可致使處理電路1902根據本文中所描述之某些方法、演算法及程序執行功能。

可在處理電路1902之初始化期間載入軟體模組1916中的一些，且此等軟體模組1916可組態處理電路1902以實現本文中所揭示之各種功能之效能。舉例而言，一些軟體模組1916可組態處理器1904之內部器件及/或邏輯電路1922，且可管理對諸如收發器1912、匯流排介面1908、使用者介面1918、定時器、數學共處理器等等外部器件之存取。軟體模組1916可包括與中斷處置器及器件驅動器互動且控制對由處理電路1902提供之各種資源之存取的控制程式及/或作業系統。資源可包括記憶體、處理時間、對收發器1912之存取、使用者介面1918

等等。

處理電路1902之一或多個處理器1904可為多功能的，藉此軟體模組1916中之一些經載入且經組態以執行不同功能或相同功能之不同執行個體。一或多個處理器1904可另外經調適以管理回應於來自(例如)使用者介面1918、收發器1912及器件驅動器之輸入而起始之背景任務。為了支援多個功能之執行，一或多個處理器1904可經組態以提供多任務環境，藉此複數個功能中之每一者被視需要或期望實施為由一或多個處理器1904伺服之任務集。在一項實例中，多任務環境可使用在不同任務之間傳遞對處理器1904之控制之分時程式1920來實施，藉此每一任務在任何未完成操作之完成時及/或回應於諸如中斷之輸入而將對一或多個處理器1904之控制傳回至分時程式1920。當任務具有對一或多個處理器1904之控制時，處理電路有效地專門用於由與控制任務相關聯之功能解決之用途。分時程式1920可包括作業系統、在循環配置資源基礎上傳送控制之主迴路、根據功能之優先次序分配對一或多個處理器1904之控制之功能，及/或藉由將對一或多個處理器1904之控制提供至處置功能來對外部事件作出回應之中斷驅動主迴路。

圖20為可由耦接至C-PHY 3相介面之裝置中之接收器電路執行之資料通信之方法之流程圖2000。

在區塊2002處，接收器電路可組態第一時脈回復電路以提供具有第一頻率且針對在3線、3相介面上傳輸之每一符號包括單個脈衝之時脈信號。

在區塊2004處，接收器電路可校正第一時脈回復電路。接收器電路可(舉例而言)初始化第一時脈回復電路之延遲週期。延遲週期可由第一時脈回復電路中之延遲元件提供。

在區塊2006處，接收器電路可漸進地增加由第一時脈回復電路

之延遲元件提供之延遲週期直至由第一時脈回復電路提供之時脈信號具有小於第一頻率的頻率。

在區塊2008處，接收器電路可比較時脈信號之當前頻率與第一頻率。若頻率相等，則接收器電路可執行區塊2006處之另一校正循環。若頻率不相等，使得第一時脈回復電路具有小於第一頻率的頻率，那麼接收器電路可繼續進行至區塊2010。

在區塊2010處，接收器電路可漸進地減少由第一時脈回復電路之延遲元件提供之延遲週期直至由第一時脈回復電路提供之時脈信號具有匹配第一頻率的頻率。

第一時脈回復電路之延遲元件可控制與脈衝產生循環相關聯的迴路延遲，該脈衝產生循環用於回應於3線、3相介面上傳輸之每一符號之發信狀態的第一所偵測到轉變而產生脈衝。在脈衝產生循環期間可抑制發信狀態之其他轉變之偵測。

在一些情況中，漸進地增加延遲週期包括：增加延遲週期直至由第一時脈回復電路提供之時脈信號具有為第一頻率的一半之頻率。

在一些實例中，第二時脈回復電路經組態以提供用於校正第一時脈回復電路之參考信號。參考信號可具有匹配或對應於第一頻率的頻率。第二時脈回復電路可藉由針對自3線、3相介面接收之符號串流中之每一符號產生單個脈衝來提供參考信號。校正第一時脈回復電路可包括：在複數個校正循環中之每一者期間比較時脈信號及參考信號之頻率，在時脈信號具有大於參考信號之頻率的頻率時增加延遲週期，在時脈信號具有小於參考信號之頻率的頻率時減少延遲週期，及在時脈信號具有等於參考信號之頻率的頻率時終止複數個校正循環。

校正第一時脈回復電路可包括組態延遲元件以提供初始延遲週期。在一項實例中，延遲週期可經由複數個校正循環增加直至從自3線、3相介面接收之符號成功地解碼串接序列。在另一實例中，延遲

週期可經由複數個校正循環減少直至從自3線、3相介面接收之符號成功地解碼串接序列。

圖21係說明使用處理電路2102之裝置2100之硬體實施之實例的圖。處理電路通常具有處理器2116，其可包括微處理器、微控制器、數位信號處理器、定序器及狀態機中之一或多者。處理電路2102可藉助匯流排架構(通常由匯流排2120表示)來實施。取決於處理電路2102之特定應用及整體設計約束，匯流排2120可包括任一數目個互連匯流排及橋接器。匯流排2120將各種電路鏈接在一起，該等電路包括一或多個處理器及/或硬體模組(由處理器2116表示)、模組或電路2104、2106、2108及2110，可判定不同對之連接器或線2114之間的差異發信狀態之差異接收器電路2112以及電腦可讀儲存媒體2118。匯流排2120亦可鏈接各種其他電路，諸如時序源、周邊器件、電壓調節器及功率管理電路，該等電路在此項技術中係眾所周知的，且因此，將不進一步描述。

處理器2116負責一般處理，包括儲存在電腦可讀儲存媒體2118上之軟體之執行。軟體在由處理器2116執行時致使處理電路2102執行上文針對任何特定裝置所描述之各種功能。電腦可讀儲存媒體2118亦可用於儲存在執行軟體時由處理器2116操縱之資料，包括自經由連接器或線2114傳輸之符號解碼之資料，該等連接器或線2114可經組態為資料單工通道及時脈單工通道。處理電路2102進一步包括模組2104、2106、2108及2110中之至少一者。模組2104、2106、2108及2110可為在處理器2116中執行、駐留/儲存於電腦可讀媒體2118中之軟體模組、耦接至處理器2116之一或多個硬體組件，或其某一組合。模組2104、2106、2108及/或2110可包括微控制器指令、狀態機組態參數或其某一組合。

在一個組態中，裝置2100可經組態用於經由C-PHY 3相介面進行

資料通信。裝置2100可包括：模組及/或電路2104，其經組態以自嵌入於在連接器或線2114上傳輸之符號序列中之時序資訊回復時脈信號；模組及/或電路2106，其用於產生參考信號；及模組及/或電路2108，其可校正時脈回復模組及/或電路2104。

裝置2100可經組態用於各種操作模式。在一項實例中，時脈回復模組及/或電路2104可經調適以提供第一時脈信號，該第一時脈信號針對在3線、3相介面上以第一頻率傳輸之每一符號包括脈衝，校正模組及/或電路2110可經調適以校正時脈回復電路之迴路延遲，時脈產生模組及/或電路2106可經調適以提供第二時脈信號，且符號擷取模組及/或電路2108可經調適以使用第一時脈信號及第二時脈信號自3線、3相介面擷取符號。在一個操作模式中，校正模組及/或電路2110修改第一時脈信號以具有不超過第一頻率的一半之第二頻率。在第一操作模式中，時脈回復模組及/或電路2104針對整數數目個符號中之第一者產生第一時脈信號中之脈衝，且針對整數數目個符號中之其他符號抑制脈衝產生。第二時脈信號可包括對應於整數數目個符號中之其他符號中之每一者的脈衝。

在一些情況中，迴路延遲對應於用於回應於3線、3相介面之發信狀態之第一所偵測到轉變而產生脈衝的脈衝產生循環。在脈衝產生循環期間可抑制3線、3相介面之發信狀態之其他轉變之偵測。校正模組及/或電路2110可經組態以程式化可程式化延遲電路。

在一項實例中，第一頻率為第二頻率的兩倍，且第二時脈信號針對第一時脈信號中之每一脈衝包括一個脈衝。第二時脈信號可相對於第一時脈信號相移180度。在另一實例中，第二頻率為第一頻率的三分之一，且第二時脈信號針對第一時脈信號中之每一脈衝包括兩個脈衝。在另一實例中，第二頻率為第一頻率的四分之一，且第二時脈信號針對第一時脈信號中之每一脈衝包括三個脈衝。

在一些情況中，校正模組及/或電路2110經調適以致使第一電路從自3線、3相介面接收之符號串流回復參考時脈信號，藉由在複數個校正循環中之每一者期間比較參考時脈信號與第一時脈信號之頻率來確定第一時脈信號之當前頻率，在判定當前頻率大於第二頻率時增加迴路延遲，在判定當前頻率小於第二頻率時減少迴路延遲，及在判定當前頻率等於第二頻率時終止複數個校正循環。參考時脈信號可具有對應於符號串流之傳輸速率之頻率。

應理解，所揭示之程序中之步驟之特定次序或階層係對例示性方法之說明。基於設計偏好，應理解，可重新配置程序中之步驟之特定次序或階層。此外，一些步驟可經組合或省略。所附方法請求項以樣本次序呈現各種步驟之要素，且並不意欲限於所呈現之特定次序或階層。

提供先前描述以使得熟習此項技術者能夠實踐本文中所描述之各種態樣。熟習此項技術者將容易明瞭對此等態樣之各種修改，且本文中所定義之一般原理可適用於其他態樣。因此，申請專利範圍並不意欲限於本文中所展示之態樣，而是欲賦予其與申請專利範圍之語言一致之全部範疇，其中以單數形式對元件之提及並不意欲意味著「一個且僅一個」(除非明確地如此陳述)，而是「一或多個」。除非另有明確地陳述，否則術語「一些」係指一或多個。為熟習此項技術者已知或稍後將知曉之貫穿本發明所描述之各種態樣中之元件的所有結構及功能等效物以引用的方式確切地併入本文中且意欲由申請專利範圍囊括。此外，本文中所揭示之任何內容皆不意欲奉獻於公眾而不論此揭示內容是否在申請專利範圍中予以明確地敘述。任何請求項元件不應被認作構件加功能，除非該元件係使用片語「用於...之構件」來予以明確地敘述。

【符號說明】

100	裝置
102	處理電路
106	通信收發器
108	特殊應用積體電路(ASIC)
110	應用程式設計介面(API)
112	記憶體器件
114	本端資料庫
122	天線
124	顯示器
126	鍵盤
128	按鈕
200	裝置
202	IC器件/第一IC器件
204	無線收發器
206	處理器
208	儲存媒體
210	實體層驅動器/ N相位極性編碼器件
212	內部匯流排
214	天線
220	通信鏈路
222	頻道/前向頻道
224	頻道/反向頻道
226	頻道/雙向頻道
230	IC器件/第二IC器件
232	顯示控制器
234	攝影機控制器

236	處理器
238	儲存媒體
240	實體層驅動器/N相位極性編碼器件
242	內部匯流排
300	示意圖
302	映射器
304	並行對串行轉換器
306	3線3相編碼器
308	線路驅動器
310	信號線
310a	信號線
310b	信號線
310c	信號線
312	符號
314	符號
316a	信號
316b	信號
316c	信號
400	時序圖
402	曲線
404	曲線
406	曲線
408	極性
410	相位轉變
412	位元值
414	時間

450	循環狀態圖
452	順時針方向
452'	順時針方向
454	逆時針方向
454'	逆時針方向
500	狀態圖
502	狀態
504	狀態
506	狀態
512	狀態
514	狀態
516	狀態
520	狀態元件
600	3線、3相解碼器
602	差動接收器
604	線狀態解碼器
606	串行對並行轉換器
608	解映射器
610	先進先出(FIFO)暫存器
614	符號
624	時脈與資料回復(CDR)電路
626	時脈
700	時序圖
702	第一符號 Sym_n
704	第二符號 Sym_{n+1}
706	第三符號 Sym_{n+2}

708	第四符號 Sym_{n+3}
712	延遲
714	延遲
716	延遲
718	臨限電壓
720	臨限電壓
722	時間
724	第二符號 Sym_{n+1}
726	時間
800	方塊示意圖
802a	差動接收器
802b	差動接收器
802c	差動接收器
804	轉變偵測電路
806	時脈產生電路
808	接收時脈信號
810	差異信號
822	標記
824	標記
826	標記
830	符號擷取窗
830a	可變擷取窗
830b	可變擷取窗
830c	可變擷取窗
830d	可變擷取窗
830e	可變擷取窗

830f	可變擷取窗
830g	可變擷取窗
900	時序圖/第一時序圖
902	時序圖
904	時序圖
906	時序圖
920	時序圖/第二時序圖
922	時序圖
924	+1差
926	-2差
928	+1差
930	-2差
932	時序圖
934	+2差
936	-1差
938	時序圖
940	+2差
942	-1差
1000	眼圖
1002	符號間隔
1004	信號轉變區
1006	眼遮罩
1100	眼圖
1102	符號間隔
1104	信號轉變區
1106	眼開口

1108	符號間隔邊界
1112	結束
1114	符號間隔邊界
1116	時間
1120	電壓位準
1122	電壓位準/弱電壓位準
1124	電壓位準/弱電壓位準
1126	電壓位準/強電壓位準
1128	電壓位準/強電壓位準
1130	觸發器
1200	CDR電路
1202	差異信號
1204	差異信號
1206	差異信號
1208a	反相器
1208b	反相器
1208c	反相器
1210a	D正反器
1210b	D正反器
1210c	D正反器
1212	「或」閘
1214	可程式化延遲元件
1216	反相器
1218	延遲或對準邏輯
1220	正反器
1222	RxCLK信號

1224	穩定輸出符號
1226	設定信號
1228	重設信號(rb)
1230a	輸出信號/第一正反器之輸出(r_AB)
1230b	輸出信號/第二正反器之輸出(f_AB)
1230c	輸出信號
1230d	輸出信號
1230e	輸出信號
1230f	輸出信號
1232	第一D正反器
1234	第二D正反器
1302	單位間隔(UI)
1304	偏斜時間(t_{skew})
1310	可程式化延遲(t_{pgm})
1312	重設延遲(t_{rst})
1314	傳播延遲(t_{ck2q})
1316	傳播延遲(t_{OR_0})
1318	傳播延遲(t_{OR_1})
1320	迴路時間(t_{loop})
1400	時序圖
1402	UI
1404	t_{skew}
1406	t_{loop}
1408	時脈脈衝
1410	時脈脈衝
1412	第一發生轉變

1414	第二轉變
1500	時序圖
1502	UI
1506	t_{loop}
1508	時脈脈衝
1510	預期脈衝
1512	第二UI
1514	第一發生轉變
1516	轉變
1518	轉變
1600	時序圖
1602	UI
1604	t_{loop} 持續時間
1606	差(UI- t_{loop})
1612	t_{skew}
1700	時脈回復電路
1702	CDR電路
1704	CDR電路
1706	CDR校正邏輯
1710	輸入
1712	rclk時脈信號
1714	第二時脈信號/ref_clk信號/ ref_clk時脈信號
1716	多位元控制信號
1800	CDR校正電路
1802	調節邏輯
1804	計數器

1806	計數器
1808	比較器邏輯
1810	校正計數器
1812	信號
1814	cal_clk信號
1816	時脈(cal_clk)信號/時脈循環(ref_val)
1818	上數/下數信號/cal_val
1820	啟用計數器信號
1822	校正循環時脈信號
1824	校正循環時脈信號
1900	概念圖
1902	處理電路
1904	處理器
1906	儲存器
1908	匯流排介面
1910	匯流排
1912	收發器
1914	執行階段映像
1916	軟體模組
1918	使用者介面
1920	分時程式
1922	邏輯電路
2000	流程圖
2002	區塊
2004	區塊
2006	區塊

2008	區塊
2010	區塊
2100	裝置
2102	處理電路
2104	模組或電路
2106	模組或電路
2108	模組或電路
2112	差異接收器電路
2114	連接器或線
2116	處理器
2118	電腦可讀儲存媒體
2120	匯流排

申請專利範圍

1. 一種資料通信之方法，其包含：

組態一第一時脈回復電路以提供具有一第一頻率且針對在一3線、3相介面上傳輸之每一符號包括一單個脈衝之一時脈信號；及藉由以下來校正該第一時脈回復電路：

漸進地增加由該第一時脈回復電路之一延遲元件提供之一延遲週期直至由該第一時脈回復電路提供之該時脈信號具有小於該第一頻率的一頻率為止；且

當該第一時脈回復電路具有小於該第一頻率的一頻率時，漸進地減少由該第一時脈回復電路之該延遲元件提供之該延遲週期直至由該第一時脈回復電路提供之該時脈信號具有匹配該第一頻率的一頻率為止，

其中該第一時脈回復電路之該延遲元件控制與一脈衝產生循環相關聯之一迴路延遲，該脈衝產生循環用於回應於針對在該3線、3相介面上傳輸之每一符號之發信狀態之一第一所偵測到轉變而產生一脈衝，且

其中在該脈衝產生循環期間抑制偵測發信狀態之其他轉變。

2. 如請求項1之方法，其中漸進地增加該延遲週期包含：

增加該延遲週期直至由該第一時脈回復電路提供之該時脈信號具有為該第一頻率的一半之一頻率為止。

3. 如請求項1之方法，其進一步包含：

組態一第二時脈回復電路以提供用於該校正該第一時脈回復電路之一參考信號，其中該參考信號具有匹配該第一頻率的一頻率。

4. 如請求項3之方法，其中該第二時脈回復電路藉由針對自該3

線、3相介面接收之一符號串流中之每一符號產生一單個脈衝來提供該參考信號。

5. 如請求項3之方法，其中校正該第一時脈回復電路包含：

在複數個校正循環中之每一者期間比較該時脈信號與該參考信號之頻率；

當該時脈信號具有大於該參考信號之該頻率的一頻率時增加該延遲週期；

當該時脈信號具有小於該參考信號之該頻率的一頻率時減少該延遲週期；及

當該時脈信號具有等於該參考信號之該頻率的一頻率時終止該複數個校正循環。

6. 如請求項1之方法，其中校正該第一時脈回復電路包含：

組態該延遲元件以提供一初始延遲週期；及

經由複數個校正循環增加該初始延遲週期直至從自該3線、3相介面接收之符號成功地解碼一串接序列為止。

7. 如請求項1之方法，其中校正該第一時脈回復電路包含：

組態該延遲元件以提供一初始延遲週期；及

經由複數個校正循環減少該初始延遲週期直至從自該3線、3相介面接收之符號成功地解碼一串接序列為止。

8. 一種用於資料通信之裝置，其包含：

用於自一3線、3相介面回復信號的構件，其包括一第一時脈回復電路；

用於組態該第一時脈回復電路以提供具有一第一頻率且針對在該3線、3相介面上傳輸之每一符號包括一單個脈衝之一時脈信號的構件；及

用於校正該第一時脈回復電路的構件，其經組態以：

漸進地增加由該第一時脈回復電路之一延遲元件提供之一延遲週期直至由該第一時脈回復電路提供之該時脈信號具有小於該第一頻率的一頻率為止；且

當該第一時脈回復電路具有小於該第一頻率的一頻率時，漸進地減少由該第一時脈回復電路之該延遲元件提供之該延遲週期直至由該第一時脈回復電路提供之該時脈信號具有匹配該第一頻率的一頻率為止，

其中該第一時脈回復電路之該延遲元件控制與一脈衝產生循環相關聯之一迴路延遲，該脈衝產生循環用於回應於針對在該3線、3相介面上傳輸之每一符號之發信狀態之一第一所偵測到轉變產生一脈衝，且其中在該脈衝產生循環期間抑制偵測發信狀態之其他轉變。

9. 如請求項8之裝置，其中用於校正該第一時脈回復電路的該構件經組態以：

漸進地增加該延遲週期直至由該第一時脈回復電路提供之該時脈信號具有為該第一頻率的一半之一頻率為止。

10. 如請求項8之裝置，其中用於自該3線、3相介面回復信號的該構件包括一第二時脈回復電路，且進一步包含：

用於組態該第二時脈回復電路以提供用於該校正該第一時脈回復電路之一參考信號的構件，其中該參考信號具有匹配該第一頻率的一頻率。

11. 如請求項10之裝置，其中該第二時脈回復電路經組態以藉由針對自該3線、3相介面接收之一符號串流中之每一符號產生一單個脈衝來提供該參考信號。

12. 如請求項10之裝置，其中用於校正該第一時脈回復電路的該構件經組態以：

在複數個校正循環中之每一者期間比較該時脈信號與該參考信號之頻率；

當該時脈信號具有大於該參考信號之該頻率的一頻率時增加該延遲週期；

當該時脈信號具有小於該參考信號之該頻率的一頻率時減少該延遲週期；及

當該時脈信號具有等於該參考信號之該頻率的一頻率時終止該複數個校正循環。

13. 如請求項8之裝置，其中用於校正該第一時脈回復電路的該構件經組態以：

組態該延遲元件以提供一初始延遲週期；及

經由複數個校正循環增加該初始延遲週期直至從自該3線、3相介面接收之符號成功地解碼一串接序列為止。

14. 如請求項8之裝置，其中用於校正該第一時脈回復電路的該構件經組態以：

組態該延遲元件以提供一初始延遲週期；及

經由複數個校正循環減少該初始延遲週期直至從自該3線、3相介面接收之符號成功地解碼一串接序列為止。

15. 一種資料通信之方法，其包含：

組態一第一時脈回復電路以提供具有一第一頻率且針對在一3線、3相介面上傳輸之每一符號包括一單個脈衝之一時脈信號；及藉由以下來校正該第一時脈回復電路：

漸進地減少由該第一時脈回復電路之一延遲元件提供之一延遲週期直至由該第一時脈回復電路提供之該時脈信號具有大於該第一頻率的一頻率為止；且

當該第一時脈回復電路具有大於該第一頻率的一頻率時，

漸進地增加由該第一時脈回復電路之該延遲元件提供之該延遲週期直至由該第一時脈回復電路提供之該時脈信號具有匹配該第一頻率的一頻率為止；

其中該第一時脈回復電路之該延遲元件控制與一脈衝產生循環相關聯之一迴路延遲，該脈衝產生循環用於回應於針對在該3線、3相介面上傳輸之每一符號之發信狀態之一第一所偵測到轉變而產生一脈衝，且

其中在該脈衝產生循環期間抑制偵測發信狀態之其他轉變。

16. 如請求項15之方法，其中漸進地減少該延遲週期包含：

減少該延遲週期直至由該第一時脈回復電路提供之該時脈信號具有為該第一頻率的兩倍之一頻率為止。

17. 如請求項15之方法，其進一步包含：

組態一第二時脈回復電路以提供用於該校正該第一時脈回復電路之一參考信號，其中該參考信號具有匹配該第一頻率的一頻率。

18. 如請求項17之方法，其中該第二時脈回復電路藉由針對自該3線、3相介面接收之一符號串流中之每一符號產生一單個脈衝來提供該參考信號。

19. 如請求項17之方法，其中校正該第一時脈回復電路包含：

在複數個校正循環中之每一者期間比較該時脈信號與該參考信號之頻率；

當該時脈信號具有大於該參考信號之該頻率的一頻率時增加該延遲週期；

當該時脈信號具有小於該參考信號之該頻率的一頻率時減少該延遲週期；及

當該時脈信號具有等於該參考信號之該頻率的一頻率時終止

該複數個校正循環。

20. 如請求項15之方法，其中校正該第一時脈回復電路包含：

組態該延遲元件以提供一初始延遲週期；及

經由複數個校正循環增加該初始延遲週期直至從自該3線、3相介面接收之符號成功地解碼一串接序列為止。

21. 如請求項15之方法，其中校正該第一時脈回復電路包含：

組態該延遲元件以提供一初始延遲週期；及

經由複數個校正循環減少該初始延遲週期直至從自該3線、3相介面接收之符號成功地解碼一串接序列為止。

22. 一種用於資料通信之裝置，其包含：

複數個差異接收器，其耦接至一3線匯流排；

一第一時脈回復電路，其經組態以提供包括對應於在一3線、3相介面上以一第一頻率在一符號串流中傳輸之符號之脈衝之一時脈信號；及

一處理電路，其經組態以藉由以下來校正該第一時脈回復電路：

漸進地減少由該第一時脈回復電路之一延遲元件提供之一延遲週期直至由該第一時脈回復電路提供之該時脈信號具有大於該第一頻率的一頻率為止；且

當該第一時脈回復電路具有大於該第一頻率的一頻率時，漸進地增加由該第一時脈回復電路之該延遲元件提供之該延遲週期直至由該第一時脈回復電路提供之該時脈信號具有匹配該第一頻率的一頻率為止，

其中該第一時脈回復電路之該延遲元件控制與一脈衝產生循環相關聯之一迴路延遲，該脈衝產生循環用於回應於針對在該3線、3相介面上傳輸之每一符號之發信狀態之一第一所偵測到轉

變產生一脈衝，且

其中在該脈衝產生循環期間抑制偵測發信狀態之其他轉變。

23. 如請求項22之裝置，其中該處理電路經組態以藉由以下來校正該第一時脈回復電路：

減少該延遲週期直至由該第一時脈回復電路提供之該時脈信號具有為該第一頻率的兩倍之一頻率為止。

24. 如請求項22之裝置，其進一步包含：

一第二時脈回復電路，其經組態以提供處於該第一頻率之一參考信號，其中該參考信號用於該校正該第一時脈回復電路。

25. 如請求項24之裝置，其中該第二時脈回復電路經組態以藉由針對自該3線、3相介面接收之一符號串流中之每一符號產生一單個脈衝來提供該參考信號。

26. 如請求項24之裝置，其中該處理電路經組態以藉由以下來校正該第一時脈回復電路：

在複數個校正循環中之每一者期間比較該時脈信號與該參考信號之頻率；

當該時脈信號具有大於該參考信號之該頻率的一頻率時增加該延遲週期；

當該時脈信號具有小於該參考信號之該頻率的一頻率時減少該延遲週期；及

當該時脈信號具有等於該參考信號之該頻率的一頻率時終止該複數個校正循環。

27. 如請求項22之裝置，該處理電路經組態以藉由以下來校正該第一時脈回復電路：

組態該延遲元件以提供一初始延遲週期；及

經由複數個校正循環增加該初始延遲週期直至從自該3線、3

相介面接收之符號成功地解碼一串接序列為止。

28. 如請求項22之裝置，該處理電路經組態以藉由以下來校正該第一時脈回復電路：

組態該延遲元件以提供一初始延遲週期；及

經由複數個校正循環減少該初始延遲週期直至從自該3線、3相介面接收之符號成功地解碼一串接序列為止。

圖式

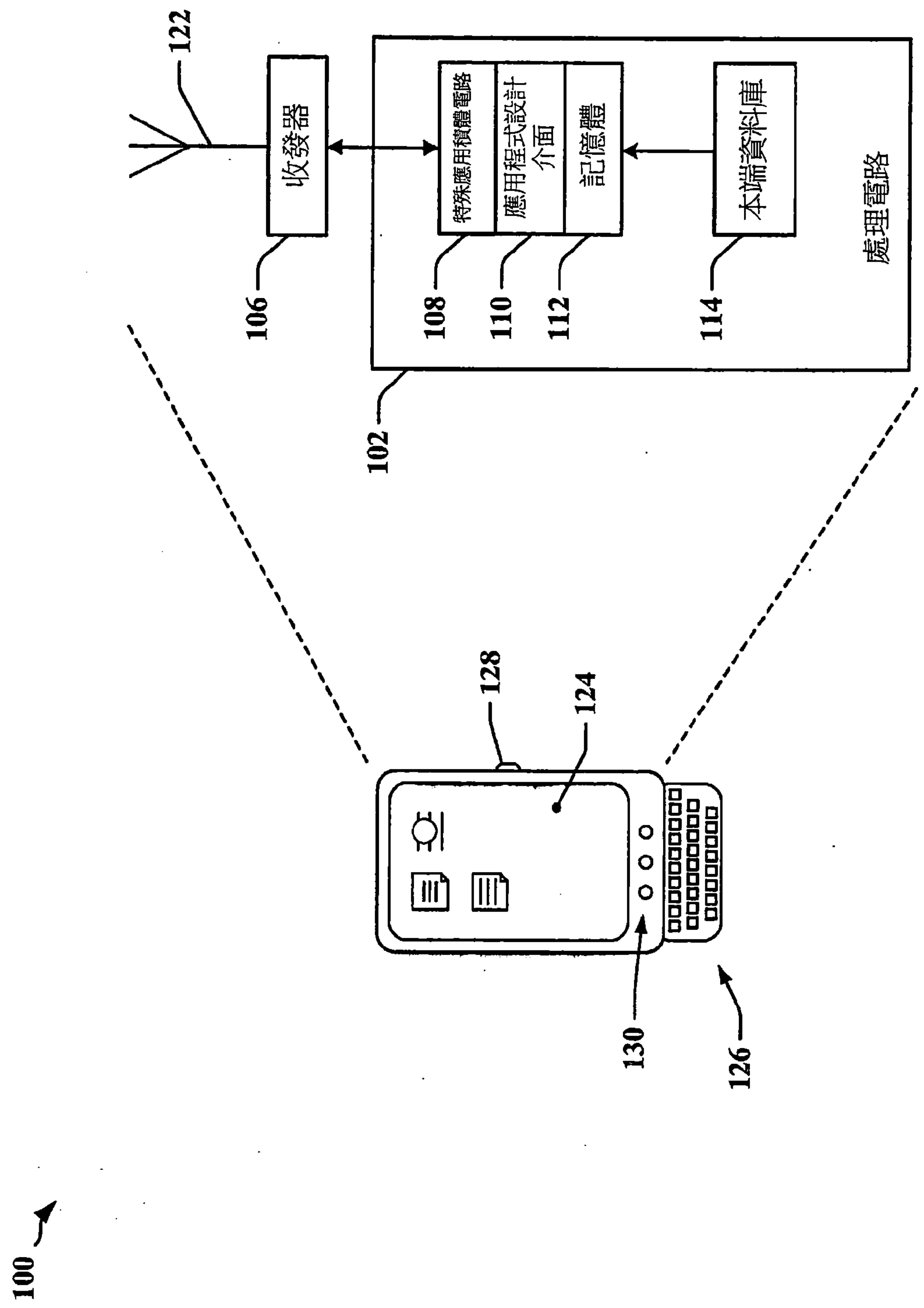


圖1

200 →

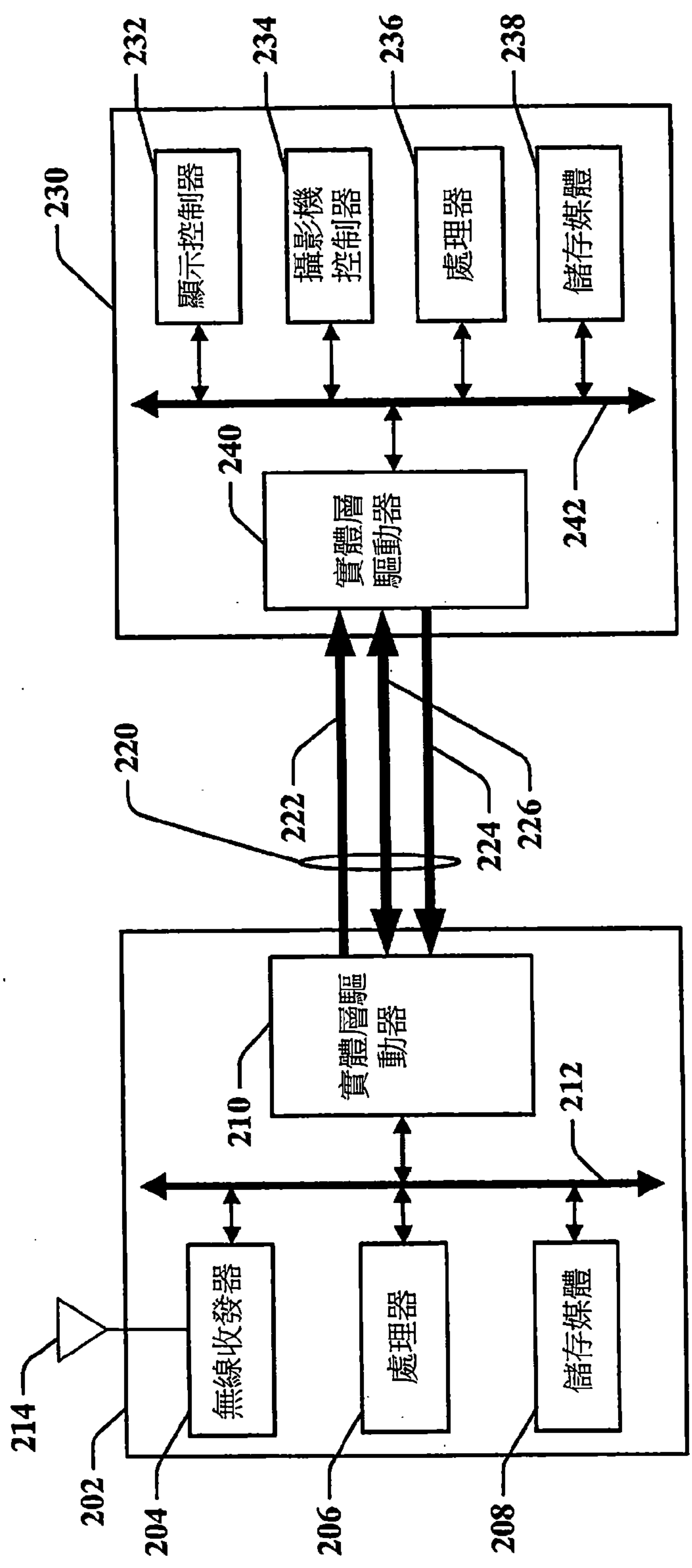


圖2

300 →

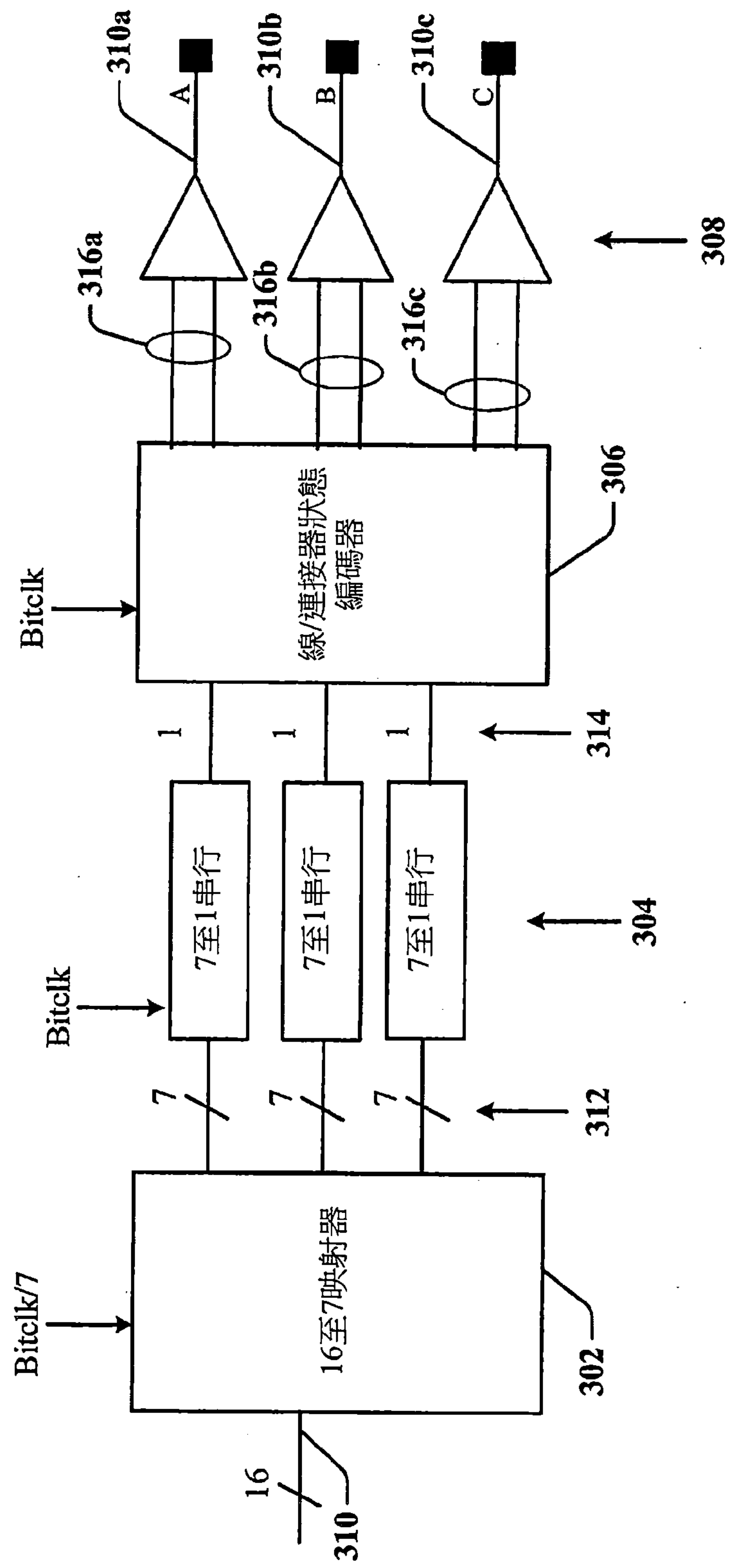


圖3

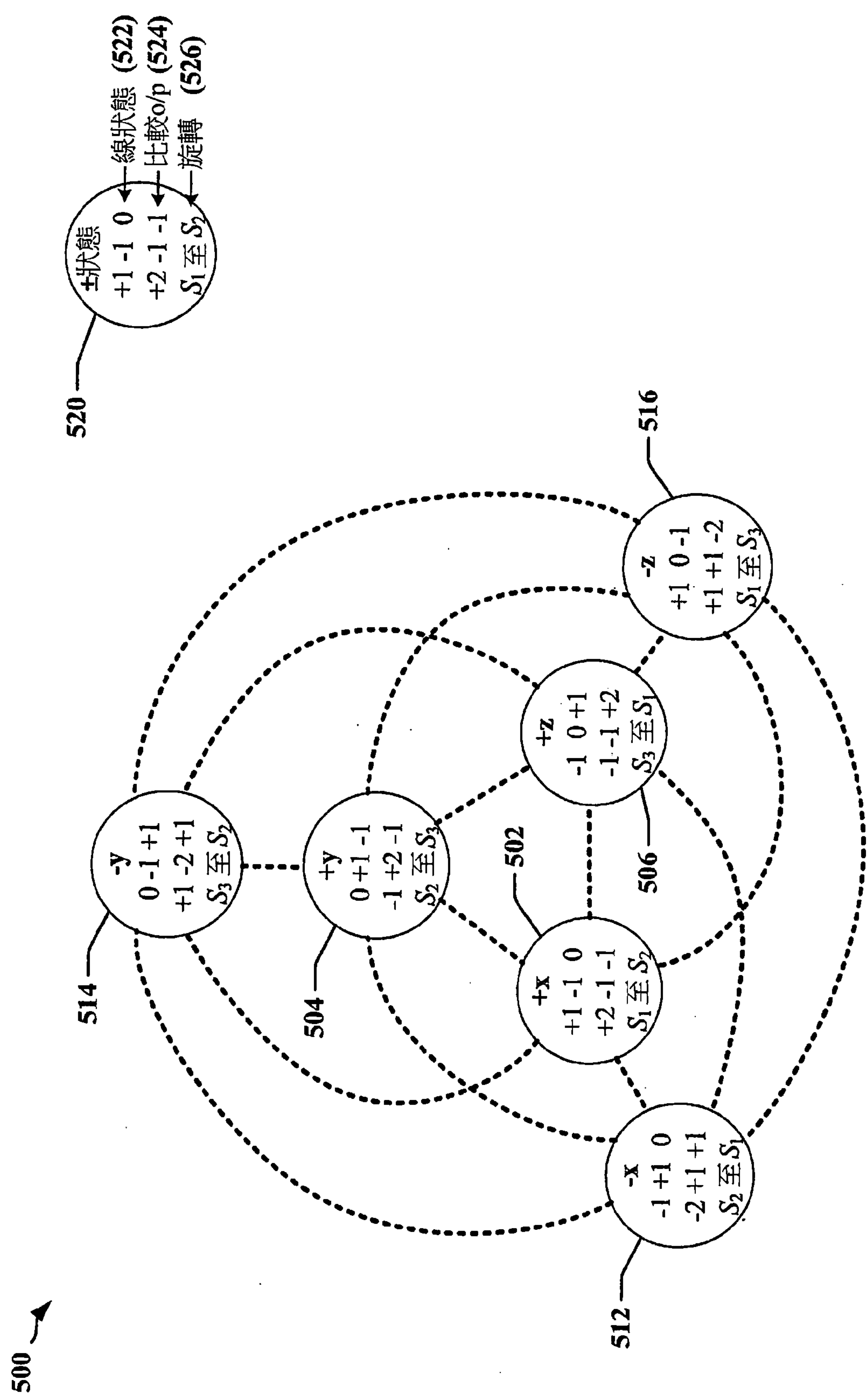


圖5

600 →

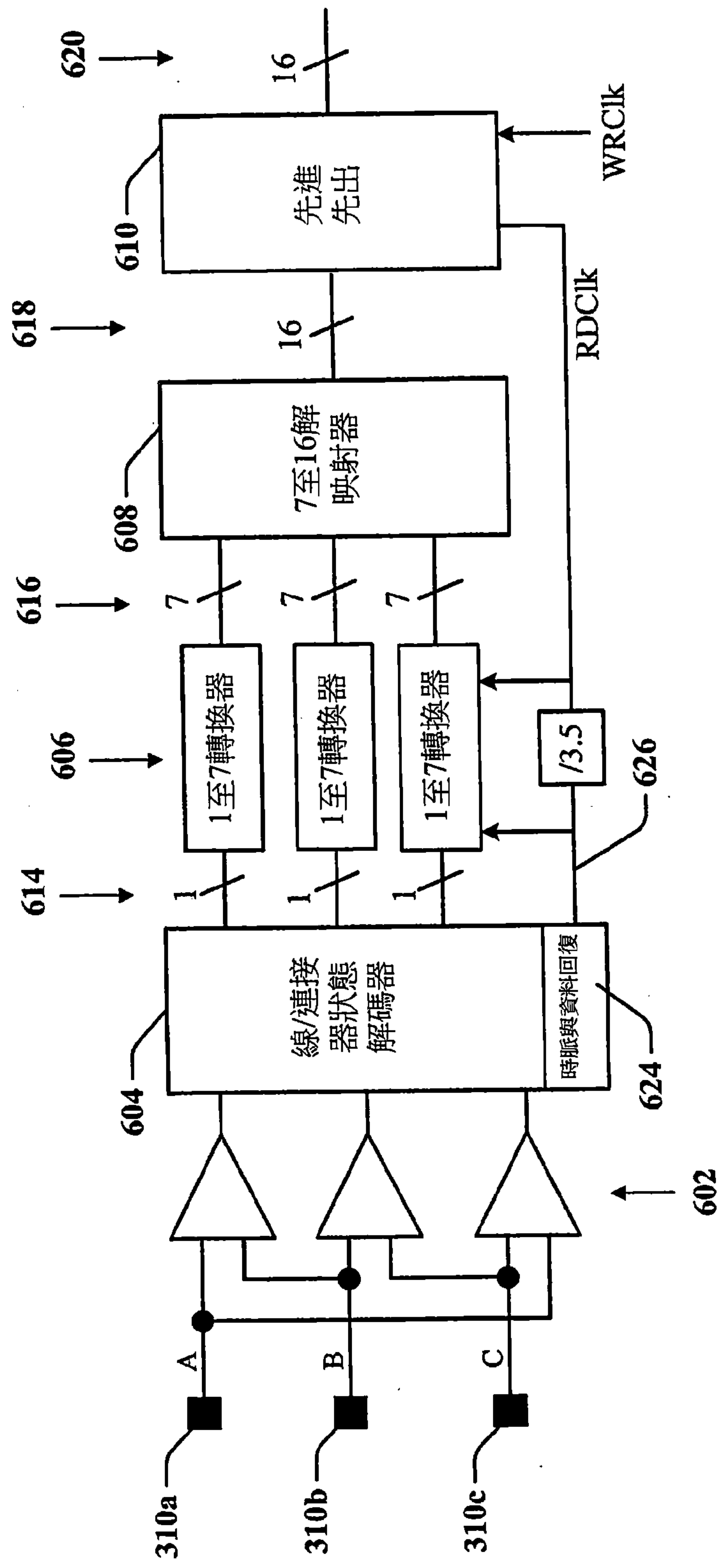


圖6

700 →

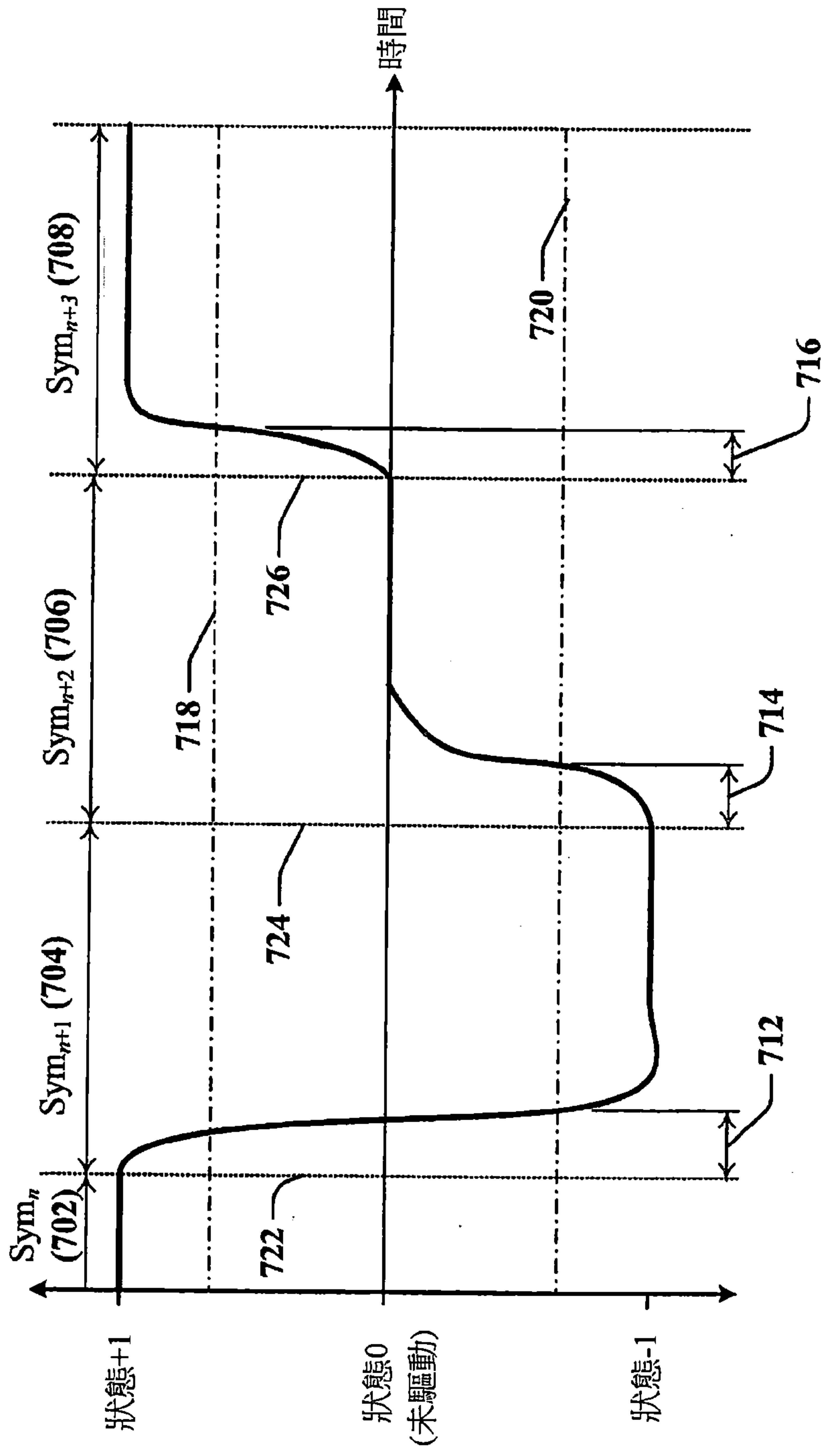
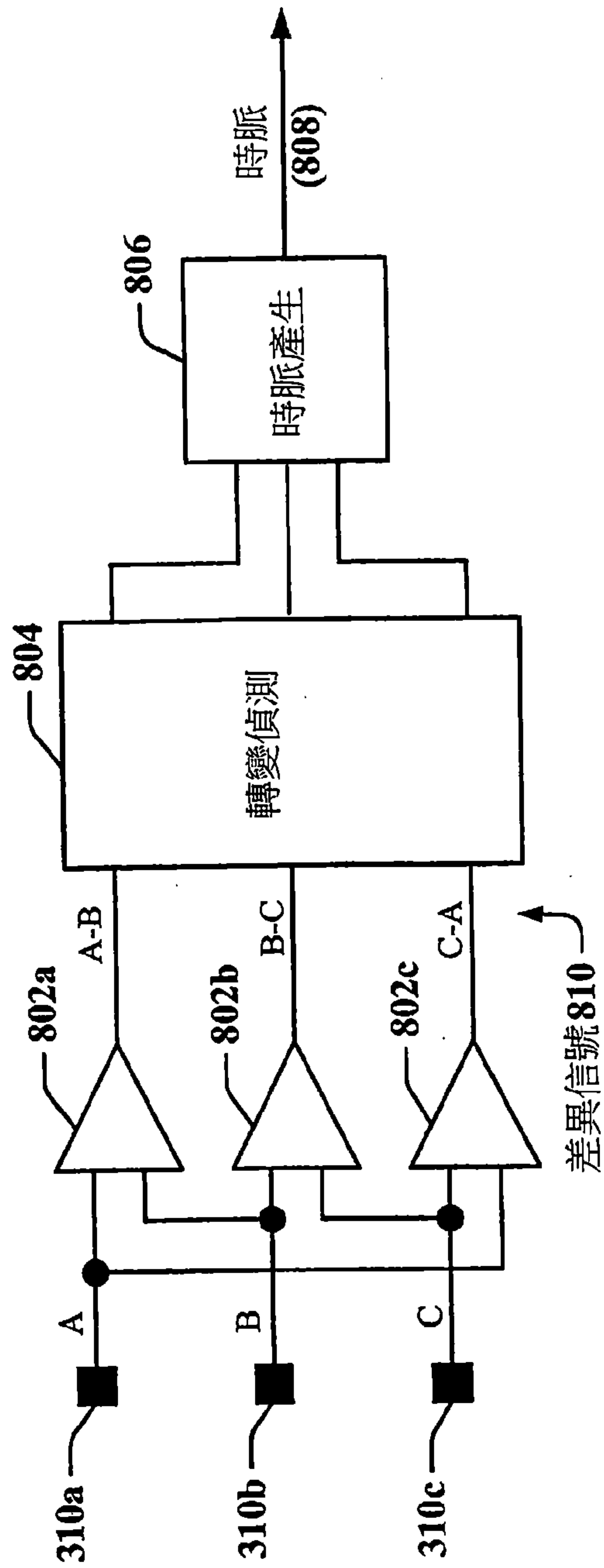


圖7

800 →



800 →

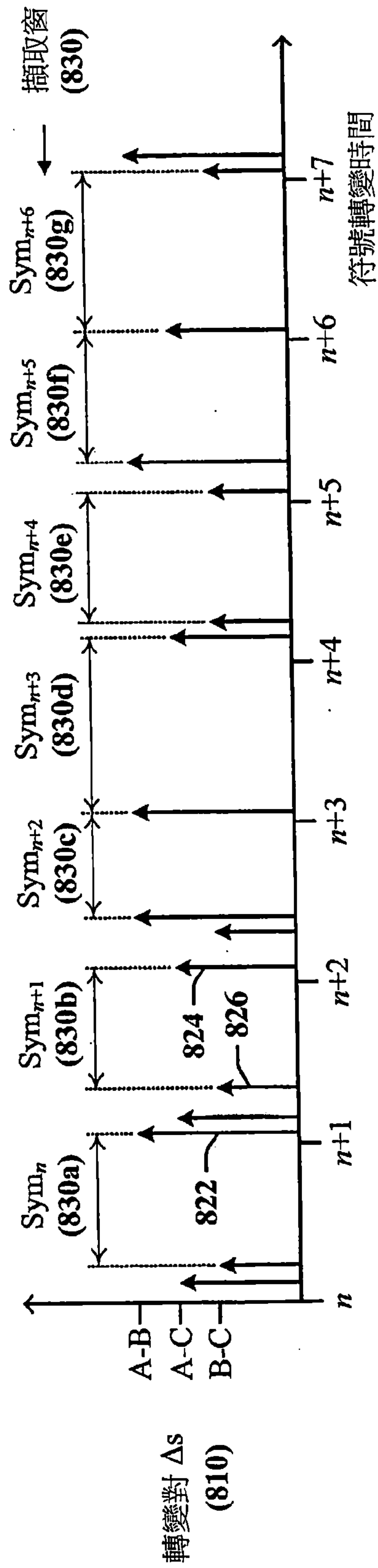


圖8

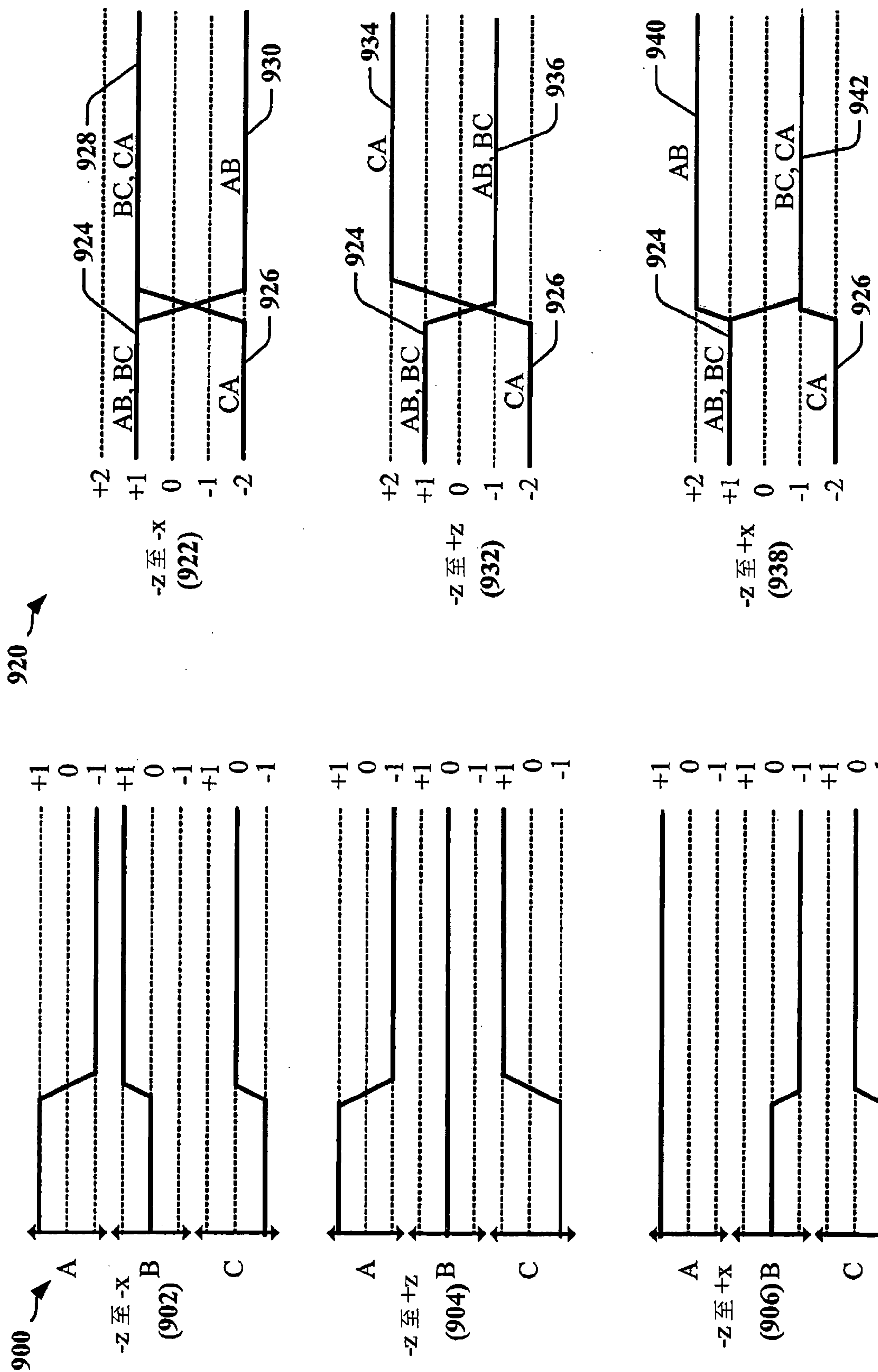


圖9

1000 ↗

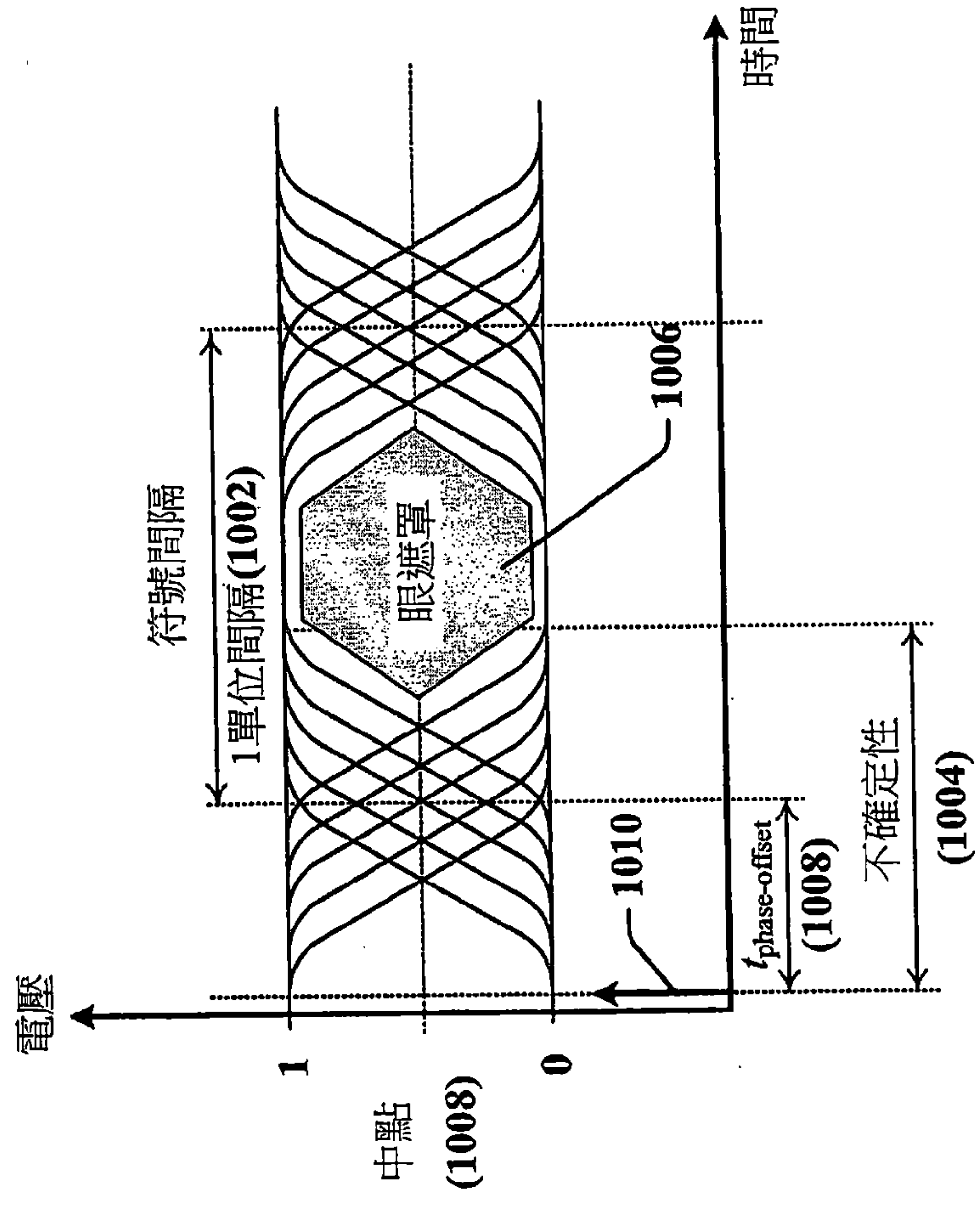


圖10

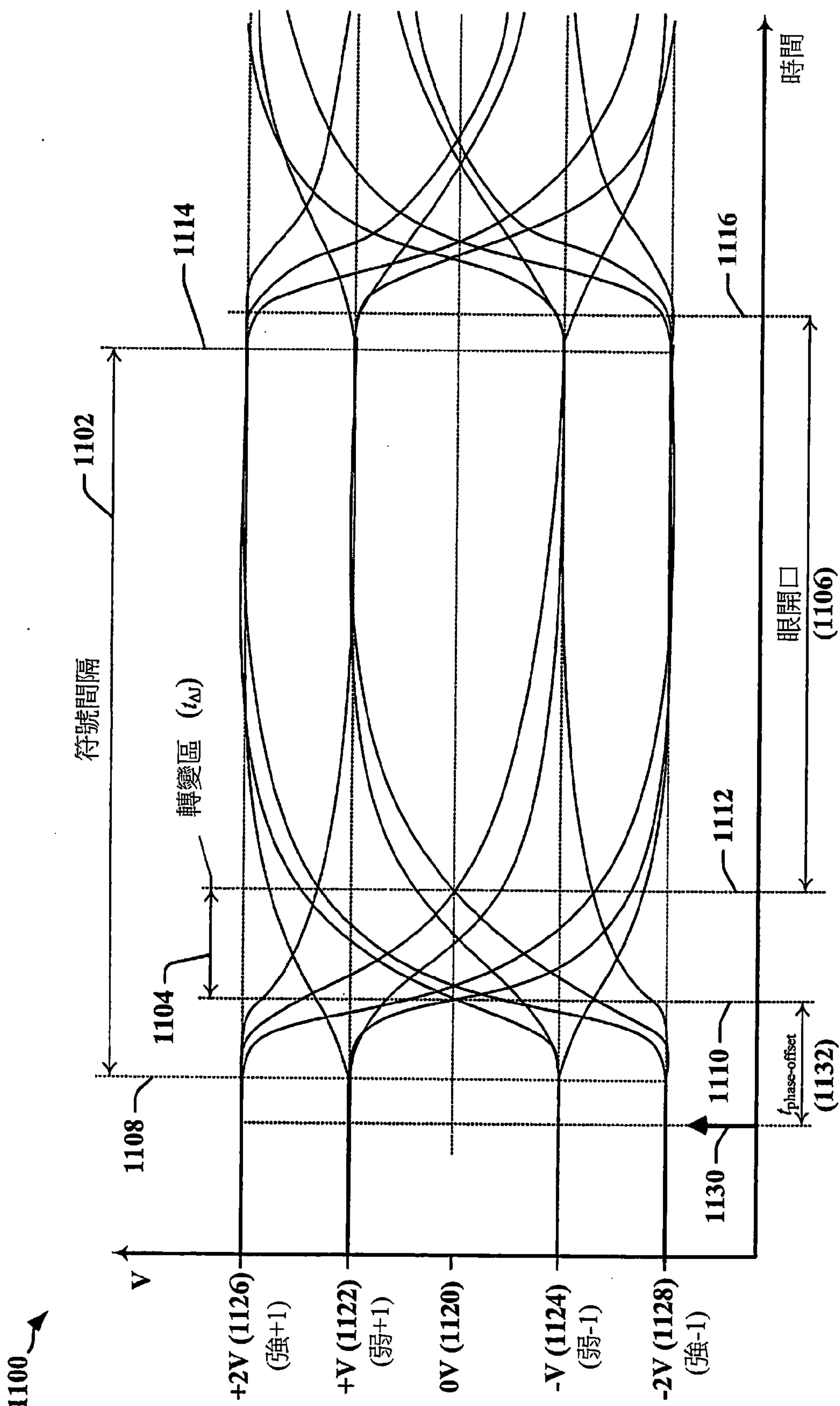


圖11

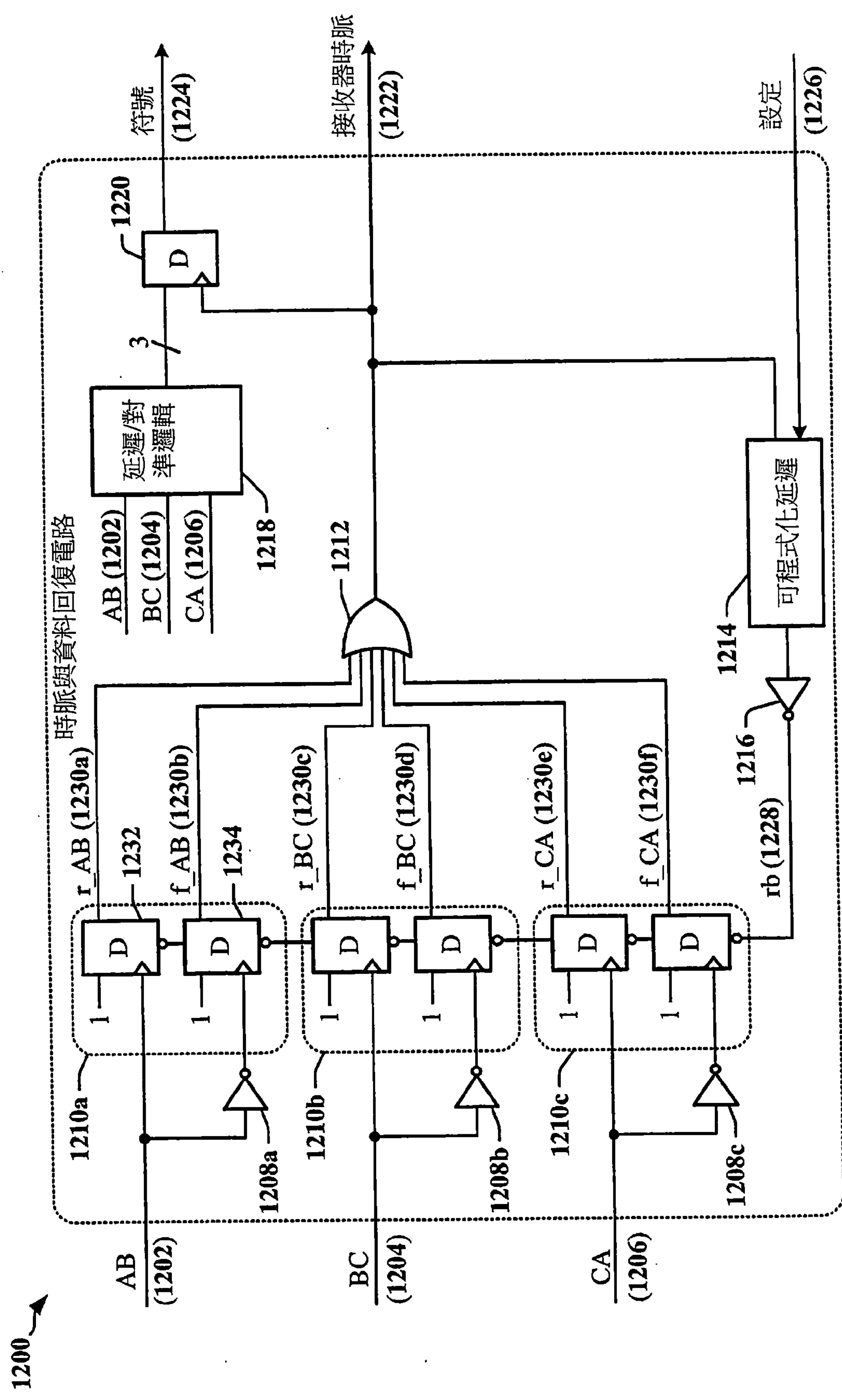


圖12

1300

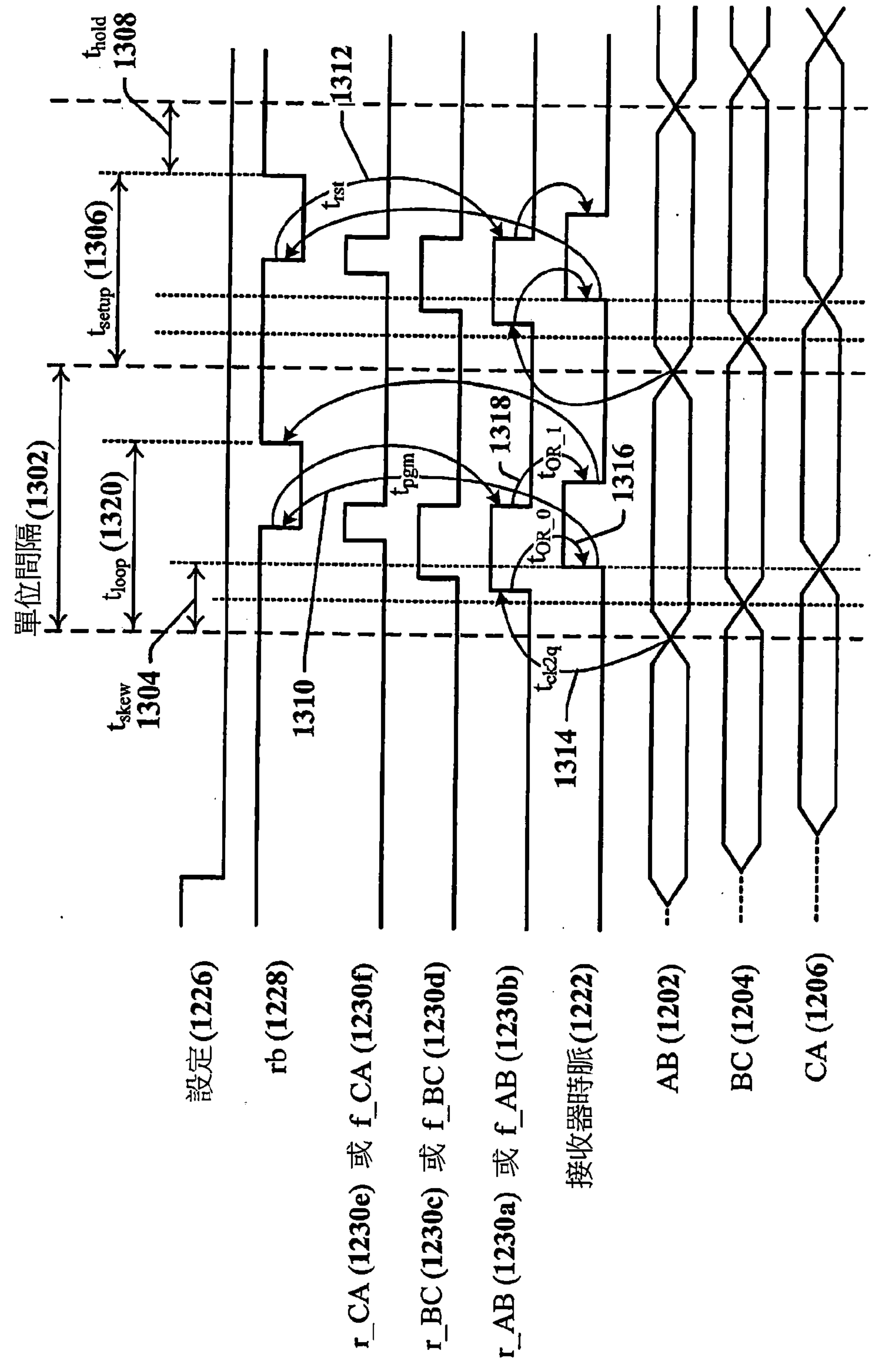


圖13

1400 ↗

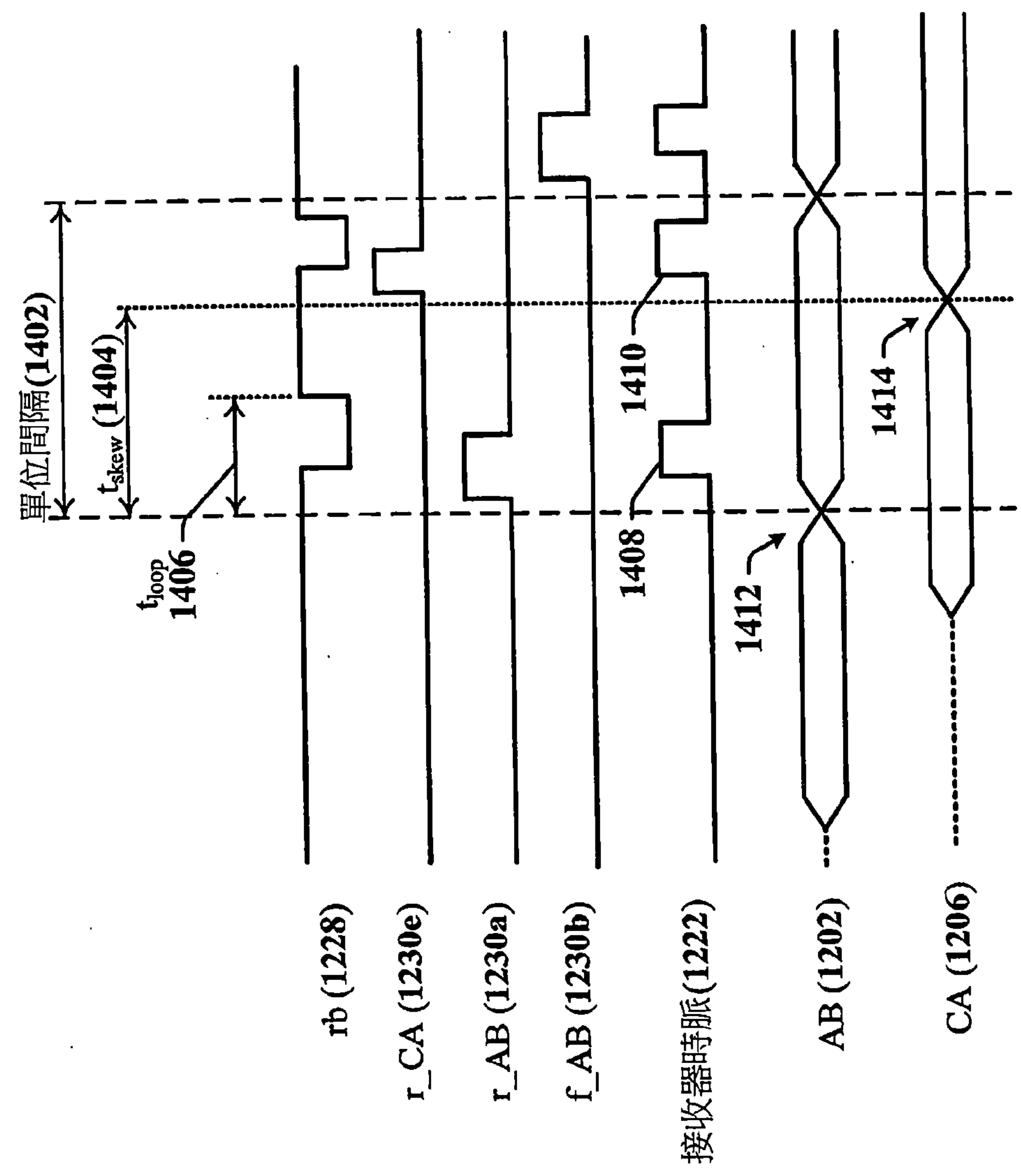


圖14

1500 ↗

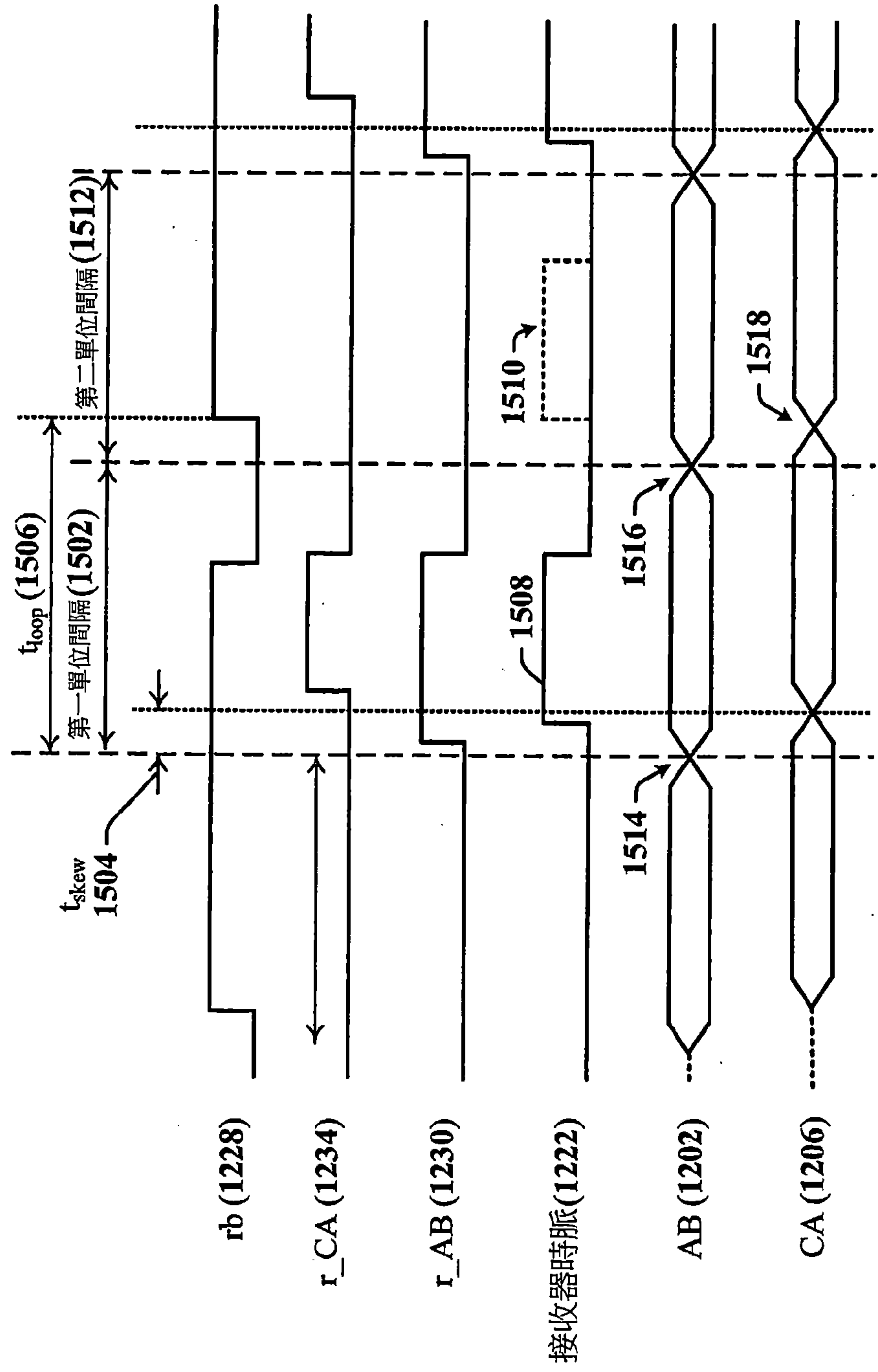


圖15

1600 ↗

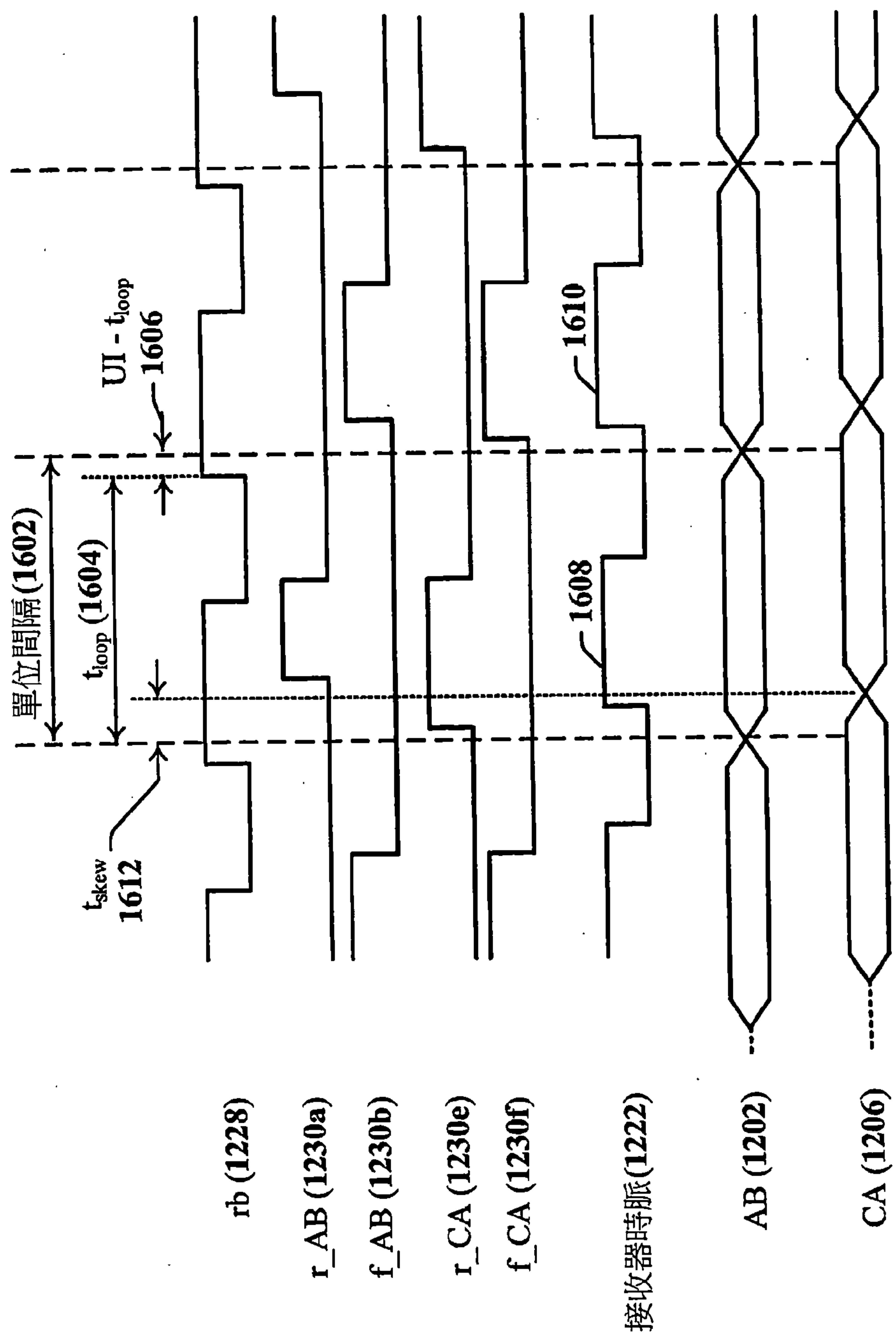


圖16

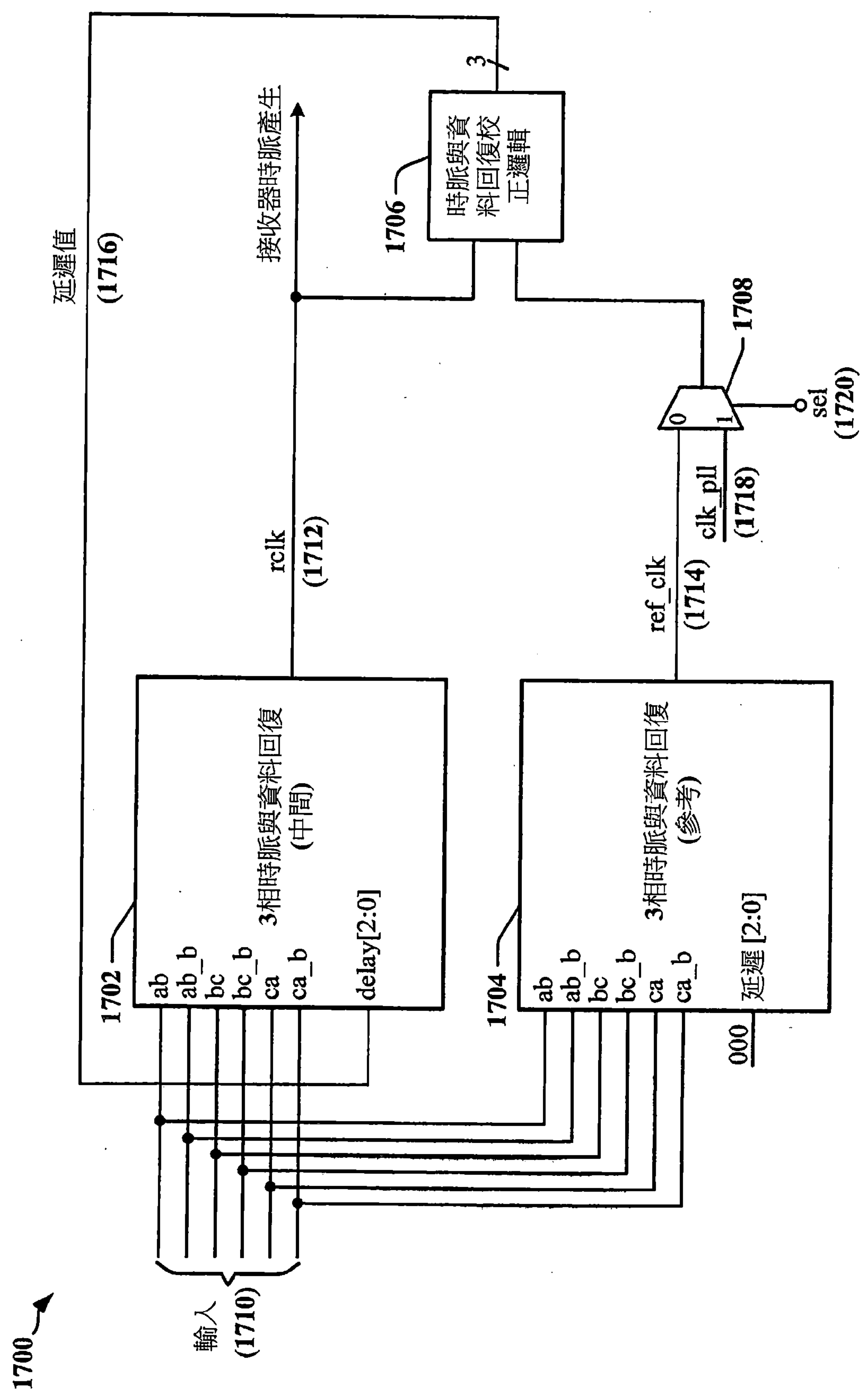


圖17

1800

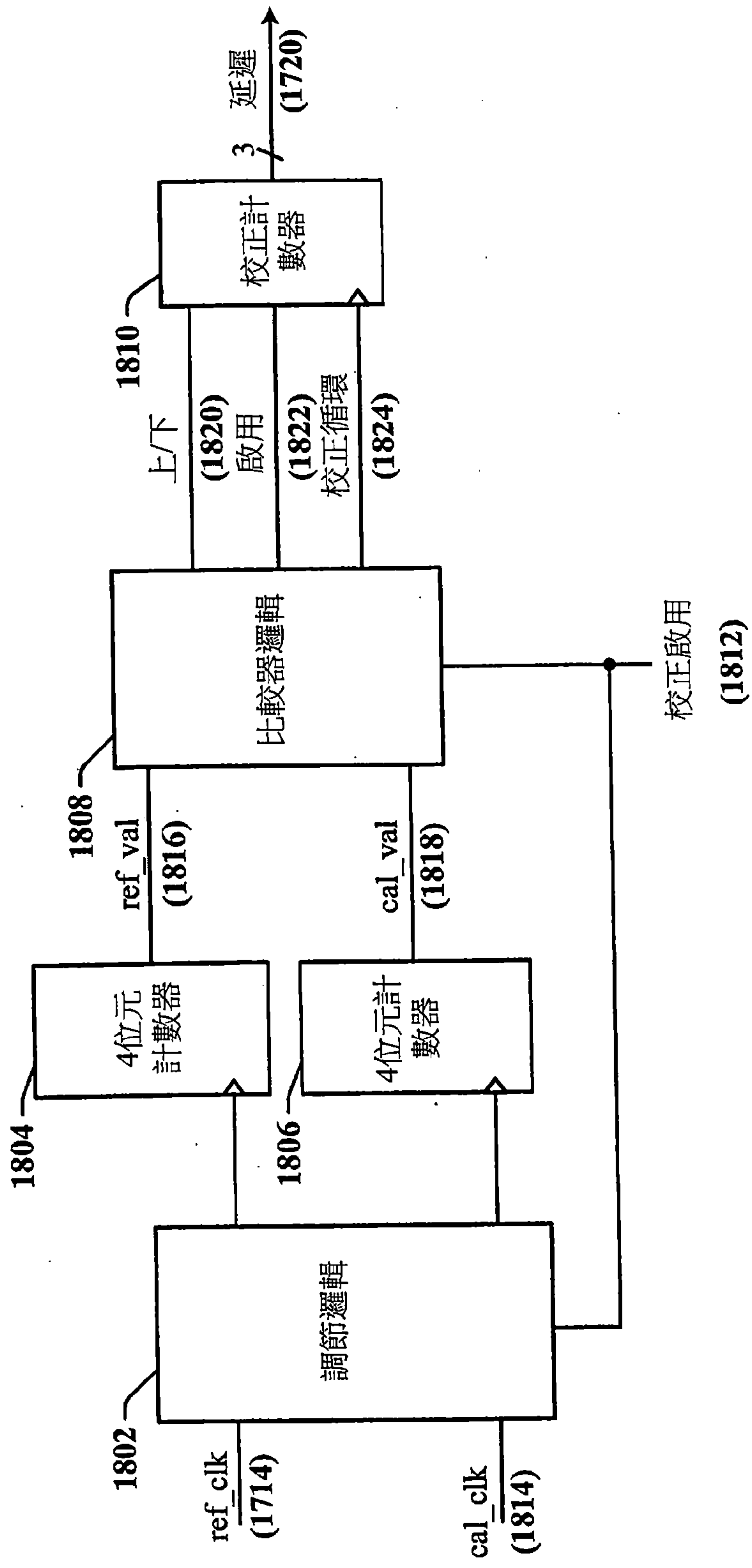
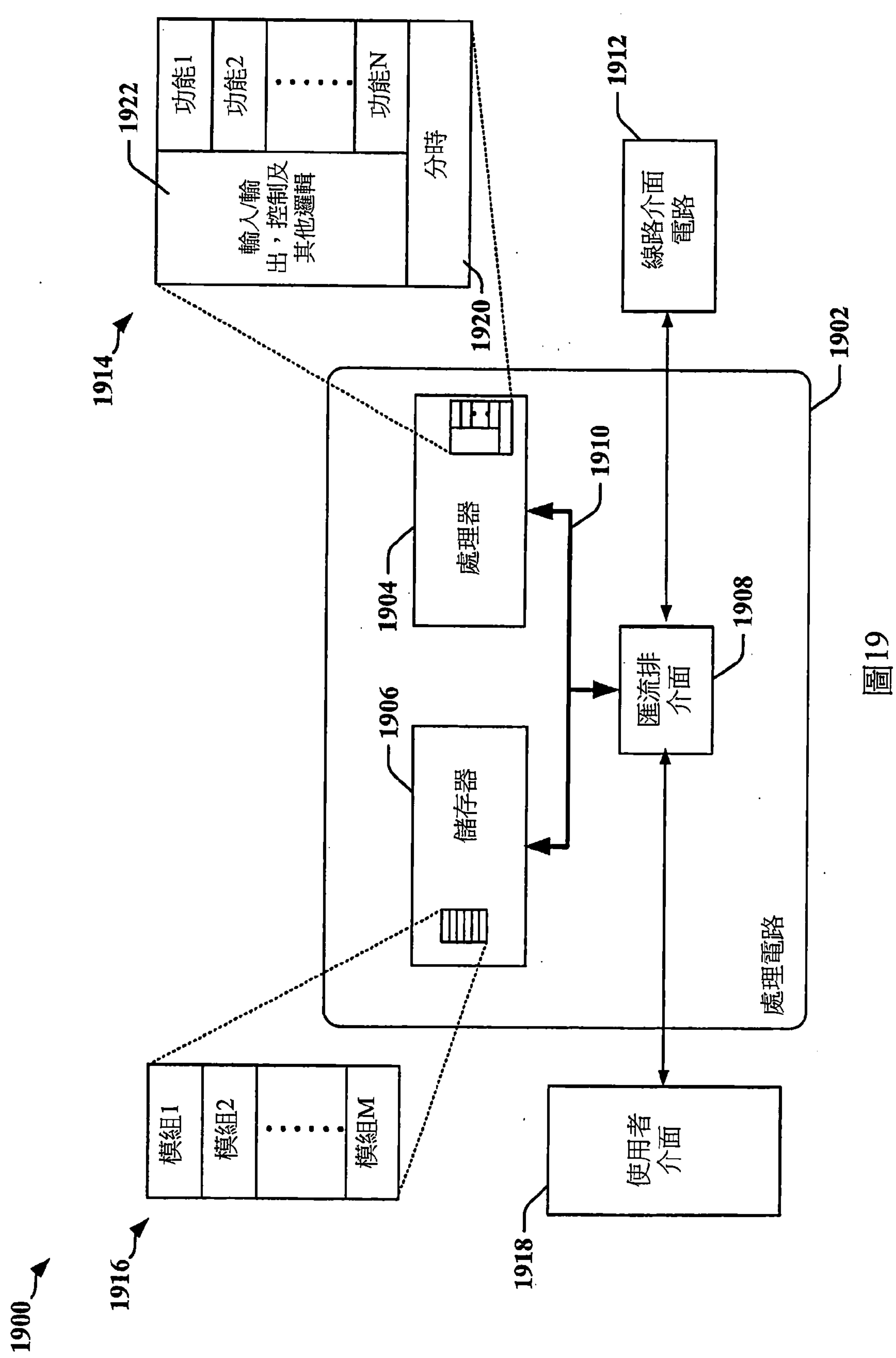


圖18



2000 →

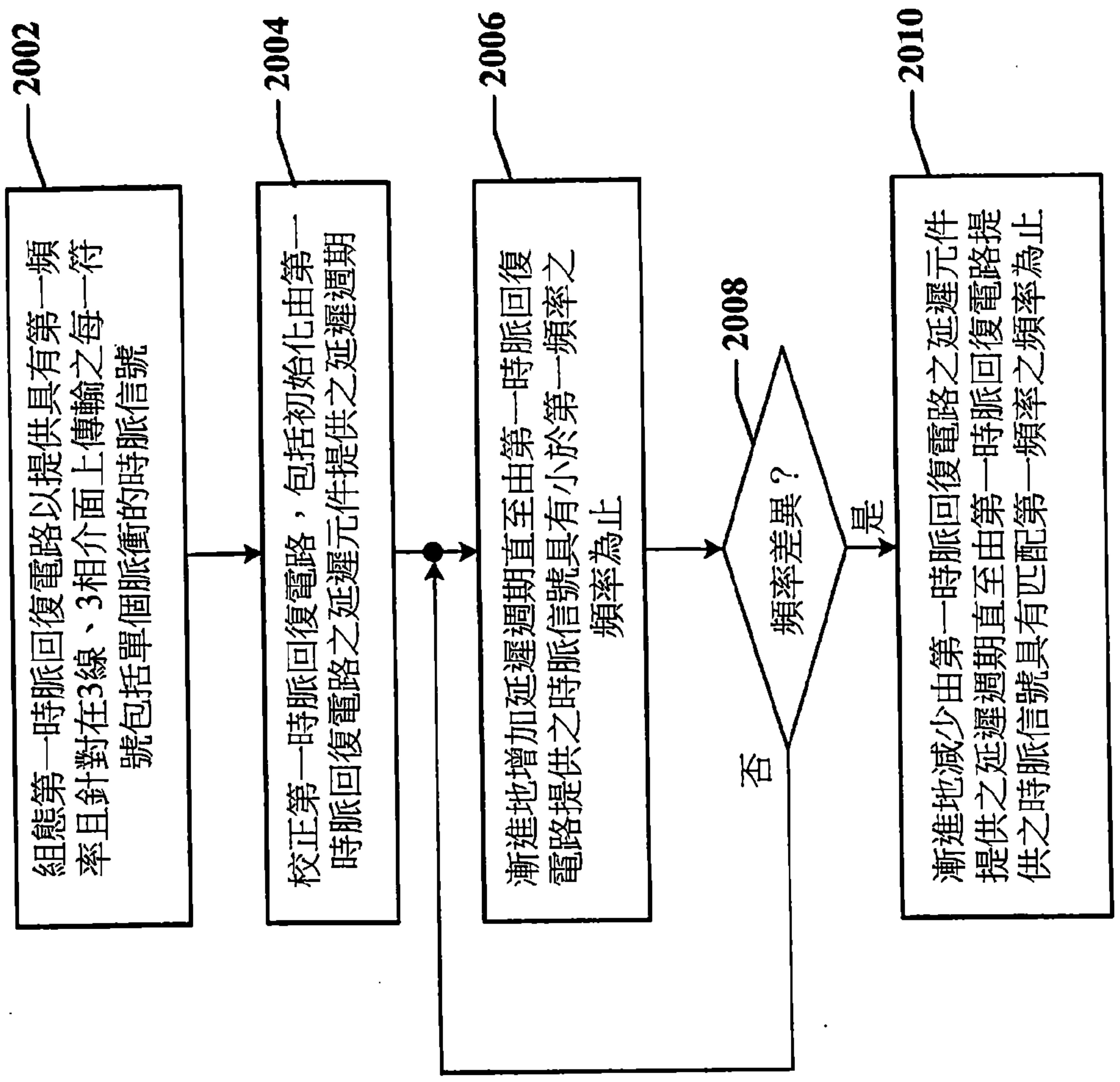


圖20

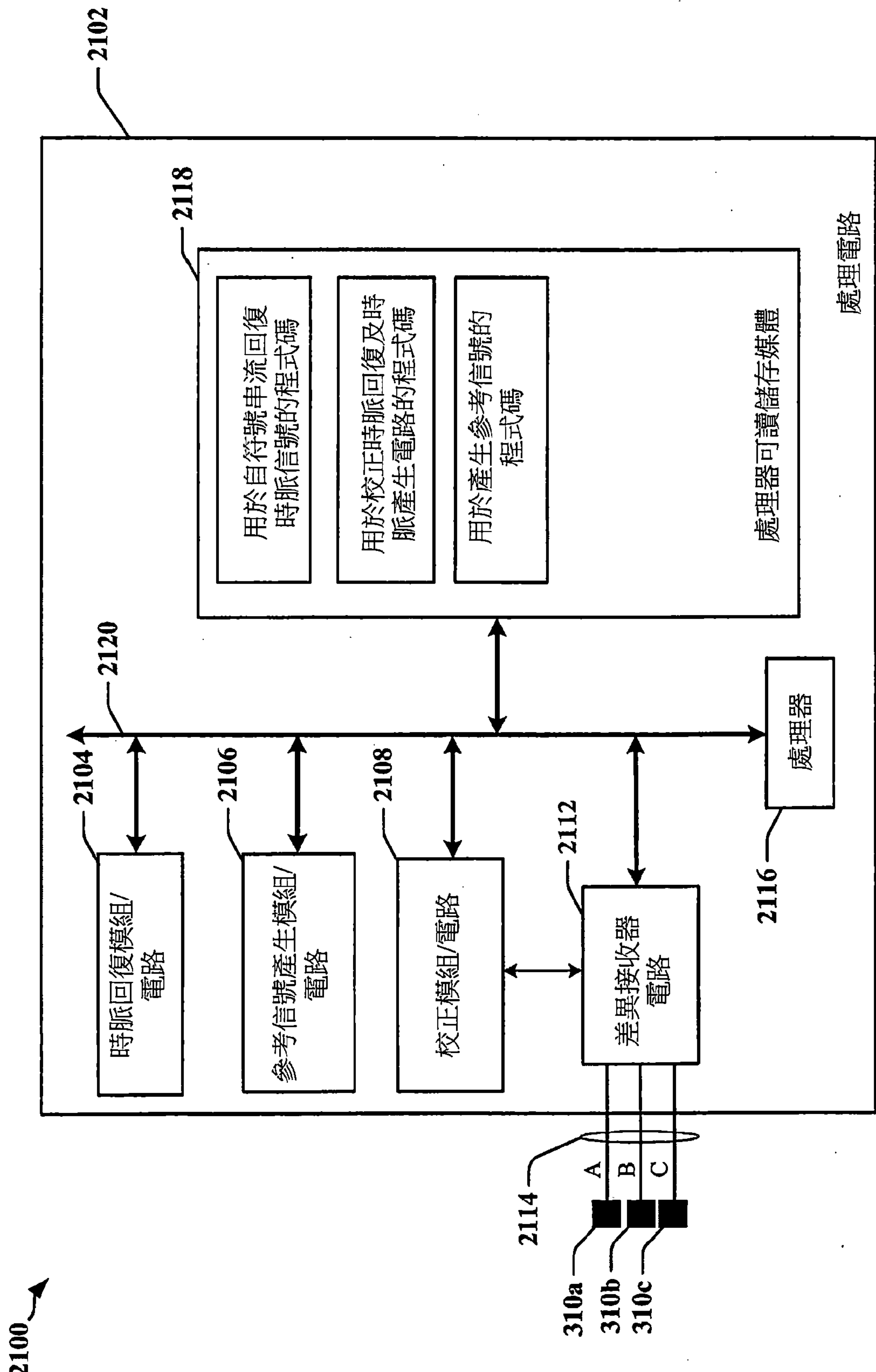


圖21