(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0111954
(43) 공개일자 2011년10월12일

(51) Int. Cl.
G11C 29/04 (2006.01) *G11C 7/22* (2006.01)
G11C 8/08 (2006.01) *G11C 7/12* (2006.01)
(21) 출원번호 10-2010-0031293
(22) 출원일자 2010년04월06일
심사청구일자 2010년04월06일

(71) 출원인
창원대학교 산학협력단
경남 창원시 의창구 사림동 9 창원대학교내
(72) 발명자
김영희
경상남도 창원시 반림동 현대아파트 112동 1001호
(74) 대리인
고윤호, 이철희

전체 청구항 수 : 총 8 항

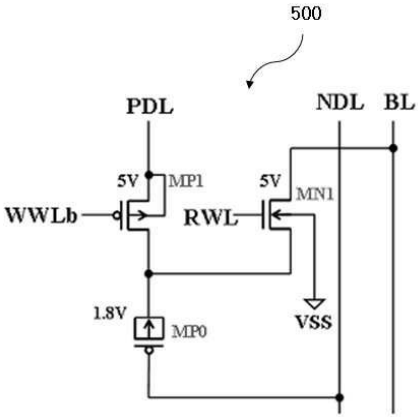
(54) 이중포트의 안티퓨즈 오티피 셀

(57) 요 약

본 발명은 오티피(OTP) 셀에 관한 것으로, 특히 안티퓨즈의 양단에 브레이크다운 이상의 전압이 걸리도록 이중의 프로그램전압을 이용하여 프로그램하는 이중포트의 안티퓨즈 오티피 셀에 관한 것이다.

본 발명에 따른 이중포트의 안티퓨즈 오티피 셀에 의하면 양의 프로그램 전압과 음의 프로그램 전압을 사용하여 안티퓨즈의 양단에 하드 브레이크다운 이상의 전압이 걸리게 되어 프로그램이 되며 이로 인해 프로그램 이후의 저항이 수십 kΩ 이하로 낮아지는 장점이 있다.

대 표 도 - 도5



특허청구의 범위

청구항 1

제1 단자가 양의 데이터 라인(PDL)에 연결되며 게이트에 역 프로그램 워드라인이 연결된 프로그램용 트랜지스터;

제1 단자가 비트라인에 연결되고, 제2 단자는 상기 프로그램용 트랜지스터의 제2 단자에 연결되며, 게이트에 읽기 워드라인이 연결된 읽기용 트랜지스터; 및

제1 단자가 음의 데이터 라인에 연결되며 제2 단자는 상기 프로그램용 트랜지스터의 제2 단자 및 상기 읽기용 트랜지스터의 제2 단자에 공통으로 연결되는 안티퓨즈를 구비하는 것을 특징으로 하는 이중포트의 안티퓨즈 오티피 셀.

청구항 2

제1항에 있어서, 상기 프로그램용 트랜지스터는

프로그램 모드에서 역 프로그램 워드라인 신호에 응답하여 턴 온되어 상기 양의 데이터 라인(PDL)으로부터 양의 프로그램 전압(VPP) 또는 전원전압(VDD)을 상기 안티퓨즈의 제2단자에 전달하는 것을 특징으로 하는 이중포트의 안티퓨즈 오티피 셀.

청구항 3

제2항에 있어서, 상기 안티퓨즈는

프로그램 모드에서 제1 단자에 음의 데이터 라인(NDL)으로부터 음의 프로그램 전압(VNN) 또는 0V의 전압이 인가되고, 제2단자에 양의 데이터 라인(PDL)으로부터 양의 프로그램 전압(VPP) 또는 전원전압(VDD)이 인가되는 것을 특징으로 하는 이중포트의 안티퓨즈 오티피 셀.

청구항 4

제3항에 있어서, 상기 안티퓨즈는

제1 단자에 음의 프로그램 전압(VNN)이 인가되고, 제2단자에 양의 프로그램 전압(VPP)이 인가되는 경우 프로그램 되는 것을 특징으로 하는 이중포트의 안티퓨즈 오티피 셀.

청구항 5

제4항에 있어서, 상기 읽기용 트랜지스터는

읽기 모드에서 읽기 워드라인 신호에 응답하여 턴 온되어 상기 프로그램된 안티퓨즈의 데이터를 상기 비트라인으로 전달하는 것을 특징으로 하는 이중포트의 안티퓨즈 오티피 셀.

청구항 6

제1항 내지 제5항 중 어느 하나의 항에 있어서, 상기 안티퓨즈는

1.8V의 저전압 피모스 트랜지스터인 것을 특징으로 하는 이중포트의 안티퓨즈 오티피 셀.

청구항 7

제3항에 있어서,

상기 양의 프로그램 전압(VPP)과 상기 음의 프로그램 전압(VNN)의 차이는 상기 안티퓨즈의 산화막을 파괴시킬 수 있는 하드 브레이크다운 전압 이상인 것을 특징으로 하는 이중포트의 안티퓨즈 오티피 셀.

청구항 8

제7항에 있어서,

상기 양의 프로그램 전압(VPP)는 8V이고 상기 음의 프로그램 전압(VNN)은 -6V인 것을 특징으로 하는 이중포트의 안티퓨즈 오티피 셀.

명 세 서

기 술 분 야

[0001] 본 발명은 오티피(OTP) 셀에 관한 것으로, 특히 안티퓨즈의 양단에 브레이크다운 이상의 전압이 걸리도록 이중의 프로그램전압을 이용하여 프로그램하는 이중포트의 안티퓨즈 오티피 셀에 관한 것이다.

배 경 기 술

[0002] 일반적으로 모바일(Mobile) 부품, 자동차 전장 부품 등에 사용되는 MCU(Micro Controller Unit), 전력(Power) IC, 디스플레이 구동 IC(Display Driver IC), CMOS 이미지센서(Image Sensor) 등에 사용되는 프로그램 메모리(program memory)로는, 소비면적이 적고 추가 공정이 필요 없으며 게이트 산화막의 두께가 얇으며(thin gate oxide), 고전압(high-voltage)을 인가하여 브레이크다운 매커니즘(breakdown mechanism)에 의해 전기적으로 단락(short)시켜 프로그램(program)하는 안티퓨즈(anti-fuse) 방식의 OTP(One-Time Programmable) 메모리가 많이 사용되고 있다.

[0003] 이와 같이 얇은 게이트 산화막(thin gate oxide)에 고전압(high-voltage)을 인가하여 프로그램하는 안티퓨즈 방식의 OTP 셀은 프로그램포트(write-port)와 읽기포트(read-port)가 공유된 단일포트 OTP 셀 및 프로그램포트(write-port)와 읽기포트(read-port)가 분리된 이중포트 OTP 셀로 구분된다.

[0004] 기존의 OTP 셀(cell)은 3개의 셀 트랜지스터를 구비하거나 2개의 셀 트랜지스터를 구비하고 각 셀 당 1개의 비트를 저장한다.

[0005] 도 1은 3개의 셀 트랜지스터를 구비하는 종래의 단일포트 안티퓨즈 OTP 셀을 나타내는 도면이다.

[0006] 도 1을 참조하면, 3개의 셀 트랜지스터를 구비하는 단일포트 안티퓨즈 OPT 셀(100)은, 안티퓨즈인 게이트 산화막(gate oxide)의 두께가 얇은 NMOS 커패시터(capacitor, M1)와 고전압(High-Voltage) 블록킹 트랜지스터(blocking transistor, M2) 및 액세스 트랜지스터(access transistor, M3)로 구성된다.

[0007] 종래의 단일포트 안티퓨즈 OPT 셀(100)은 프로그램 모드 시 NMOS 커패시터(M1)의 게이트에는 6V의 전압준위를 가지는 프로그램 전압(VPP)이 인가되고 블로킹 트랜지스터(M2)의 게이트에는 블로킹 전압(V_{G-BT}), 워드라인(Word-Line, WL)에는 1.8V의 전압준위를 가지는 전압(VDD)을 인가하고, 비트라인(Bit-Line, BL)에 0V의 전압을 인가하면, NMOS 커패시터(M1)의 게이트 산화막에 브레이크다운 전압 이상의 고전압이 걸려 해당 게이트 산화막이 파괴되어 게이트와 기판이 전기적으로 단락된다.

[0008] 도 1에 도시된 OTP 셀은, 프로그램 모드에서 프로그램 되는 셀의 워드라인(WL)과 비트라인(BL)은 0V이고, 셀 액세스 트랜지스터(M3)에 바로 고전압의 프로그램 전압(VPP)이 인가되는데, 이 경우 GIDL(Gate-Induced Drain Leakage) 현상에 의한 누설 전류(leakage current)를 줄이기 위해, 블록킹 트랜지스터(M2)가 부가적으로 필요하므로 셀이 차지하는 레이아웃(layout) 상의 면적이 커지는 단점이 있다.

[0009] 도 2는 2개의 셀 트랜지스터를 구비하는 종래의 단일포트 안티퓨즈 OTP 셀을 나타내는 도면이다.

[0010] 도 2를 참조하면, 2개의 셀 트랜지스터를 구비하는 OPT 셀(200)은, 프로그램 모드 시 선택되어진 셀의 워드라인(WL0, WL7)에 VPP/2의 전압을 인가하여 액세스 트랜지스터를 턴 온 시키고 게이트 라인(Gate Line, GL0, GL7)에 VPP(=7V)의 전압, 비트라인(BL0, BL1, BL15)에 0V를 인가하여 안티퓨즈용 NMOS의 게이트 산화막을 파괴한다. 프로그램 모드 시에는 선택되지 않은 OTP 셀은 워드라인(WL0, WL7)에 0V를 인가하여 해당 액세스 트랜지스터를 턴 오프 시키고 게이트라인(GL0, GL7)에 VPP/2 전압을 인가한 상태에서 비트라인(BL0, BL1, BL15)을 플로팅(floating) 시키면 게이트 산화막은 파괴되지 않게 된다.

[0011] 읽기모드(Read mode)시 모든 게이트라인(GL0, GL7)에 VDD(=1.8V) 전압을 인가하고 선택된 워드라인(WL)에는 VDD 전압을 인가한 후, 전류센스회로(미도시)를 통해 셀에 저장된 데이터를 출력한다. 이 때 선택되지 않은 워드라인(WL)에는 0V가 인가되어 해당 OTP 셀은 비트라인(BL)으로부터 격리된다.

[0012] 종래의 2개의 트랜지스터를 구비하는 OTP 셀을 이용한 8 x 16 어레이(array)를 갖는 OTP 메모리는, 프로그램 시에는 게이트라인(GL)에 VPP 전압 또는 VPP/2 전압을 인가해야 하고, 읽기 모드 시에는 VDD 전압을 인가해야 한

다. 따라서 VPP, VPP/2, VDD 세 종류의 전원전압을 필요로 한다. 그리고 OTP 메모리 용량이 증가하게 되면 OTP 셀 어레이의 행(Rows)이 보다 증가해서 게이트 바이어스 스위치(gate bias switch) 회로가 추가되어 레이아웃 면적이 증가하는 단점이 있다.

[0013] 도 3은 종래의 이중포트 안티퓨즈 OTP셀의 회로도이다.

[0014] 도 3을 참조하면, 종래의 이중 포트 안티퓨즈 OTP셀은 얇은 게이트 산화막(thin gate oxide)의 PMOS 안티퓨즈(antifuse)와 두꺼운 산화막(thick gate oxide)을 갖는 프로그램포트(write-port) 트랜지스터부 및 읽기포트(read-port) 트랜지스터부로 구성되어 있다.

[0015] 충분한 프로그램 전류를 흐르게 하기 위해 프로그램포트(write-port) 트랜지스터의 크기를 크게 하였으며, 프로그램비트라인(write bit-line;BLW)의 폭을 넓게 하여 프로그램 경로(write path) 상의 저항을 줄였다. 또한 읽기 전류(read current)를 감소시키기 위해 읽기비트라인(read bit-line:BLR)의 폭을 최소한으로 하였고 이로 인해 읽기비트라인(BLR)의 기생 커패시턴스를 최소화하고 있다.

[0016] 도 4a는 도 3의 이중포트 안티퓨즈 OTP셀에 사용되는 PMOS 안티퓨즈의 회로도이다. 도 4a를 참조하면 소스(Source), 드레인(drain) 및 N웰 바디 노드(N-well body node)는 같은 노드로 연결되어 있음을 알 수 있으며 안티퓨즈 양단의 전압은 도 4a에 도시된 바와 같이 바이어싱 된다. 동부 0.18㎛ BCD 공정에서 게이트산화막(thin gate oxide)의 두께(thickness)는 38Å이다.

[0017] 도 4b는 도 4a의 안티퓨즈 양단에 10V의 프로그램 전압을 인가한 후의 I-V curve를 나타내는 도면이다. 도 4b를 참고하면 5개의 샘플 중 1개 샘플에서 프로그램 오류가 발생되었음을 알 수 있다.

[0018] 도 4c는 도 4a의 안티퓨즈 양단에 11V의 프로그램 전압을 인가한 후의 I-V curve를 나타내는 도면이다. 도 4c를 참고하면 30개의 샘플 모두 프로그램이 된 것을 알 수 있으며, 프로그램 이후의 저항은 수 십㏀ 이하이다.

[0019] 도 4b 및 도 4c의 측정결과에서 보는 바와 같이 이중포트 안티퓨즈 OTP 셀의 경우 안티퓨즈 양단에 하드 브레이크다운(hard breakdown) 이상의 전압이 걸리도록 할 수 있는 구동회로의 설계가 요구된다.

발명의 내용

해결하려는 과제

[0020] 본 발명이 해결하고자 하는 기술적 과제는, 안티퓨즈의 양단에 브레이크다운 이상의 전압이 걸리도록 이중의 프로그램전압을 이용하여 프로그램하는 이중포트의 안티퓨즈 오티피 셀을 제공하는데 있다.

과제의 해결 수단

[0021] 상기 기술적 과제를 이루기 위한 본 발명에 따른 이중포트의 안티퓨즈 오티피 셀은, 제1 단자가 양의 데이터 라인(PDL)에 연결되며 게이트에 역 프로그램 워드라인이 연결된 프로그램용 트랜지스터, 제1 단자가 비트라인에 연결되고, 제2 단자는 상기 프로그램용 트랜지스터의 제2 단자에 연결되며, 게이트에 읽기 워드라인이 연결된 읽기용 트랜지스터 및 제1 단자가 음의 데이터 라인에 연결되며 제2 단자는 상기 프로그램용 트랜지스터의 제2 단자 및 상기 읽기용 트랜지스터의 제2 단자에 공통으로 연결되는 안티퓨즈를 구비하는 것을 특징으로 한다.

발명의 효과

[0022] 본 발명에 따른 이중포트의 안티퓨즈 오티피 셀에 의하면 양의 프로그램 전압과 음의 프로그램 전압을 사용하여 안티퓨즈의 양단에 하드 브레이크다운 이상의 전압이 걸리게 되어 프로그램이 되며 이로 인해 프로그램 이후의 저항이 수십 ㏀ 이하로 낮아지는 장점이 있다.

도면의 간단한 설명

[0023] 도 1은 3개의 셀 트랜지스터를 구비하는 종래의 단일포트 안티퓨즈 OTP 셀을 나타내는 도면이다.

도 2는 2개의 셀 트랜지스터를 구비하는 종래의 단일포트 안티퓨즈 OTP 셀을 나타내는 도면이다.

도 3은 종래의 이중포트 안티퓨즈 OTP셀의 회로도이다.

도 4a는 도 3의 이중포트 안티퓨즈 OTP셀에 사용되는 PMOS 안티퓨즈의 회로도이다.

도 4b 내지 도 4c는 도 4a의 안티퓨즈 양단에 프로그램 전압을 인가한 후의 I-V curve를 나타내는 도면이다.

도 5는 본 발명에 따른 이중포트의 안티퓨즈 OTP 셀의 회로도이다.

도 6은 본 발명에 따른 이중포트의 안티퓨즈 OTP 셀의 레이아웃 이미지를 나타내는 도면이다.

도 7은 본 발명에 따른 이중포트의 안티퓨즈 OTP 셀의 동작모드에 따른 바이어스 전압 조건을 나타내는 도면이다.

도 8은 본 발명에 따른 이중포트의 안티퓨즈 OTP 셀의 주요 사양을 나타내는 도면이다.

도 9는 본 발명에 따른 이중포트의 안티퓨즈 OTP 메모리의 셀의 어레이로 구성된 OTP 메모리의 블록도이다.

도 10(a) 내지 도 10(b)는 본 발명에 따른 OTP 메모리의 프로그램모드 및 읽기모드에서의 타이밍을 나타내는 도면이다.

도 11(a)는 본 발명에 따른 OTP 메모리 장치의 워드라인(WL) 구동 회로를 나타내는 도면이다.

도 11(b)는 본 발명에 따른 OTP 메모리 장치의 양의 데이터라인(P이) 구동회로를 나타내는 도면이다.

도 11(c)는 본 발명에 따른 OTP 메모리 장치의 음의 데이터라인 구동회로를 나타내는 도면이다.

도 12는 본 발명에 따른 OTP 메모리 장치의 비트라인 감지 증폭회로를 나타내는 도면이다.

도 13은 본 발명에 따른 OTP 메모리 장치의 프로그램 모드에서의 시뮬레이션 결과를 나타내는 도면이다.

도 14는 본 발명에 따른 OTP 메모리 장치의 읽기 모드에서의 시뮬레이션 결과를 나타내는 도면이다.

발명을 실시하기 위한 구체적인 내용

[0024] 이하에서는 본 발명의 구체적인 실시 예를 도면을 참조하여 상세히 설명하도록 한다.

[0025] 도 5는 본 발명에 따른 이중포트 안티퓨즈 OTP 셀의 회로도이다.

[0026] 도 5에 도시된 바와 같이 본 발명에 따른 이중포트 안티퓨즈 OTP 셀(500)은 안티퓨즈(MP0), 프로그램용 트랜지스터(MP1) 및 읽기용 트랜지스터(MN1)를 구비한다.

[0027] 상기 프로그램용 트랜지스터(MP1)는 제1 단자가 양의 데이터 라인(PDL)에 연결되며 게이트에 역 프로그램 워드라인(WWLb)이 연결된다. 상기 프로그램용 트랜지스터(MP1)는 프로그램 모드에서 양의 데이터 라인(Positive Data Line:PDL)을 통해 음의 프로그램 전압(VPP=8V) 또는 VDD(=1.8V)의 전압을 전달한다.

[0028] 상기 읽기용 트랜지스터(MN1)는 제1 단자가 비트라인(BL)에 연결되고, 제2 단자는 상기 프로그램용 트랜지스터의 제2 단자에 연결되며, 게이트에 읽기 워드라인(RWL)이 연결된다. 상기 읽기용 트랜지스터(MN1)는 읽기 모드에서 상기 안티퓨즈(MP0)의 데이터 정보를 비트라인(BL)에 전달한다.

[0029] 상기 안티퓨즈(MP0)는 제1 단자가 음의 데이터 라인에 연결되며 제2 단자는 상기 프로그램용 트랜지스터의 제2 단자 및 상기 읽기용 트랜지스터의 제2 단자에 공통으로 연결된다.

[0030] 상기 안티퓨즈(MP0)의 게이트는 네가티브 데이터 라인(Negative Data Line:NDL)에 연결되어 있으며 네가티브 프로그램 전압(VNN=-6V) 또는 0V의 전압이 공급된다. 한편 상기 안티퓨즈(MP0)는 레이아웃 면적을 줄이기 위해 ?? N-웰(Deep N-Well)이 필요 없는 1.8V의 저전압(Low-Voltage:LV) PMOS 트랜지스터를 사용하는 것이 바람직하다.

[0031] 상기 프로그램용 트랜지스터(MP1)와 읽기용 트랜지스터(MN1)는 두꺼운 게이트 산화막을 갖는 중간전압(Medium-Voltage:MV) 트랜지스터를 사용하는 것이 바람직하다.

[0032] 도 6은 본 발명에 따른 이중포트 안티퓨즈 OTP 셀의 레이아웃 이미지를 나타내는 도면이다.

[0033] 본 발명에 따른 이중포트 안티퓨즈 OTP 셀은 PMOS 안티퓨즈의 양단에 얇은 게이트 산화막(thin gate oxide)의 하드 브레이크다운 전압(hard breakdown voltage) 이상의 전압을 인가하므로 안티퓨즈의 프로그램 이후의 저항을 수 kΩ 이하로 줄일 수 있다.

[0034] 0.18㎛ 공정에서 지원되는 1.8V PMOS 안티퓨즈의 하드 브레이크다운 전압(hard breakdown voltage)은 도 4b 내지 도 4c에서 보는 바와 같이 11V이므로 안티퓨즈를 브로큰(broken)시키기 위해서는 안티퓨즈 양단에 11V 이상의 전압을 인가하여야 한다.

[0035] 도 7은 본 발명에 따른 이중포트 안티퓨즈 OTP 셀의 동작모드에 따른 바이어스 전압 조건을 나타내는 도면이다.

[0036] 도 7에 도시된 바와 같이 프로그램 모드에서 양의 프로그램 전압(VPP)은 외부 프로그램 전압인 8V로 구동되고 선택된 역 프로그램 워드라인(Write Word-Line bar:WWLb)은 0V가 인가되어 상기 프로그램용 트랜지스터(MP1)를 턴온 시키며, 선택되지 않은 역 프로그램 워드라인(Write Word-Line bar:WWLb)은 양의 프로그램 전압(VPP)을 유지하게 된다. 그리고 프로그램 모드에서 읽기 워드라인(Read Word-Line:RWL)은 항상 0V가 인가되어 읽기용 트랜지스터(MN1)를 턴 오프 시킨다.

[0037] 입력데이터(DIN)로 논리로우(0) 값이 인가되는 경우 양의 데이터 라인(PDL)과 음의 데이터 라인(NDL)에는 각각 양의 프로그램 전압(VPP=8V)과 음의 프로그램 전압(VNN= -6V)이 인가되어 안티퓨즈 양단에 하드 브레이크 다운 전압 이상의 전압이 인가됨으로써 안티퓨즈가 파괴되면서 전기적으로 단락된다. 그리고 입력데이터(DIN)가 논리하이(1)인 경우 양의 데이터 라인(PDL)과 음의 데이터 라인(NDL) 전압은 각각 VDD와 0V가 되어 안티퓨즈는 파괴되지 않으며, 안티퓨즈는 절연 상태의 개방 상태가 된다.

[0038] 설계된 OTP 메모리에서 프로그램된 셀은 입력데이터(DIN)가 논리로우(0)인 경우이고 프로그램 되지 않은 셀은 입력데이터(DIN)가 논리하이(1)인 경우이다.

[0039] 한편 읽기 모드에서는 비트라인(BL)을 VDD 전압으로 프리차아지(precharge) 시킨 뒤 읽기 워드라인(RWL)을 VDD 전압으로 활성화시킨다. 만약 안티퓨즈가 프로그램 된 셀의 경우 단락된 PMOS 안티퓨즈를 통해 음의 데이터 라인(NDL)으로 전류 경로가 제공되어 비트라인(BL)은 0V로 방전되며, 출력데이터(DOUT)는 논리로우(0) 값이 출력된다.

[0040] 또한 프로그램 되지 않은 셀은 PMOS 안티퓨즈가 개방 상태이므로 전류경로가 차단되어 비트라인(BL)은 VDD로 프리차아지된 상태를 유지하므로 출력데이터(DOUT)는 논리하이(1) 값이 출력된다.

[0041] 즉, 본 발명의 핵심적인 사상은 안티퓨즈의 양단에 브레이크다운 이상의 전압이 걸리도록 VPP(=8V) 또는 VNN(=-6V)의 이중의 프로그램 전압을 인가하여 안티퓨즈를 전기적으로 단락시켜 프로그램하는 것이다.

[0042] 도 8은 본 발명에 따른 이중포트 안티퓨즈 OTP 셀의 주요 사양을 나타내는 도면이다.

[0043] 도 8에 도시된 바와 같이 본 발명에 따른 이중포트 안티퓨즈 OTP 메모리의 셀 어레이는 128행(rows) ㅅ 8열(columns)로 구성되어 있으며, 필요한 전원전압은 로직 전압인 VDD(=1.8V), 이중 프로그램 전압(dual porgram voltage)인 VPP와 VNN이 사용된다.

[0044] 이때 양의 프로그램 전압인 VPP는 8.0V를 사용하였고 음의 프로그램 전압인 VNN은 -6V를 사용하였다.

[0045] 도 9는 본 발명에 따른 이중포트 안티퓨즈 OTP 메모리의 셀의 어레이로 구성된 OTP 메모리의 블록도이다.

[0046] 도 9에 도시된 바와 같이 본 발명에 따른 이중포트 안티퓨즈 OTP 메모리는 OTP 셀 어레이, 행 디코더, 데이터라인 구동회로, 비트라인 감지증폭기 및 제어 로직을 구비한다.

[0047] 상기 OTP 셀 어레이는 128행 x 8열의 OTP 셀로 이루어지고, 상기 행 디코더는 어드레스 A[6:0]를 디코딩하여 128개 워드라인(WL) 중 하나를 선택해준다.

[0048] 데이터라인 구동회로는 포지티브 데이터라인을 구동하는 PDL 구동회로와 네가티브 데이터라인을 구동하는 NDL 구동회로로 이루어진다. 데이터라인 구동회로는 프로그램 모드인 경우 DIN[7:0]의 입력 데이터를 PDL[7:0]과 NDL[7:0] 데이터 라인(data line)을 통해 OTP 셀에 구동하는 회로이다.

[0049] 비트라인 감지증폭기(bit-line sense amplifier:BL S/A)는 읽기 모드에서 OTP 셀의 안티퓨즈를 프로그램하였는지 여부에 따라 BL[7:0]을 통해 나오는 데이터를 센싱하여 DOUT[7:0]으로 출력하는 회로이다.

[0050] 제어로직은 제어신호(RD, PGM)에 따라 프로그램 모드와 읽기 모드에 적합한 내부 제어신호를 공급한다.

[0051] 도 10(a)는 본 발명에 따른 OTP 메모리의 프로그램모드에서의 타이밍을 나타내는 도면이고 도 10(b)는 본 발명에 따른 OTP 메모리의 읽기모드에서의 타이밍을 나타내는 도면이다.

[0052] 도 10의 (a)를 참고하면 프로그램신호(PGM)에 하이(high) 펄스 신호가 인가되면 A[6:0]에 의해 선택된 바이트 셀에 DIN[7:0] 데이터가 프로그램 된다. 그리고 프로그램 타임(program time) 동안 VPP와 VNN은 각각 8V와 -6V를 유지해야 한다.

[0053] 도 10의 (b)를 참고하면 읽기 동작은 VPP와 VNN 전압이 각각 VDD와 그라운드(GND)를 유지한 상태에서 읽어낼 어

드레스 A[6:0]를 먼저 인가한 후 리드신호(READ)에 하이(high) 펄스를 인가하면 선택된 셀의 바이트 데이터가 액세스 시간 (access time)인 t_{AC} 가 지난 이 후 선택된 셀의 데이터가 출력포트(DOUT[7:0])로 출력된다. 이 때 프로그램신호(PGM)는 로우(low)를 유지해야 한다.

[0054] 도 11(a)는 본 발명에 따른 OTP 메모리 장치의 워드라인(WL) 구동 회로를 나타내는 도면이다. 도 11(b)는 양의 데이터라인(P이) 구동회로를 나타내는 도면이고, 도 11(c)는 음의 데이터라인 구동회로를 나타내는 도면이다.

[0055] 도 11(a)를 참고하면 워드라인(WL) 구동 회로는 프로그램 모드로 진입하게 되면 워드라인 인에이블 프로그램신호(WLEN_PGM)가 로직 '1'로 된다. 워드라인 인에이블 프로그램신호(WLEN_PGM)가 로직 '1'이 되면 행 어드레스인 A[6:0]를 디코딩하여 선택되는 역 프로그램 워드라인(WWLb)만 0V로 구동되고 선택되지 않은 역 프로그램 워드라인(WWLb)은 VPP를 유지하도록 한다.

[0056] 한편 읽기 모드로 진입하면 역 워드라인 인에이블 읽기신호(WLENb_RD)가 로직 '0'로 되고 선택되는 읽기 워드라인(RWL)만 VDD 전압으로 구동 된다.

[0057] 도 11(b)를 참고하면 PDL 구동 회로는 프로그램 모드에서 VDD 또는 VPP 전압을 공급한다. 입력신호(DIN)가 로직 '0'인 경우 양의 데이터라인(PDL)에 VPP 전압을 공급하고, 입력신호(DIN)가 로직 '1'인 경우 0V로 구동된다. 한편 읽기 모드에서는 프로그램 인에이블신호(PGM_EN)가 로직 '0' 상태이므로 양의 데이터라인(PDL)은 VDD를 구동하도록 한다.

[0058] 도 11(c)를 참고하면 NDL 구동 회로는 프로그램 모드에서 VSS 또는 VNN 전압을 공급한다. 입력신호(DIN)가 로직 '0'인 경우 음의 데이터라인(NDL)에 VNN 전압을 공급하고, 입력신호(DIN)가 로직 '1'인 경우 VSS로 구동된다. 한편 읽기 모드에서는 프로그램 인에이블신호(PGM_EN)가 로직 '0' 상태이므로 음의 데이터라인(NDL)은 VSS를 구동하도록 한다.

[0059] 도 12는 본 발명에 따른 OTP 메모리 장치의 비트라인 감지 증폭회로를 나타내는 도면이다.

[0060] 도 12에 도시된 바와 같이 본 발명에 따른 OTP 메모리 장치의 비트라인 감지 증폭회로는 낮은 임피던스의 풀업(pull-up) 트랜지스터(MP0), 높은 임피던스의 풀업(pull-up) 트랜지스터(MP1), 그리고 클락 인버터(Clocked Inverter)를 갖는 D-래치 회로로 구성되어 있다.

[0061] 읽기 모드에서 읽기 워드라인(RWL)이 활성화되기 이전에 짧은 펄스의 프리차아지신호(PRECHARGE)에 의해 비트라인(BL)은 모두 VDD 전압으로 프리차징 된다. 읽기 워드라인(RWL)이 활성화되면서 로직 '1'로 프로그램된 셀에 연결된 비트라인(BL)은 VDD 전압을 유지하는 반면, 로직 '0'로 프로그램된 셀은 안티퓨즈가 단락되어 있으므로 비트라인(BL)을 0V로 방전시킨다. 비트라인(BL)에 읽기 데이터가 충분히 전달된 뒤 역 센스감지회로 인에이블신호(SAENb)가 0V로 활성화되면 클락 인버터(Clocked Inverter) 형태의 감지 증폭기는 비트라인(BL)의 VDD 또는 0V를 센싱하여 DOUT으로 읽은 데이터를 출력한다.

[0062] 도 13은 본 발명에 따른 OTP 메모리 장치의 프로그램 모드에서의 시뮬레이션 결과를 나타내는 도면이고, 도 14는 본 발명에 따른 OTP 메모리 장치의 읽기 모드에서의 시뮬레이션 결과를 나타내는 도면이다.

[0063] 도 13을 참고하면 프로그램 모드에서 VPP와 VNN은 PGM 신호가 인가되기 이전에 셋업(set-up) 된다. 그리고 프로그램신호(PGM)가 인가되면서 선택되는 역 프로그램 워드라인 신호(WWLb)가 로우(low)로 활성화되며, PDL과 NDL은 8V와 -6V가 공급되어 안티퓨즈가 하드브레이크다운이 일어나면서 프로그램된다.

[0064] 도 14를 참고하면 읽기 모드에서 OTP 메모리로 들어오는 읽기신호(RD), 프리차아지신호(PRECHARGE) 및 역 센스감지회로 인에이블신호(SAENb)의 타이밍 다이어그램을 보여주고 있다. 도 14에 도시된 바와 같이 읽기신호(RD)가 인가되면 프리차아지신호(PRECHARGE)에 의해 비트라인(BL)은 VDD 전압으로 프리차지 된다. 비트라인(BL)이 프리차지된 후 읽기워드라인(RWL)이 활성화되면서 OTP 셀의 데이터가 비트라인(BL)에 전달되면 SAENb 신호에 의해 비트라인(BL)의 데이터가 센싱되어 출력(DOUT) 노드로 출력된다.

[0065] 프로그램 모드에서의 시뮬레이션 조건은 VDD=1.62V, Temp.=25℃ 이고, 읽기 모드에서의 시뮬레이션 조건은 VDD=1.62V, Temp.=125℃이다.

[0066] 상기 살펴본 바와 같이 본 발명에 따른 이중포트 안티퓨즈 OTP 셀에서 프로그램되는 안티퓨즈는 8V의 VPP와 -6V의 VNN의 이중 전원에 의해 12V 이상의 전압이 걸리며, 프로그램되지 않는 안티퓨즈는 1.8V의 VDD 전압이 걸린다.

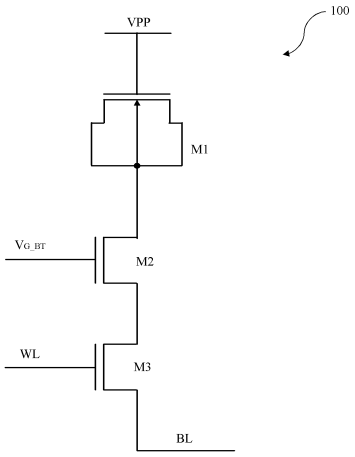
[0067] 따라서 12V 이상의 전압이 걸리는 안티퓨즈는 하드 브레이크다운이 일어나며 프로그램 이후의 저항이 수십 kΩ

이하로 낮아지게 된다.

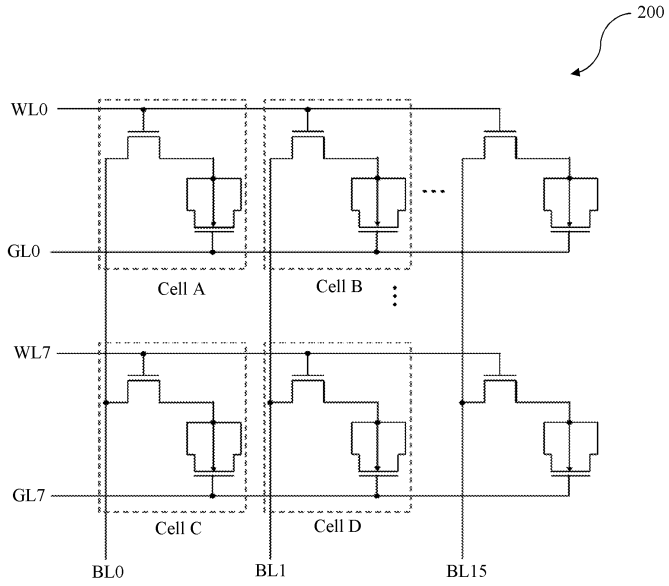
[0068] 이상에서는 본 발명에 대한 기술사상을 첨부 도면과 함께 서술하였지만 이는 본 발명의 바람직한 실시 예를 예시적으로 설명한 것이지 본 발명을 한정하는 것은 아니다. 또한 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 이라면 누구나 본 발명의 기술적 사상의 범주를 이탈하지 않는 범위 내에서 다양한 변형 및 모방이 가능함은 명백한 사실이다.

도면

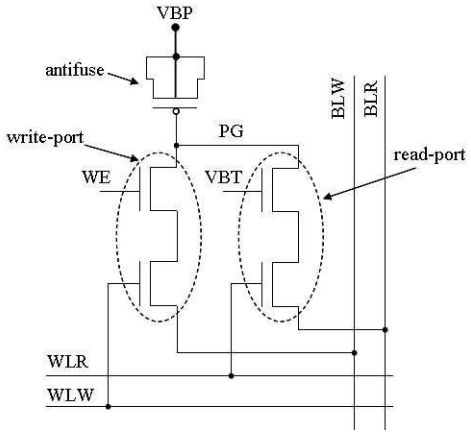
도면1



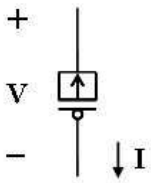
도면2



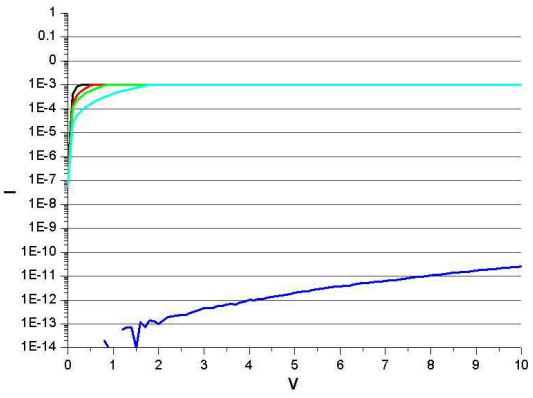
도면3



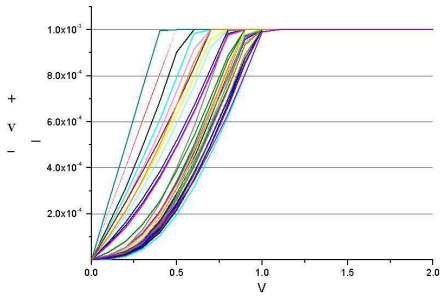
도면4a



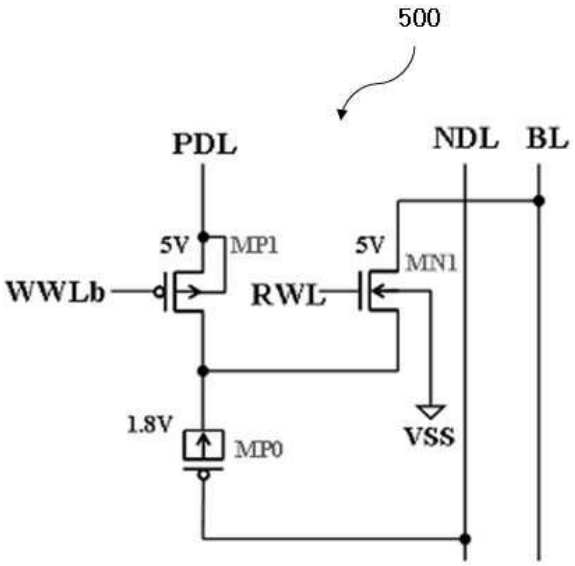
도면4b



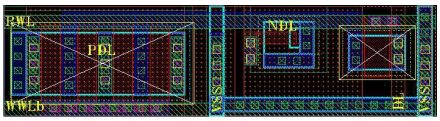
도면4c



도면5



도면6



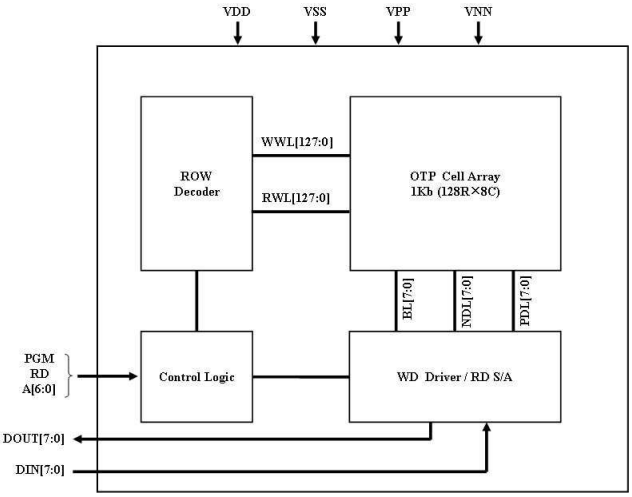
도면7

	프로그램 모드		읽기 모드	
VPP	8V		VDD	
VNN	-6V		0V	
WWLb	0V		VPP	
RWL	0		VPP	
DIN	0	1	×	×
PDL	VPP	VDD	VDD	VDD
NDL	VNN	0V	0V	0V
BL	VDD	VDD	0V	VDD
DOUT	×	×	0	1
Antifuse	Broken	Unbroken	Broken	Unbroken

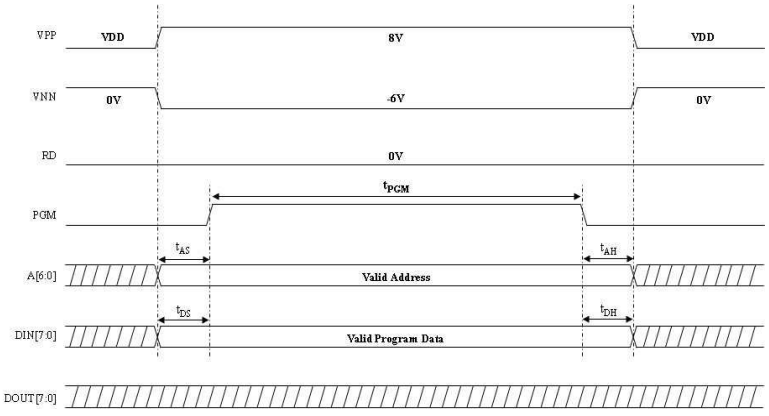
도면8

항목		주요 특징
공정		동부하이텍 0.18㎛ BCD
메모리 용량		1-Kb(128행 × 8열)
전원 전압	VDD	1.8V
	VPP	8.0V
	VNN	-6V
온도		-40~125℃
동작 모드		프로그램/읽기
Access time		500ns

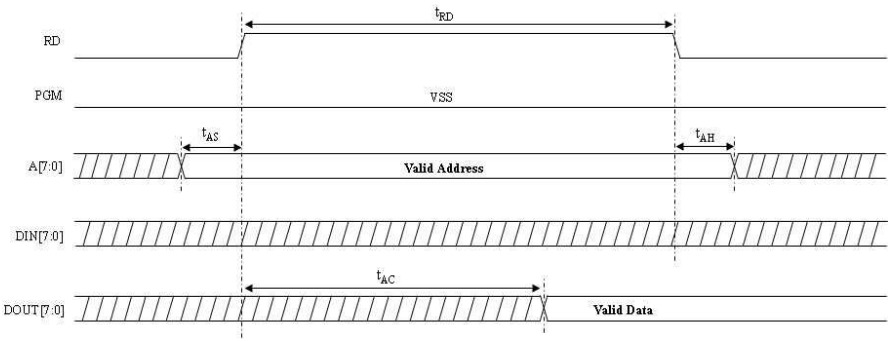
도면9



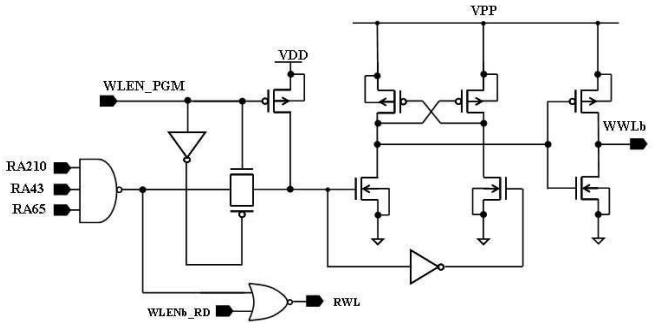
도면10a



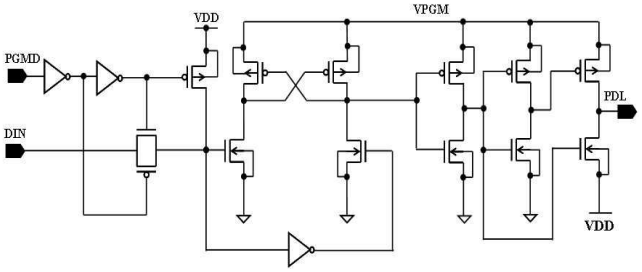
도면10b



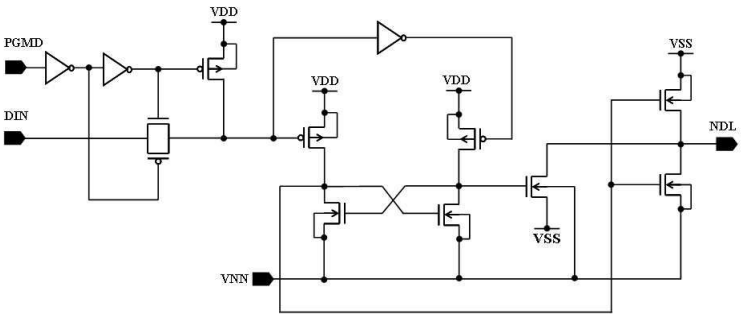
도면11a



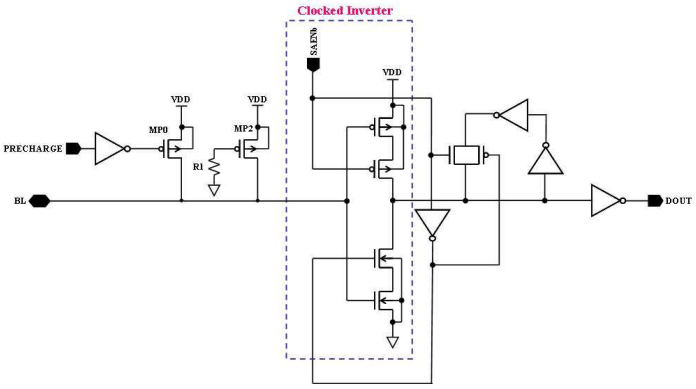
도면11b



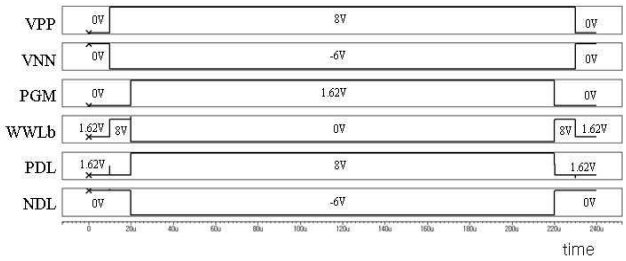
도면11c



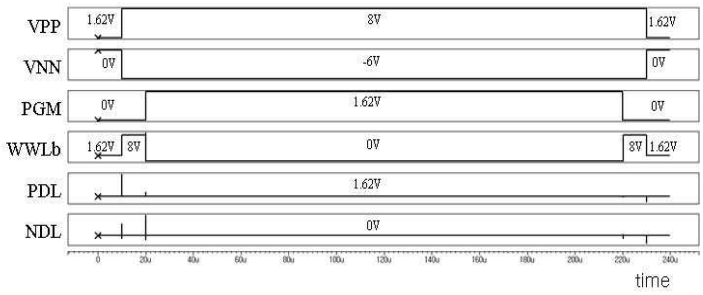
도면12



도면13a



도면13b



도면14

