



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I609189 B

(45) 公告日：中華民國 106 (2017) 年 12 月 21 日

(21) 申請案號：104106446 (22) 申請日：中華民國 104 (2015) 年 03 月 02 日

(51) Int. Cl. : G01R31/26 (2014.01) H01L21/66 (2006.01)

(30) 優先權：2014/05/14 日本 2014-100758

(71) 申請人：信越半導體股份有限公司 (日本) SHIN-ETSU HANDOTAI CO., LTD. (JP)
日本

(72) 發明人：大槻剛 OHTSUKI, TSUYOSHI (JP)

(74) 代理人：林志青

(56) 參考文獻：

TW 200802009A JP 2006-13100A

JP 2008-33946A

審查人員：机亮燁

申請專利範圍項數：1 項 圖式數：5 共 17 頁

(54) 名稱

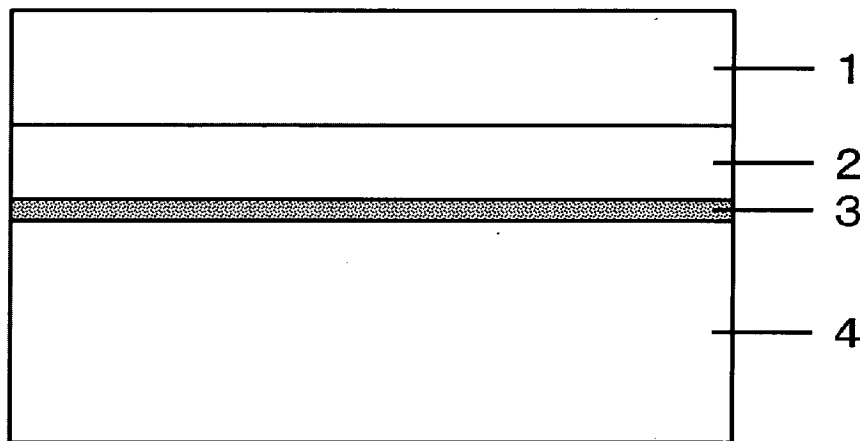
SOI 基板的評估方法

(57) 摘要

本發明係一種 SOI 基板的評估方法，包含：預先於測定用 SOI 基板形成裝置，求取測定用 SOI 基板的介面狀態密度與施加高週波時漏功率的關係，或是將介面狀態密度換算為電阻而求取換算的電阻與該漏功率的關係；測定評估對象 SOI 基板的介面狀態密度而求取介面狀態密度，或是求取基於介面狀態密度所換算得出的電阻；以及藉由測定評估對象 SOI 基板的介面狀態密度，基於預先求取介面狀態密度與漏功率的關係，評估評估對象 SOI 基板的漏功率，或是藉由測定評估對象 SOI 基板的介面狀態密度所換算的電阻，基於預先求取電阻與漏功率的關係，評估評估對象 SOI 基板的漏功率。如此，不實際測定高週波特性，藉由盡可能簡單的方法評估適合高週波的基板。

指定代表圖：

5



符號簡單說明：

1 . . . SOI 層

2 . . . BOX 層

3 . . . 陷阱層

4 . . . 基底晶圓

5 . . . SOI 基板

第 1 圖



申請日: 104 年 3 月 26 日

IPC分類:

G01R 31/26 (2014.01)

H01L 21/66 (2006.01)

【發明摘要】**【中文發明名稱】** SOI基板的評估方法**【中文】**

本發明係一種SOI基板的評估方法，包含：預先於測定用SOI基板形成裝置，求取測定用SOI基板的介面狀態密度與施加高週波時漏功率的關係，或是將介面狀態密度換算為電阻而求取換算的電阻與該漏功率的關係；測定評估對象SOI基板的介面狀態密度而求取介面狀態密度，或是求取基於介面狀態密度所換算得出的電阻；以及藉由測定評估對象SOI基板的介面狀態密度，基於預先求取介面狀態密度與漏功率的關係，評估評估對象SOI基板的漏功率，或是藉由測定評估對象SOI基板的介面狀態密度所換算的電阻，基於預先求取電阻與漏功率的關係，評估評估對象SOI基板的漏功率。如此，不實際測定高週波特性的基板，藉由盡可能簡單的方法評估適合高週波的基板。

【指定代表圖】 第(1)圖**【代表圖之符號簡單說明】**

- | | |
|---|-------|
| 1 | SOI層 |
| 2 | BOX層 |
| 3 | 陷阱層 |
| 4 | 基底晶圓 |
| 5 | SOI基板 |

【發明申請專利範圍】

【第1項】一種SOI基板的評估方法，係用於對評估對象的SOI基板施加高週波時評估高週波特性的方法，包含下列步驟：

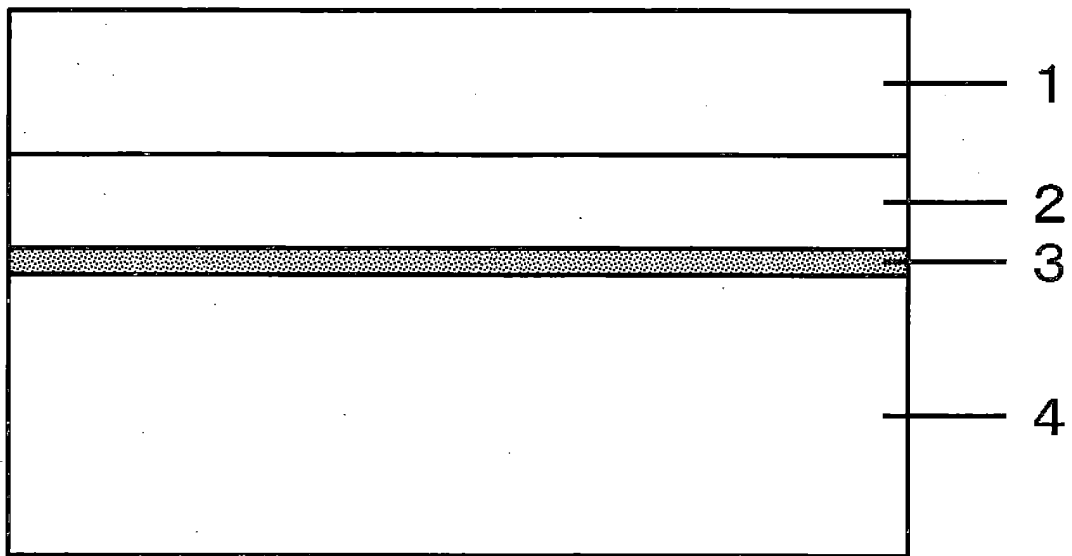
預先於一測定用SOI基板形成一裝置，求取該測定用SOI基板的介面狀態密度與施加高週波時的漏功率的關係，或是將該介面狀態密度換算為電阻而求取該換算的電阻與該漏功率的關係；

測定該評估對象SOI基板的介面狀態密度而求取介面狀態密度，或是求取基於該介面狀態密度所換算得出的電阻；以及

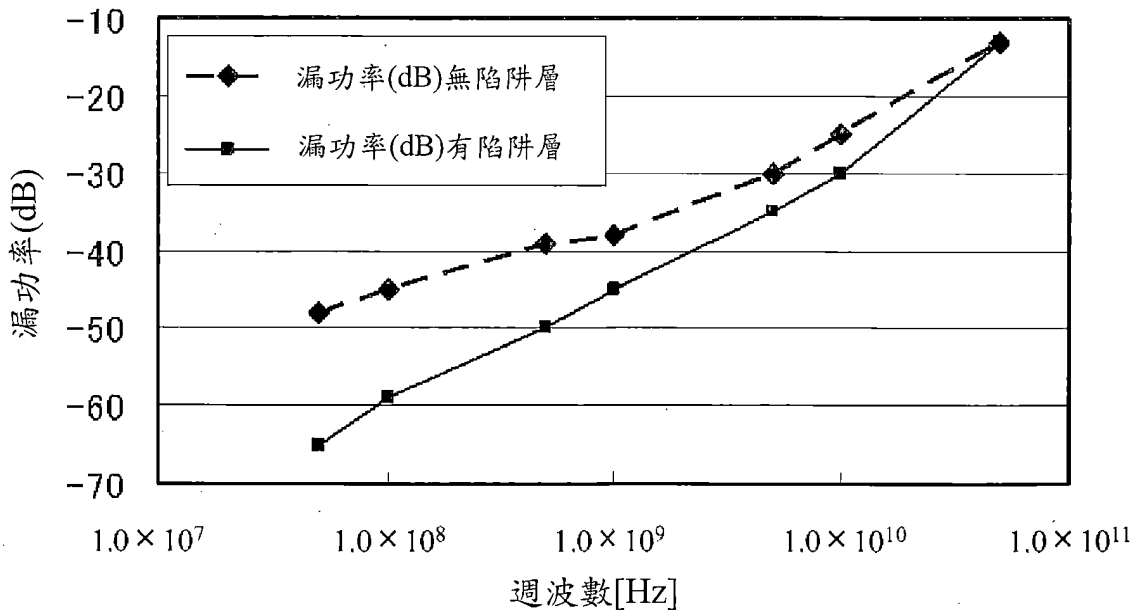
自該經測定的該評估對象的SOI基板的該介面狀態密度，基於該預先求取的介面狀態密度與漏功率的關係，評估該評估對象的SOI基板的漏功率，或是自該經測定的該評估對象的SOI基板的該介面狀態密度所換算的電阻，基於該預先求取的電阻與漏功率的關係，評估該評估對象的SOI基板的漏功率。

【發明圖式】

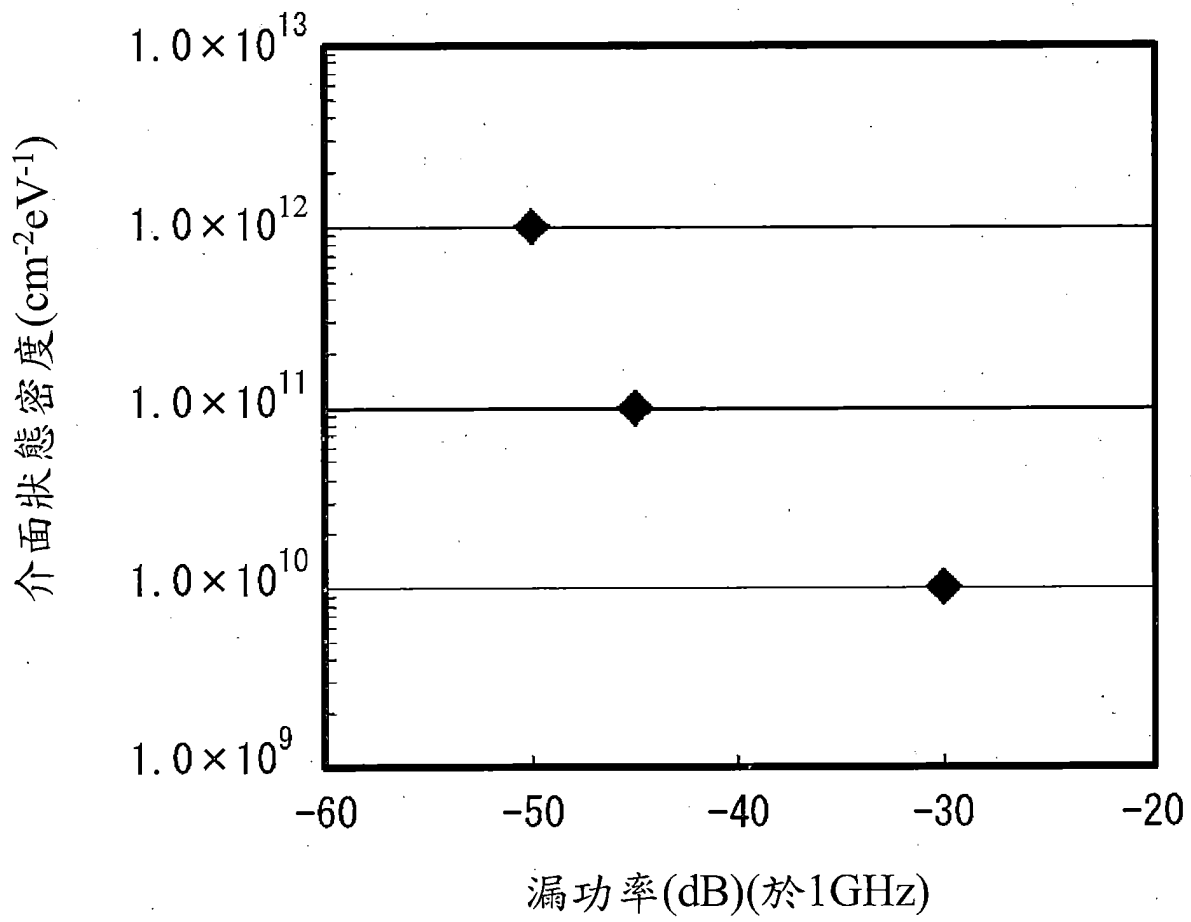
5



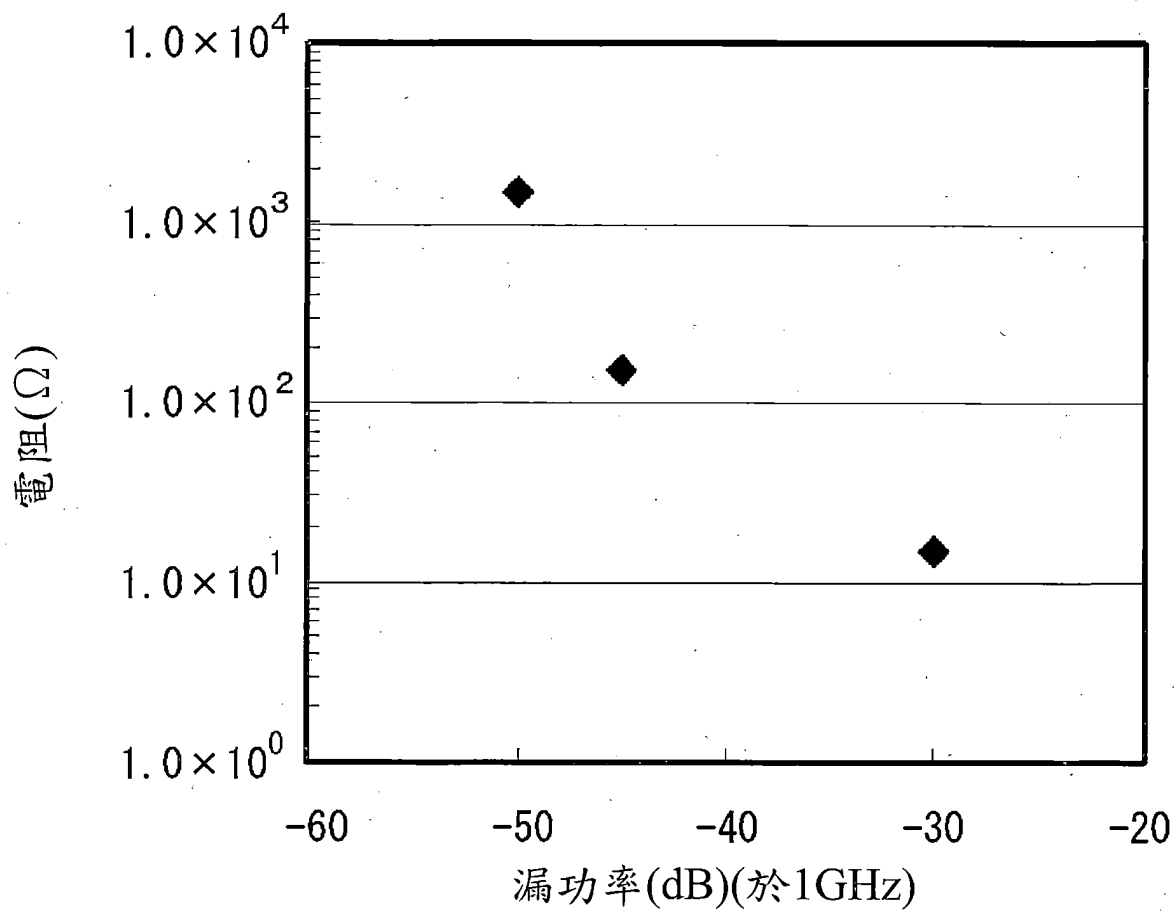
第 1 圖



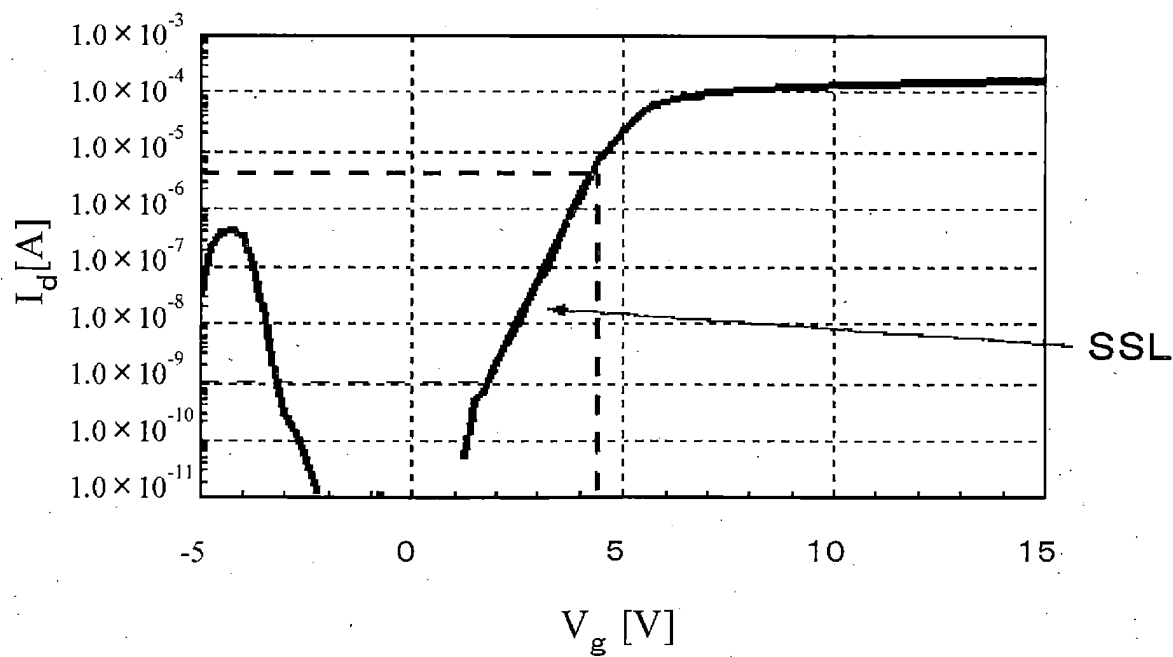
第 2 圖



第 3 圖



第 4 圖



第 5 圖



申請日: 104 年 3 月 26 日

IPC分類:

G01R 31/26 (2014.01)

H01L 21/66 (2006.01)

【發明摘要】

【中文發明名稱】 SOI基板的評估方法

【中文】

本發明係一種SOI基板的評估方法，包含：預先於測定用SOI基板形成裝置，求取測定用SOI基板的介面狀態密度與施加高週波時漏功率的關係，或是將介面狀態密度換算為電阻而求取換算的電阻與該漏功率的關係；測定評估對象SOI基板的介面狀態密度而求取介面狀態密度，或是求取基於介面狀態密度所換算得出的電阻；以及藉由測定評估對象SOI基板的介面狀態密度，基於預先求取介面狀態密度與漏功率的關係，評估評估對象SOI基板的漏功率，或是藉由測定評估對象SOI基板的介面狀態密度所換算的電阻，基於預先求取電阻與漏功率的關係，評估評估對象SOI基板的漏功率。如此，不實際測定高週波特性，藉由盡可能簡單的方法評估適合高週波的基板。

【指定代表圖】 第(1)圖

【代表圖之符號簡單說明】

- | | |
|---|-------|
| 1 | SOI層 |
| 2 | BOX層 |
| 3 | 陷阱層 |
| 4 | 基底晶圓 |
| 5 | SOI基板 |

【發明說明書】

【中文發明名稱】 SOI基板的評估方法

【技術領域】

【0001】 本發明係關於以單結晶矽晶圓（single crystal silicon wafer）貼合製作的SOI（Silicon on Insulator）基板，更詳細係關於使用於製作高週波用裝置等的SOI基板的評估。

【先前技術】

【0002】 由於行動裝置與無線通訊急速地普及，作為通訊介面的主要用途的RF（Radio Frequency；高週波）裝置引起注意，被認為往後也會發展。近年於攜帶裝置與個人電腦上採用低耗電量裝置的情形持續地進展，在此狀況下，使用SOI基板則有減低洩漏電流（leakage current）所致的降低耗電量的好處。而且，被認為以SoC（System on a Chip）等來組裝RF裝置，在RF電晶體（transistor）的特性上，使用SOI晶圓有減少裝置間串音（cross talk）的優點。

【0003】 在此，串音係裝置間的非期望的電子訊號的傳遞。例如通過裝置配線間的電容器（capacitor）或是晶圓傳遞電子訊號。雖然晶圓的電阻越高串音會越少，但實際上，無法極端地提高裝置形成部的晶圓電阻。

【0004】 然而，使用SOI基板則因於SOI層與基底晶圓（base wafer）間存在嵌入的氧化膜層（BOX層）的緣故，可減少串音的發生。另外，於成為BOX層基底的基底晶圓未製作裝置，即不受製作裝置上的限制而可使用高電阻的晶圓，藉此可提升高週波的特性。

【0005】 但是，使用高電阻晶圓的情形下，依照於SOI層製作的源極（Source）、汲極（Drain）與其他電子電路的配置，施加電場（electric field）於BOX層，有在BOX層與基底晶圓的介面上產生反轉層（inversion layer）的案例。在這樣的情形下，因為會對高週波特性的帶來不良的影響，不論是否使用高電阻晶圓，皆無法得到期望的高週波特性的。再者，一般來說，高電阻係使用 $1000\Omega \cdot \text{cm}$ 以上的基板者較多。

【0006】 作為其對策，藉由提高介面狀態密度（interface state density，以下也被稱為Dit），使載體（carrier）被捕捉於介面狀態（Interface state）而防止反轉層所致的高週波特性的劣化。

作為這樣的技術，已知例如：於BOX層與基底晶圓的交界面，導入多晶矽（polysilicon）層與氮氧化物之類的中間層（陷阱層），不讓反轉層形成，可得到有良好高週波特性的SOI晶圓的技術（例如專利文獻1，2、非專利文獻1）。

【0007】 另外，使用與成為SOI層的矽晶圓擁有不同表面定向（surface orientation）的矽晶圓作為基底晶圓，防止高週波特性的劣化的方法等也已被介紹（例如專利文獻3）。

【0008】 上述般的技術係為了得到良好的高週波特性的所必須的技術。評估其技術時，例如：雖可用展佈電阻分析（spreading resistance analysis, SRA）或其他方法測定基板的電阻，但沒有直接測定BOX層正下方的陷阱層（機能層）的特性的評估方法。因此，存在只有以製作實際的裝置測定漏功率等而評估高週波特性的方法的問題。

〔先前技術文獻〕

〔專利文獻〕

【0009】

〔專利文獻1〕日本特表2007-507093號公報

〔專利文獻2〕日本特表2007-507100號公報

〔專利文獻3〕日本特表2009-231376號公報

〔非專利文獻〕

【0010】

〔非專利文獻1〕D. Lederer et. al., “Effective resistivity of fully-processed SOI substrates” Solid-State Electronics.,49,491 (2005) .

〔非專利文獻2〕 SEMICONDUCTOR MATERIAL AND DEVICE CHARACTERIZATION, D. K. Schroder, JOHNWILEY & SONS, INC., PUBLICATION 2006

〔非專利文獻3〕H. J. Hovel, “Si film electrical characterization in SOI substrates by the HgFET technique”, Solid-State Electron, 47, 1311 (2003)

【發明內容】

【0011】

〔發明所欲解決之問題〕

鑑於上述的問題，本發明的目的係提供不形成實際的裝置來測定高週波特
性，而盡可能以簡單的方法評估適合高週波裝置的SOI基板的方法。

〔解決問題之技術手段〕

【0012】 為達成上述的目的，本發明提供一種SOI基板的評估方法，用於對評估對象的SOI基板施加高週波時評估高週波特性的方法，包含下列步驟：

預先於一測定用SOI基板形成一裝置，求取該測定用SOI基板的介面狀態密度與施加高週波時的漏功率的關係，或是將該介面狀態密度換算為電阻而求取該換算的電阻與該漏功率的關係；

測定該評估對象SOI基板的介面狀態密度而求取介面狀態密度，或是求取基於該介面狀態密度所換算得出的電阻；以及

藉由該經測定的該評估對象的SOI基板的該介面狀態密度，基於該預先求取的介面狀態密度與漏功率的關係，評估該評估對象的SOI基板的漏功率，或是藉由該經測定的該評估對象的SOI基板的該介面狀態密度所換算的電阻，基於預先求取的電阻與漏功率的關係，評估該評估對象的SOI基板的漏功率。

【0013】 這種方法不透過實際形成裝置來測定高週波特性的，可於SOI基板的階段簡單地評估適合高週波裝置的SOI基板。

〔對照先前技術之功效〕

【0014】 如上述說明，本發明能夠不製作實際的裝置，而簡單地評估SOI基板是否適合高週波用裝置。另外，由晶圓規範換算成一般的電阻，以簡單的數值規定作為指標的電阻也變得可行。

【圖式簡單說明】

【0015】

第1圖係顯示關於本發明的測定用及評估用的SOI基板的一範例的概略圖。

第2圖係比較於SOI基板的BOX層的正下方有無陷阱層的一範例。

第3圖係顯示於本發明預先求取的測定用SOI基板的介面狀態密度與施加高週波時的漏功率的關係的一範例的圖。

第4圖係顯示於本發明預先求取的將介面狀態密度換算成電阻的該經換算的電阻與漏功率的關係的一範例的圖。

第5圖係顯示關於本發明的經由擬金屬氧化物半導體場效電晶體(Pseudo-MOSFET)算出介面狀態密度的一範例的圖。

【實施方式】

【0016】 以下關於本發明進行詳細說明，但本發明並不限定於此。

【0017】 (第1實施例)

於第1實施例，於最初利用測定用SOI基板，進行預先求取介面狀態密度與施加高週波時的漏功率的關係的步驟。

測定用SOI基板係為準備出與評估用SOI基板5為相同之物品，該物品具有：如圖1所示的SOI層1、氧化矽膜的BOX層2、基底晶圓4及抑制BOX層2與基底晶圓4交界處的載體的產生的陷阱層3。

【0018】 然後，測定該測定用SOI基板5的介面狀態密度，求取介面狀態密度。再者，介面狀態密度的測定可用記載於非專利文獻2及3的使用水銀電極的疑似MOSFET法進行。或是，在用鹼性液體去除SOI層時，以記載於非專利文獻2的CV法測定介面狀態密度。

【0019】 此外，於測定用SOI基板上形成一裝置，施加高週波，測定此時的漏功率。

利用這樣所測定的SOI基板5的介面狀態密度與施加高週波時的漏功率，預先求取二者間的相關關係。

【0020】 接下來，進行測定評估對象的SOI基板的介面狀態密度而求取介面狀態密度的步驟。

首先，準備成為評估對象的SOI基板。成為評估對象的SOI基板也如圖1所示是具有SOI層1、BOX層2、陷阱層3及基底晶圓4的SOI基板5。測定此評估對象的SOI基板5的介面狀態密度，求取介面狀態密度。再者，介面狀態密度的測定，可藉由如同上述的使用水銀電極的疑似MOSFET法或是CV法測定。

【0021】 接下來，進行評估該評估對象的SOI基板的漏功率的步驟。

如同上述，基於預先求取測定用SOI基板的介面狀態密度與漏功率的關係，以測定的評估用SOI基板的介面狀態密度，可預測並評估該評估用SOI基板的漏功率進行評估。

如此一來，本發明不用在評估用的SOI基板上製作實際的裝置，就可評估SOI基板的漏功率，即可評估高週波的特性。

【0022】 (第2實施例)

第2實施例中，最初預先進行基於測定用SOI基板的介面狀態密度的測定結果，求取換算的電阻與漏功率的關係的步驟。

將介面狀態密度換算成電阻，可依下述的方法進行。

從數學式1的關係，能夠從介面狀態密度求取SSL (Subthreshold Slope) 的值。此時，SSL係如圖5所示定義出電流 (I_d) 增加一位數時的電壓 (V_g) 的變化。再者， C_{ox} 係表示BOX層容量， C_{Si} 係表示SOI層容量。

將該SSL定義成由介面狀態密度求取的電阻RD(與數學式2的電阻部分的V/I相當)，從此電阻RD換算成通常的電阻。此時的換算係數可藉由高週波測定的結果求取(數學式2、3)。再者， ρ 係表示電阻率， R_{SP} 係表示展佈電阻。

【0023】

【數學式1】

$$D_{it} = \left[\frac{SSL}{\ln 10} \left(\frac{q}{kT} - \frac{1}{E_F T_{Si}} \right) C_{ox} - (C_{ox} + C_{Si}) \right] / q$$

$$\approx \frac{SSL \cdot 16.77 C_{ox} - (C_{ox} + C_{Si})}{q} \quad (\text{溫度 } 300K)$$

【數學式2】

$$\rho = 2\pi sF \frac{V}{I}$$

s: 探針間距離
F: 修正係數

【數學式3】

$$R_{sp} = \frac{\rho}{4r}$$

r: 探針尖端半徑

【0024】 此外，於測定用SOI基板上形成一裝置，施加高週波，測定此時的漏功率。

通過利用基於介面狀態密度的測定結果所換算的電阻，及藉由測定求得的施加高週波時的漏功率的方式，預先求得兩者間的相關關係。

【0025】 進行藉由經測定的評估對象的SOI基板的介面狀態密度所換算的電阻，基於預先求取的電阻與漏功率的關係，對評估對象SOI基板的漏功率進行評估的步驟。

此時，測定評估對象的SOI基板的介面狀態密度，將得到的介面狀態密度，與上述同樣地換算成電阻。

【0026】 如此一來，從評估用的SOI基板的介面狀態密度所換算的電阻，基於預先求取的電阻與漏功率的關係，可預測並評估該評估對象的SOI基板的漏功率。

【0027】 如此一來，藉由本發明，不用於評估用的SOI基板上實際地製作裝置，即可評估SOI基板的漏功率。此外，因介面狀態密度換算成電阻的緣故，以電阻作為一基準來表示基板的特性也變得可能。

【0028】 以下，以本發明的實施例對本發明進行更具體的說明，但本發明並不限定於此。

將摻有電阻率 $1000\Omega \cdot \text{cm}$ 的硼的直徑 200mm 的單結晶矽晶圓作為基底晶圓，對於該基底晶圓，將作為原料氣體的三氯矽烷(Trichlorosilane)而以 1150°C 、生長時間3分鐘，生長 $3\mu\text{m}$ 的多結晶層。之後，將甲矽烷(monosilane)作為原料，而以 570°C 、生長時間90分鐘，生長 $0.5\mu\text{m}$ 的多結晶層，作為陷阱層。

【0029】 對於該晶圓，於摻有電阻率 $1000\Omega \cdot \text{cm}$ 的硼的直徑 200mm 的矽晶圓上，以Pyro氛圍 1150°C 、6小時的處理，形成 1000nm 的氧化膜，貼合作為BOX

層的接合晶圓 (bond wafer)，進行結合熱處理。之後，藉由研磨使SOI層薄膜化成160nm，製作SOI基板。並以同樣的方法製作複數個SOI基板。

【0030】 經改變介面狀態密度的複數個SOI基板的介面狀態密度，利用記載於非專利文獻2、3中的使用水銀電極的疑似MOSFET法測定。

【0031】 接下來，為了測定漏功率，於用鹼性蝕刻 (alkaline etching) 去除SOI基板的SOI層時，將Al以2 μm 的厚度氣相沉積於此。並且進行光刻 (Photolithography)，形成CPW (Coplanar Waveguides)。

測定漏功率的裝置，係於測定用的SOI基板上，150 μm ×50 μm 的Al電極以各電極間間隔100 μm 所形成者。

【0032】 然後，施加高週波於經形成裝置的測定用SOI基板，針對輸入電源測定Al電極間的漏功率。以施加的高週波的頻率係 $1\times 10^8\sim 1\times 10^{11}\text{Hz}$ 的範圍進行測定。由漏功率的頻率依存性資料中，採用被認為良好反映出基板的差異的1GHz ($1\times 10^9\text{Hz}$) 作為漏功率的代表值，求取圖3的關係。

【0033】 此外，如同上述基於測定、求出的介面狀態密度，求取換算的電阻。

此時，厚度160nm的SOI層容量 C_{si} 係 $6.53\times 10^{-8}\text{F}$ 、厚度100nm的BOX層 C_{ox} 係 $7.195\times 10^{-8}\text{F}$ 。代入數學式1，求得介面狀態密度為 $1\times 10^{12}\text{cm}^{-2}\text{eV}^{-1}$ 時，SSL為0.15；介面狀態密度為 $1\times 10^{11}\text{cm}^{-2}\text{eV}^{-1}$ 時，SSL為0.015；介面狀態密度為 $1\times 10^{10}\text{cm}^{-2}\text{eV}^{-1}$ 時，SSL為0.0015。

【0034】 進一步，於這次的範例中，以與高週波的關係將SSL換算成電阻時的係數設定為10000，將SSL換算成電阻。如此一來，基於施加1GHz時測定的

BOX層與基底晶圓的介面狀態密度，求取換算的電阻。並求取上述換算的電阻與漏功率之間的關係，表示於第4圖。

【0035】 之後，與上述相同的方法製作評估對象的SOI基板。針對評估對象的SOI基板，其介面狀態密度以疑似MOSFET法測定。自該經測定的介面狀態密度，基於預先求取的第3圖的介面狀態密度與漏功率的關係，可對施加高週波於該評估對象的SOI基板時的漏功率進行評估。

【0036】 再者，基於該經測定的評估用SOI基板的介面狀態密度，如同上述求取換算的電阻。由該換算的電阻，基於預先求取的第4圖的電阻與漏功率的關係，可對施加高週波於該評估對象的SOI基板時的漏功率進行評估。

【0037】 如同上述，由於預先求取介面狀態密度與漏功率的關係，或是電阻與漏功率的關係，利用此關係，不形成如第2圖所示般因陷阱層的有無所致的漏功率的差異等的裝置，從評估用的SOI基板的介面狀態密度或介面狀態密度換算的電阻來預測，可進行正確地評估。其結果，可用簡單的方法作出正確的評估。

【0038】 再者，本發明並不限定於上述的實施例。上述實施例為為舉例說明，具有與本發明的申請專利範圍所記載之技術思想實質上同樣之構成，產生相同的功效者，不論為何物皆包含在本發明的技術範圍內。

【符號說明】

1	SOI 層
2	BOX 層
3	陷阱層
4	基底晶圓

SOI 基板