



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2021-0103025
(43) 공개일자 2021년08월23일

(51) 국제특허분류(Int. Cl.)

C30B 23/02 (2006.01) C01B 32/194 (2017.01)
C30B 23/04 (2006.01) C30B 25/02 (2006.01)
C30B 25/04 (2006.01) C30B 25/18 (2006.01)
C30B 29/16 (2006.01) C30B 7/00 (2006.01)
C30B 7/10 (2006.01) H01L 21/02 (2006.01)
H01L 33/00 (2010.01)

(52) CPC특허분류

C30B 23/02 (2013.01)
C01B 32/194 (2017.08)

(21) 출원번호 10-2020-0016985

(22) 출원일자 2020년02월12일

심사청구일자 2020년02월12일

(71) 출원인

세종대학교산학협력단

서울특별시 광진구 능동로 209 (군자동, 세종대학교)

(72) 발명자

홍영준

경기도 용인시 기흥구 구성로 123, 104동 1504호 (언남동, 하마비마을동부아파트)

정준석

서울특별시 노원구 중계로 230, 503동 906호 (중계동, 중계5단지주공아파트)

(74) 대리인

유미특허법인

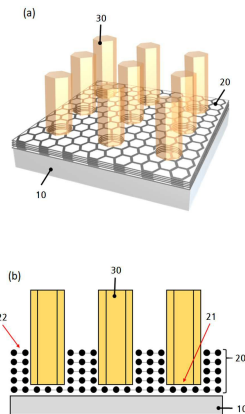
전체 청구항 수 : 총 18 항

(54) 발명의 명칭 그래핀층 위의 선택적 영역 에피택시 구조체 및 그 제조 방법

(57) 요약

일 실시예에 따른 그래핀층 위에 위치가 조절된 반도체 구조물의 제조 방법은 단결정 기판을 제공하는 단계, 상기 기판 위에 위치하고 두께가 조절된 그래핀층을 제공하는 단계, 상기 그래핀층 위에 위치하고, 그래핀층의 오목부를 따라 위치하는 반도체 구조물 형성하는 단계, 상기 반도체 구조물을 기판으로부터 박리하는 단계를 포함할 수 있다.

대표도 - 도1



(52) CPC특허분류

C30B 23/025 (2013.01)
C30B 23/04 (2013.01)
C30B 25/02 (2013.01)
C30B 25/04 (2013.01)
C30B 25/18 (2013.01)
C30B 29/16 (2013.01)
C30B 7/005 (2020.05)
C30B 7/10 (2013.01)
H01L 21/02387 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711089433
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	해외우수기관유치(R&D)
연구과제명	GRI-TPC 국제공동연구센터
기 여 율	1/2
과제수행기관명	세종대학교 산학협력단
연구기간	2019-01-01~2019-12-31

이 발명을 지원한 국가연구개발사업

과제고유번호	1415163309
부처명	산업통상자원부
과제관리(전문)기관명	한국에너지기술평가원
연구사업명	에너지인력양성(전력기금)(R&D)
연구과제명	나노복합소재기반 태양광기술 고급트랙
기 여 율	1/2
과제수행기관명	세종대학교 산학협력단
연구기간	2019.03.01 ~ 2019.12.31

명세서

청구범위

청구항 1

복수개의 관통홀을 갖는 다층 그래핀층을 제공하는 단계,
상층에 그래핀층이 형성되어 있는 단결정 기판을 제공하는 단계,
상기 그래핀층이 상기 다층 그래핀층에 접촉하도록, 상기 다층 그래핀층과 상기 단결정 기판을 부착하는 단계,
그리고
상기 복수개의 관통홀 내부에 선택적으로 위치하도록 반도체 구조물을 성장시키는 단계
를 포함하는 에피택시 구조체의 제조 방법.

청구항 2

제1항에서,
상기 다층 그래핀층을 제공하는 단계는 단층의 그래핀층을 한 층씩 반복하여 전사함으로써 상기 다층 그래핀층의 두께를 조절하는 단계를 포함하는 에피택시 구조체의 제조 방법.

청구항 3

제2항에서,
상기 단결정 기판을 제공하는 단계는 상기 단결정 기판에 형성되는 상기 그래핀층의 두께를 조절하는 단계를 포함하는 에피택시 구조체의 제조 방법.

청구항 4

제3항에서,
상기 다층 그래핀층은 희생기판 위에 형성되고, 식각 용액에 의하여 상기 다층 그래핀층과 상기 희생기판이 분리되는 에피택시 구조체의 제조 방법.

청구항 5

제4항에서,
상기 다층 그래핀층 위에 제1 관통홀을 갖는 마스크층을 형성하고, 상기 반도체 구조물을 성장시키기 전에, 상기 마스크층이 제거되는 에피택시 구조체의 제조 방법.

청구항 6

제5항에서,
상기 반도체 구조물을 성장시키는 단계는 수열합성법(hydrothermal synthesis method), 유기금속 화학기상증착법(metal-organic chemical vapor deposition, MOCVD) 또는 분자선 에피택시(molecular beam epitaxy, MBE) 중 어느 하나를 이용하는 에피택시 구조체의 제조 방법.

청구항 7

제6항에서,

상기 마스크층은 복수개의 제1 관통홀들을 포함하고, 상기 복수개의 제1 관통홀들은 일정한 직경 및 간격을 갖는 에피택시 구조체의 제조 방법.

청구항 8

단결정 기판,

상기 단결정 기판 위에 위치하고, 오목부와 볼록부를 포함하는 다층 그래핀층, 그리고

상기 오목부 안에 위치하고, 수직 방향으로 성장되어 있는 반도체 구조물

을 포함하고,

상기 오목부의 하부는 상기 반도체 구조물과 접촉하는 그래핀층을 포함하며, 그리고

상기 반도체 구조물은 상기 단결정 기판과 에피택시 관계를 갖는 에피택시 구조체.

청구항 9

제8항에서,

상기 반도체 구조물은 상기 단결정 기판과 상기 그래핀층 중에, 상기 단결정 기판에만 선택적으로 에피택시 관계를 갖는 에피택시 구조체.

청구항 10

제9항에서,

상기 오목부는 복수개의 오목부들을 포함하고, 상기 복수개의 오목부들은 일정한 직경 및 간격을 갖는 에피택시 구조체.

청구항 11

제10항에서,

상기 복수개의 오목부들은 서로 동일한 면내 방향(in-plane orientation) 및 성장 방향을 갖는 에피택시 구조체.

청구항 12

제8항에서,

상기 반도체 구조물은 n-형 반도체 구조물이고, 상기 n-형 반도체 구조물 위에 위치하는 p-형 반도체 결정층을 포함하고, 발광소자 구조물인 에피택시 구조체.

청구항 13

제8항에서,

상기 반도체 구조물은 n-형 반도체 구조물이고, 상기 n-형 반도체 구조물 위에 위치하는 활성층을 포함하고, 상기 활성층 위에 위치하는 p-형 반도체 결정층을 포함하고, 발광소자 구조물인 에피택시 구조체.

청구항 14

단결정 기판으로부터 에피택시 구조체를 박리하여 제조하는 단계,

상기 단결정 기판을 재사용하는 단계,

재사용 단결정 기판 위에 위치하고, 일정한 직경 및 간격의 복수개의 오목부를 포함하고, 두께가 조절된 그래핀층을 제공하는 단계, 그리고

상기 두께가 조절된 그래핀층 위에 위치하고, 상기 두께가 조절된 그래핀층의 오목부 안에 위치하는 반도체 구조물을 제공하는 단계

를 포함하는 에피택시 구조체의 제조 방법.

청구항 15

제14항에서,

상기 반도체 구조물을 제공하는 단계는 상기 재사용 단결정 기판과 상기 두께가 조절된 그래핀층 중에, 상기 재사용 단결정 기판에만 선택적으로 에피택시 관계를 갖는 반도체 구조물을 제공하는 에피택시 구조체의 제조 방법.

청구항 16

단결정 GaN 기판,

상기 단결정 GaN 기판 위에 위치하고, 복수개의 오목부들과 복수개의 볼록부들을 포함하는 다층 그래핀층, 그리고

상기 복수개의 오목부들 안에 위치하고, 수직 방향으로 성장되어 있는 복수개의 ZnO 구조물들을 포함하고,

상기 복수개의 오목부들의 직경은 0.3 μm 내지 20 μm 이며,

상기 복수개의 오목부들의 간격은 1 μm 내지 50 μm 이며,

상기 복수개의 오목부들의 하부는 상기 복수개의 ZnO 구조물들과 접촉하는 1 층으로 이루어진 그래핀층을 포함하며,

상기 복수개의 ZnO 구조물들은 Zn-polar (0001) 결정배열을 나타내고, 상기 단결정 GaN 기판은 Ga-polar (0001) 결정배열을 나타내는 에피택시 구조체.

청구항 17

제16항에서,

상기 복수개의 ZnO 구조물들 사이와 상부 표면이 갭 필링층으로 덮여 있는 에피택시 구조체.

청구항 18

산화규소 기판을 준비하는 단계,

상기 산화규소 기판 위에 단층의 그래핀층을 한 층씩 반복하여 전사하여 다층 그래핀층을 형성하는 단계,

상기 다층 그래핀층 위에 폴리메틸 메타크릴레이트(poly(methyl methacrylate), PMMA), 또는 감광제(photoresist)를 스핀코팅(spin-coating)하여 마스크층을 형성하는 단계,

전자빔 리소그래피(electron-beam lithography), 포토리소그래피(photolithography), 레이저 간섭 리소그래피(laser interference lithography, LIL) 또는 나노임프린트(nanoimprint) 공정을 통해 상기 마스크층에 복수개의 제1 관통홀들을 형성하는 단계,

산소 플라즈마(oxygen plasma) 분위기에서의 반응성 이온 식각(reactive-ion etching, RIE) 공정을 이용하여 상기 다층 그래핀층 내에 복수개의 제2 관통홀들을 형성하는 단계,

버퍼 옥사이드 식각용액(buffered oxide etchant, BOE)으로 산화규소 기판을 상기 다층 그래핀층으로부터 분리시키는 단계,

단결정 GaN 기판 위에 그래핀층을 1 층 전사시키는 단계,

상기 단결정 GaN 기판 위에 전사된 그래핀층이 상기 다층 그래핀층에 접촉하도록 상기 다층 그래핀층과 상기 단결정 GaN 기판을 부착하는 단계,

마스크 식각 용액을 이용하여 상기 마스크층을 제거하는 단계, 그리고

징크 나이트레이트 헥사하이드레이트(zinc nitrate hexahydrate, ZNH) 및 헥사메틸렌테트라민(hexamethylenetetramine, HMT)를 포함하는 용액에, 상기 복수개의 제2 관통홀들을 포함하는 다층 그래핀층이 형성된 상기 단결정 GaN 기판을 넣어 반응시키는 단계

를 포함하는 에피택시 구조체의 제조 방법.

발명의 설명

기술 분야

[0001] 그래핀층 위의 선택적 영역에 형성된 에피택시(epitaxy) 구조체 및 그 제조 방법이 제공된다.

배경 기술

[0003] 최근 플렉서블(flexible) 및 웨어러블(wearable) 전자 산업이 급격하게 성장함에 따라 변형이 자유로운 소재 제조 개발이 활발히 진행되고 있다.

[0004] 무기물 반도체 기반 소자는 장수명, 높은 효율 및 성능뿐만 아니라 고온, 다습한 환경에서의 장시간 안정성을 갖기 때문에, 플렉서블 소자에 응용이 될 경우 유기물 기반 플렉서블 소자 보다 활용될 수 있는 범위가 매우 넓다.

[0005] 플렉서블 전자 소자를 제조하기 위해서는 균일한 배열의 소자를 제조 하고 이를 대량으로 전사할 수 있는 기술이 필요하다. 그러나, 종래의 박막형태의 무기물 반도체는 강한 공유결합을 기반으로 하고 있으며, 딱딱한 무기물 기판 상에 제조되기 때문에 변형이 자유롭지 못하고, 제조한 소자의 대면적 박리(exfoliation) 및 전사가 어려워 여전히 플렉서블 소자 응용에 어려움이 있다.

발명의 내용

해결하려는 과제

[0007] 일 실시예는 두께가 조절된 그래핀층 상에 위치가 조절된 반도체 구조물 어레이들(arrays)을 성장시킬 수 있으며, 기판으로부터 대면적 박리가 쉽고 굽힘에도 안정성 있는 구조체를 제공하기 위한 것이다.

[0008] 일 실시예는 위치가 조절된 반도체 구조물이 기판과 에피택시 관계를 가짐으로써 그래핀 전면에 균일한 결정 특성 및 표면 형상을 갖는 반도체 구조물을 제공하기 위한 것이다.

[0009] 일 실시예는 전술한 내용의 제조 방법을 제공하기 위한 것이다.

[0010] 상기 과제 이외에도 구체적으로 언급되지 않은 다른 과제를 달성하는 데 본 개시에 따른 일 실시예가 사용될 수 있다.

과제의 해결 수단

[0012] 일 실시예에 따른 그래핀층 위에 위치가 조절된 반도체 구조물의 제조 방법은 i) 단결정 기판을 제공하는 단계, ii) 기판 위에 위치하고 두께가 조절된 그래핀층을 제공하는 단계, iii) 그래핀층 위에 위치하고, 그래핀층의 오목부를 따라 위치하는 반도체 구조물 형성하는 단계, iv) 반도체 구조물을 기판으로부터 박리(exfoliation)하는 단계를 포함할 수 있다.

발명의 효과

[0014] 일 실시예에 따르면, 두께가 조절된 그래핀층 상에 위치 조절된 무기물의 반도체 구조물을 형성할 수 있으며, 반도체 구조물을 손상 없이 기판으로부터 대면적 박리가 가능하고 굽힘에도 안정성을 가지는 에피택시 구조체를 제조할 수 있다. 또한, 박리 후 기판을 재활용하여 박리가 가능한 위치 조절된 무기물 반도체 구조물을 재제조(reproduction)할 수 있다.

도면의 간단한 설명

[0016] 도 1(a)는 일 실시예에 따른 그래핀층 위에 위치가 조절된 반도체 구조물의 사시도이며, 도 1(b)는 일 실시예에 따른 그래핀층 위에 위치 조절된 반도체 구조물의 개략적 단면도이다.

도 2는 일 실시예에 따른 그래핀 층 위에 위치가 조절된 반도체 구조물의 개략적 단면도이다.

도 3는 일 실시예에 따른 그래핀 층 위에 위치가 조절된 반도체 구조물의 개략적 단면도이다.

도 4는 일 실시예에 따른 그래핀 층 위에 위치가 조절된 발광소자의 개략적 단면도이다.

도 5는 일 실시예에 따른 그래핀 층 위에 위치가 조절된 발광소자의 개략적 단면도이다.

도 6은 일 실시예에 따른 그래핀층 위에 위치가 조절된 반도체 구조물의 제조 과정이다.

도 7(a)와 (b)는 일 실시예에 따른 두께가 조절된 그래핀층 표면과, 두께가 조절된 그래핀층 표면 위에 성장한 위치가 조절된 반도체 구조물 전자주사현미경 사진이다.

도 8은 일 실시예에 따른 직경 및 간격이 조절된 반도체 구조물의 전자주사현미경 사진이다.

도 9는 일 실시예에 따른 위치가 조절된 반도체 구조물의 투과전자현미경 사진이다.

도 10은 일 한 실시예에 따른 위치가 조절된 반도체 구조물의 박리 과정을 나타낸 사시도와 샘플 사진이미지이다.

도 11은 일 실시예에 따른 박리 후에 반도체 구조물의 박리면과 기판 표면의 전자주사현미경 사진이다.

도 12는 일 실시예에 따른 재사용한 기판을 이용하여 제조한 위치가 조절된 반도체 구조물의 전자주사현미경 사진이다.

발명을 실시하기 위한 구체적인 내용

[0017] 첨부한 도면을 참고로 하여 일 실시예에 대해 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다. 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 동일 또는 유사한 구성요소에 대해서는 동일한 도면부호가 사용되었다. 또한 널리 알려져 있는 공지기술의 경우 그 구체적인 설명은 생략한다.

- [0018] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 한편, 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다. 반대로 층, 막, 영역, 판 등의 부분이 다른 부분 "아래에" 있다고 할 때, 이는 다른 부분 "바로 아래에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 한편, 어떤 부분이 다른 부분 "바로 아래에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.
- [0019] 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.
- [0020] 그러면, 일 실시예에 따른 위치 조절된 에피택시 반도체 구조물에 대하여 설명한다.
- [0021] 에피택시 구조체는 반도체 구조물, 발광소자 구조물 등을 포함한다.
- [0022] 도 1(a)는 일 실시예에 따른 그래핀층 위에 위치가 조절된 반도체 구조물의 사시도이며, 도 1(b)는 일 실시예에 따른 그래핀층 위에 위치 조절된 반도체 구조물의 개략적 단면도이다.
- [0023] 도 1의 (a)에 도시한 바와 같이, 위치 조절된 반도체 구조물은 단결정 기판(10), 두께가 조절된 그래핀층(20), 그리고 반도체 구조물(30)을 포함할 수 있다.
- [0024] 단결정 기판(10)은 GaN, AlGaN, InAlGaN, AlGaAs, GaP, GaAs, GaAsP, AlGaInP, InAs, InAsP, InGaAs, InP, ZnO, ZnMgO, ZnCdO, MgO, CdO, GZO(Ga-doped ZnO), IZO(In-doped ZnO), AZO(Al-doped ZnO), Al₂O₃ 또는 이들을 하나 이상 혼합한 물질로부터 제조될 수 있다.
- [0025] 두께가 조절된 그래핀층(20)은 단결정 기판(10) 위에 위치할 수 있다. 두께가 조절된 그래핀층(20)은, 2층 이상의 복수개의 그래핀층을 포함한다. 2층 이상의 복수개의 그래핀층 내에 균일한 직경 및 간격을 갖는 복수개의 오목부(21)가 형성된다. 두께가 조절된 그래핀층(20)의 상세 제조 방법은 후술하기로 한다.
- [0026] 그래핀층의 오목부(21)의 하부는 1층 내지 3층의 그래핀층으로 형성될 수 있으며, 층 수가 적을수록 바람직하다. 그래핀층의 볼록부(22)는 오목부보다 그래핀층의 두께가 1층 이상 더 두껍다. 예를 들어, 도 1(b)에 따르면, 그래핀층의 오목부(21)의 하부는 1층의 그래핀층으로 형성되며, 그래핀층의 볼록부(22)는 4층의 그래핀층으로 형성된다.
- [0027] 그래핀층과 기판 사이는 약한 정전기적 인력으로 결합될 수 있으므로, 단결정 기판(10)으로부터 그래핀층의 분리가 용이하다. 따라서, 그래핀층 상에 형성되는 반도체 구조물(30)을 손상없이 단결정 기판(10)으로부터 깨끗하게 박리할 수 있다. 이때, 그래핀층은 반도체 구조물(30)을 단결정 기판(10)으로부터 박리하기 위한 희생층으로 사용될 수 있다. 또한, 반도체 구조물(30)의 박리 후 단결정 기판(10)을 재사용할 수 있으므로, 에피택시 반도체 구조물의 제조 단가를 낮출 수 있다. 반도체 구조물의 박리 및 기판 재사용에 대한 내용은 후술하기로 한다.
- [0028] 도 1의 (b)에 도시한 바와 같이, 반도체 구조물(30)은 두께가 조절된 그래핀층(20) 위에 위치하며, 반도체 구조물(30)의 위치는 그래핀층에 포함되는 오목부(21)의 위치와 실질적으로 일치할 수 있다. 예를 들어, 반도체 구조물(30)은 그래핀층의 오목부(21) 안에 위치할 수 있다.
- [0029] 도 1의 (b)를 참고하면, 반도체 구조물(30)은 막대 형태일 수 있다. 반도체 구조물(30)과 오목부(21)의 그래핀층은 약한 정전기적 인력으로 서로 결합될 수 있다. 따라서, 단결정 기판(10)으로부터 반도체 구조물(30)을 박리 시 그래핀층과 반도체 구조물(30) 사이가 쉽게 분리될 수 있다.
- [0030] 반도체 구조물(30)은 그래핀층 위에 형성 되었음에도 불구하고 그래핀층 아래에 위치하고 있는 단결정 기판(10)과 에피택시 관계를 가질 수 있다. 반도체 구조물(30)은 그래핀층과 단결정 기판(10) 중 단결정 기판(10)에만 선택적으로 에피택시 관계를 가질 수 있다. 이에 따라, 모든 반도체 구조물(30)은 동일한 면내 방향(in-plane orientation) 및 성장 방향을 가질 수 있다.
- [0031] 반도체 구조물(30)은 GaN, AlGaN, InAlGaN, AlGaAs, GaP, GaAs, GaAsP, AlGaInP, InAs, InAsP, InGaAs, InP, ZnO, ZnMgO, ZnCdO, MgO, CdO, GZO(Ga-doped ZnO), IZO(In-doped ZnO), 또는 AZO(Al-doped ZnO) 중에서 하나 이상을 포함할 수 있다.
- [0032] 반도체 구조물(30)을 제공하는 단계는 수열합성법(hydrothermal synthesis method), 유기금속 화학기상증착법

(metal-organic chemical vapor deposition, MOCVD) 또는 분자선 에피택시(molecular beam epitaxy, MBE) 단계를 포함할 수 있다.

- [0033] 도 2 및 도 3를 참고하면, 위치 조절된 반도체 구조물은 단결정 기판(10), 두께가 조절된 그래핀층(20), 그리고 디스크(disk) 또는 피라미드(pyramid) 형상의 반도체 구조물(30)을 포함할 수 있다. 도 2 및 도 3에서는 반도체 구조물(30)이 디스크 또는 피라미드 형상인 것을 제외하고는 도 1의 위치 조절된 반도체 구조물과 유사하므로, 동일한 부분에는 동일한 부호를 사용하며, 그 상세한 설명은 생략한다.
- [0034] 디스크 또는 피라미드 형상의 반도체 구조물(30)은 두께가 조절된 그래핀층(20) 위에 위치하며, 반도체 구조물(30)의 위치는 그래핀층에 포함되는 오목부의 위치와 실질적으로 일치할 수 있다. 구조물의 형상은 공정 방법 및 조건에 따라 달라질 수 있다.
- [0035] 도 2에 도시된 것처럼, 디스크 형상의 반도체 구조물(30)은 직경이 크고 높이가 낮은 넓고 납작한 형상을 가질 수 있다.
- [0036] 도 3에 도시된 것처럼, 피라미드 형상의 반도체 구조물(30)은 경사진 측면을 가지며 끝이 뾰족한 형상을 가질 수 있다.
- [0037] 또한, 디스크 또는 피라미드 형상의 반도체 구조물(30)은 그래핀층 아래에 위치하고 있는 단결정 기판(10)과 에피택시 관계를 가질 수 있다. 반도체 구조물(30)은 그래핀층과 단결정 기판(10) 중 단결정 기판(10)에만 선택적으로 에피택시 관계를 가질 수 있다. 이에 따라, 모든 반도체 구조물은 동일한 면내 방향(In-plane orientation) 및 성장 방향을 가질 수 있다.
- [0038] 도 4 및 도 5를 참고하면, 위치가 조절된 발광소자는 단결정 기판(10), 두께가 조절된 그래핀층(20), 그리고 발광소자 구조물(30, 32)을 포함할 수 있다. 도 4 및 도 5에서는 발광소자 구조를 제외하고는 도 1의 반도체 구조물과 유사하므로, 동일한 부분에는 동일한 부호를 사용하며, 그 상세한 설명은 생략한다.
- [0039] 도 4를 참고하면, 발광소자 구조물(30, 31)은 n-형 반도체 구조물(30), 그리고 n-형 반도체 구조물(30) 위에 형성된 p-형 반도체 결정층(31)을 포함한다.
- [0040] 발광소자 구조물(30, 31)은 두께가 조절된 그래핀층(20) 위에 위치하며, 발광소자 구조물(30, 31)의 위치는 그래핀층에 포함되는 오목부의 위치와 실질적으로 일치할 수 있다. 발광소자 구조물의 형상은 공정 방법 및 조건에 따라 막대, 디스크, 또는 피라미드 형상일 수 있다.
- [0041] 또한, 발광소자 구조물(30, 31)은 그래핀층 아래에 위치하고 있는 단결정 기판(10)과 에피택시 관계를 가질 수 있다. 발광소자 구조물(30, 31)은 그래핀층과 단결정 기판(10) 중 단결정 기판(10)에만 선택적으로 에피택시 관계를 가질 수 있다. 이에 따라, 발광소자 구조물(30, 31)은 동일한 면내 방향 및 성장 방향을 가질 수 있다.
- [0042] 도 5를 참고하면, 발광소자 구조물(30, 31, 32)은 n-형 반도체 구조물(30)과 p-형 반도체 결정층(31) 사이에 활성층(32)이 삽입된 구조로 형성될 수 있다.
- [0043] 활성층(32)은 단일 양자 우물 구조(quantum well, QW) 또는 다중 양자 우물 구조(Multi Quantum Wells, MQWs) 중 하나의 구조를 포함할 수 있다. 활성층(32)은 InGaN/GaN, InGaN/InGaN, AlGaN/GaN, AlGaN/AlGaN, GaP/AlGaP, GaAs/AlGaAs, 또는, ZnCdO/ZnMgO를 포함할 수 있다. 활성층(32)은 In, Al, Cd, 또는 Mg의 조성 변화를 통해 밴드갭(Bandgap)이 조절될 수 있다. 활성층(32)은 300nm 내지 700nm 파장의 빛을 발광할 수 있으며 자외선 내지 빨간색 빛에 해당할 수 있다.
- [0044] 발광소자 구조물(30, 31, 32)은 두께가 조절된 그래핀층(20) 위에 위치하며, 발광소자 구조물(30, 31, 32)의 위치는 그래핀층에 포함되는 오목부의 위치와 실질적으로 일치할 수 있다. 발광소자 구조물(30, 31, 32)의 형상은 공정 방법 및 조건에 따라 막대, 디스크, 또는 피라미드 형상으로 제조할 수 있다.
- [0045] 또한, 발광소자 구조물(30, 31, 32)은 그래핀층 아래에 위치하고 있는 단결정 기판(10)과 에피택시 관계를 가질 수 있다. 발광소자 구조물(30, 32)은 그래핀층과 단결정 기판(10) 중 단결정 기판(10)에만 선택적으로 에피택시 관계를 가질 수 있다. 이에 따라, 발광소자 구조물(30, 31, 32)은 동일한 면내 방향 및 성장 방향을 가질 수 있다.
- [0046] 그러면, 일 실시예에 따른 위치 조절된 에피택시 구조체의 제조 방법에 대하여 설명한다.
- [0047] 에피택시 구조체의 제조 방법은 복수개의 관통홀을 갖는 다층 그래핀층을 제공하는 단계, 상층에 그래핀층이 형

성되어 있는 단결정 기판을 제공하는 단계, 그래핀층이 다층 그래핀층에 접촉하도록, 다층 그래핀층과 단결정 기판을 부착하는 단계, 그리고 복수개의 관통홀 내부에 선택적으로 위치하도록 반도체 구조물을 성장시키는 단계를 포함한다.

[0048] 다층 그래핀층을 제공하는 단계는 단층의 그래핀층을 한 층씩 반복하여 전사함으로써 다층 그래핀층의 두께를 조절하는 단계를 포함할 수 있다. 또한, 단결정 기판을 제공하는 단계는 단결정 기판에 형성되는 그래핀층의 두께를 조절하는 단계를 포함할 수 있다. 이에 따라, 각각의 단계 모두에서 또는 선택적으로 어느 하나의 단계에서, 다층 그래핀층 및/또는 그래핀층의 두께를 조절함으로써, 최종 에피택시 구조체에서의 그래핀층의 두께를 조절할 수 있다.

[0049] 다층 그래핀층은 희생기판 위에 형성되고, 식각 용액에 의하여 다층 그래핀층과 희생기판이 분리될 수 있다.

[0050] 다층 그래핀층 위에 제1 관통홀을 갖는 마스크층을 형성할 수 있고, 반도체 구조물을 성장시키기 전에, 마스크층이 제거될 수 있다. 여기서 마스크층은 복수개의 제1 관통홀들을 포함할 수 있고, 복수개의 제1 관통홀들은 일정한 직경 및 간격을 가질 수 있다.

[0051] 도 6은 일 실시예에 따른 그래핀층 위에 위치가 조절된 반도체 구조물의 제조 과정이다.

[0052] 먼저, 도 6(a)에 도시한 바와 같이, 다층 그래핀층(multilayer graphene)이 상층에 전사된 희생기판을 준비한다. 다음, 다층 그래핀층 위에 복수개의 제1 관통홀을 포함하는 마스크층이 형성된다. 여기서, 다층 그래핀층은 단층의 그래핀층을 한 층씩 반복 전사함으로써 형성될 수 있으며, 이에 따라 다층 그래핀층의 두께가 조절될 수 있다. 예를 들어, 그래핀층의 전사는 식각(etching) 용액에 의한 구리 포일 식각 및 전사 방법에 의하여 이루어질 수 있다.

[0053] 제1 관통홀을 포함하는 마스크층을 형성하기 위하여, 먼저 다층 그래핀층 위에 폴리메틸 메타크릴레이트(poly(methyl methacrylate), PMMA), 또는 감광제(photoresist)를 스핀코팅(spin-coating)하여 도포한다. 다음으로, 전자빔 리소그래피(electron-beam lithography), 포토리소그래피(photolithography), 레이저 간섭 리소그래피(laser interference lithography, LIL) 또는 나노임프린트(nanoimprint)등의 공정을 통해 마스크층에 복수개의 제1 관통홀이 형성될 수 있다.

[0054] 도 6(b)에 도시한 바와 같이, 산소 플라즈마(oxygen plasma) 분위기에서의 반응성 이온 식각(reactive-ion etching, RIE) 공정을 이용하여 다층 그래핀층 내에 복수개의 제2 관통홀이 형성될 수 있다. 다층 그래핀층의 식각은 마스크층 내 제1 관통홀에 의해 노출된 그래핀 영역에서만 발생할 수 있다. 따라서, 다층 그래핀층에 형성되는 제2 관통홀의 직경과 위치는 다층 그래핀층 위에 위치하고 있는 마스크층 내 제1 관통홀의 직경 및 위치와 실질적으로 동일할 수 있다. 다층 그래핀층 내에 형성된 제2 관통홀의 직경과 위치는 이후에 두께가 조절된 그래핀 층의 오목부의 직경과 위치와 실질적으로 일치할 수 있다.

[0055] 도 6(c)에 도시한 바와 같이, 식각용액(etchant)을 이용하여 희생기판 표면을 식각 시킴으로써, 마스크층이 상층에 형성되어 있고 제2관통홀을 포함하는 다층 그래핀층을 희생기판으로부터 분리할 수 있다. 예를 들어, 식각용액은 버퍼 옥사이드 식각용액(buffered oxide etchant, BOE)일 수 있으며, 희생기판은 산화규소(SiO_2) 기판일 수 있으며, 이 경우, 희생기판의 분리가 효율적이고 신속하게 저렴하게 진행될 수 있다.

[0056] 도 6(d)에 도시한 바와 같이, 그래핀층이 상층에 전사된 단결정 기판을 준비한다. 여기서 단결정 기판 위에 전사된 그래핀층은 1 내지 3 층의 복수층으로 형성될 수 있으나, 층 수가 적을수록 바람직하다. 단결정 기판 상에 그래핀 층이 4층 이상의 복수층으로 형성될 경우, 그래핀층의 두께가 너무 두꺼워져서 에피택시를 위한 기판의 영향이 그래핀 표면까지 작용할 수 없어서 에피택시 구조체의 성장이 발생하지 않거나 단결정 기판과 에피택시 관계를 갖지 않은 구조체가 성장할 수 있다. 따라서, 그래핀층 수를 최소화 함으로써 그래핀층을 가로지르는 단결정 기판의 영향이 더 강하게 작용하여 높은 성장 수율과 함께 결정학적으로 잘 정렬된 에피택시 구조를 제조할 수 있다. 단결정 기판 위에 그래핀층을 형성하기 위하여, 식각 용액에 의한 구리 포일 에칭 및 전사 방법이 이용될 수 있다. 이어서, 도 6(c)에서 분리된 제2 관통홀을 갖는 마스크층 포함 다층 그래핀층은, 그래핀층이 상층에 전사된 단결정 기판 위에 전사된다.

[0057] 도 6(e)에 도시한 바와 같이, 도 6(d)에서 제조된 구조물을 아세톤 용액에 침지시켜, 제2 관통홀을 갖는 마스크층이 제거될 수 있다. 여기까지 과정을 통해, 단결정 기판상에 두께가 조절된 그래핀층의 제공이 완료된다.

[0058] 도 6(f)에 도시한 바와 같이, 두께가 조절된 그래핀층 위에 형성된 반도체 구조물이 제공될 수 있다. 반도체 구조물은 두께가 조절된 그래핀층의 오목부에서만 선택적으로 위치할 수 있다.

- [0059] 반도체 구조물을 제공하는 방법은 수열합성법, 유기금속 화학기상증착법, 분자선 에피택시등이 있다.
- [0061] 그러면, 일 실시예에 따른 에피택시 구조체의 제조 방법에 대하여 설명한다.
- [0062] 에피택시 구조체의 제조 방법은 단결정 기판으로부터 에피택시 구조체를 박리하여 제조하는 단계, 단결정 기판을 재사용하는 단계, 재사용 단결정 기판 위에 위치하고, 일정한 직경 및 간격의 복수개의 오목부를 포함하고, 두께가 조절된 그래핀층을 제공하는 단계, 그리고 두께가 조절된 그래핀층 위에 위치하고, 두께가 조절된 그래핀층의 오목부 안에 위치하는 반도체 구조물을 제공하는 단계를 포함한다.
- [0063] 이처럼, 반도체 구조물의 박리 후 단결정 기판을 재사용하는 경우, 에피택시 반도체 구조물의 제조 단가를 낮출 수 있다. 또한, 재사용 단결정 기판을 이용하는 경우에도, 단결정 기판을 최초로 이용하는 경우와 마찬가지로, 결정학적으로 잘 정렬된 에피택시 구조가 높은 성장 수율로 제조될 수 있다.
- [0064] 반도체 구조물을 제공하는 단계는 재사용 단결정 기판과 두께가 조절된 그래핀층 중에, 재사용 단결정 기판에만 선택적으로 에피택시 관계를 갖는 반도체 구조물을 제공할 수 있다.
- [0066] 이하에서는 실험예를 사용하여 본 발명을 좀더 상세하게 설명한다. 이러한 실험예는 단지 본 발명을 예시하기 위한 것이며, 본 발명이 여기에 한정되는 것은 아니다.
- [0068] **실험예 1**
- [0069] 도 7(a)와 (b)는 일 실시예에 따른 두께가 조절된 그래핀층 표면과, 두께가 조절된 그래핀층 표면 위에 성장한 위치가 조절된 반도체 구조물의 전자주사현미경 사진이다.
- [0070] 도 7 (a)는 도 6(a) 내지 도 6(e) 과정을 통해 제조된, GaN 기판 위에 형성된 두께가 조절된 그래핀층의 표면을 나타낸다. 도 7(a)에 도시한 바와 같이, 그래핀층 내에 규칙적인 직경 및 간격으로 오목부가 형성되어 있는 것이 관찰된다. 도 7(a)에서, 오목부 직경은 약 2 μm , 간격은 약 5 μm 를 나타낸다. 오목부 영역의 그래핀층 개수는 1개이며 볼록부 영역의 그래핀층 개수는 5개이다.
- [0071] 도 7(b)는, 도 7(a)의 표면에 수열합성법을 이용하여 성장시킨 ZnO 막대구조체를 나타낸다.
- [0072] ZnO 막대구조체는 테프론 오토 클레이브 반응용기를 이용하여 징크 나이트레이트 헥사하이드레이트(zinc nitrate hexahydrate, ZNH) 및 헥사메틸렌테트라민(hexamethylenetetramine, HMT)를 포함하는 용액에, 두께가 조절된 그래핀층이 상층에 형성된 GaN 기판을 넣고 약 95 $^{\circ}\text{C}$ 에서 약 4 시간 동안 반응시킴으로써, 성장된다.
- [0073] 도 7(b)에 도시한 바와 같이, ZnO 막대구조체는 두께가 조절된 그래핀층의 오목부에서만 선택적으로 성장된다. 복수개의 ZnO 막대구조체의 직경과 높이는 각각 약 $3.1 \pm 0.1 \mu\text{m}$ 와 약 $7.5 \pm 0.3 \mu\text{m}$ 이며, 이들 복수개의 ZnO 막대구조체의 크기가 상당히 균일한 것을 확인할 수 있다. 그래핀층 내에 오목부의 직경보다 ZnO 막대구조체의 직경이 더 크게 나타났는데, 이는 막대구조의 성장이 수직방향뿐만 아니라 측면 방향으로도 느린 속도로 성장되었기 때문이다.
- [0074] 주목할 점은, 그래핀층의 오목부에서 성장한 모든 막대구조체의 육각 측면 방향과 성장 방향이 서로 실질적으로 동일하게 나타났다는 점이다. 이는 ZnO 막대구조체가 그래핀층이 아닌 그래핀층 아래에 위치한 단결정인 GaN 기판과 에피택시 관계를 가짐을 나타낸다.
- [0075] 화학기상증착법(Chemical vapor deposition, CVD)을 이용하여 제조한 그래핀은 폴리도메인(Poly-domain)을 갖는다. 만일, ZnO 막대구조체가 오목부의 그래핀층과 에피택시 관계를 가졌다면 넓은 영역에 걸쳐 동일한 측면 및 성장 방향을 가질 수 없었을 것이다. 따라서, 광범위에 걸쳐 나타난 ZnO 막대구조체들의 실질적으로 동일한 측면 및 성장 방향성은 ZnO 막대구조체가 그래핀층 아래에 위치한 단결정인 GaN 기판의 영향을 받아 성장하였음을 의미하는 것이다.
- [0076] 화학적으로 매우 안정한 그래핀 표면에 반도체 물질을 성장시키기 매우 어려우나, 본 실험예의 경우 반도체 구조물의 성장에 있어서 그래핀층 보다 기판의 영향이 더 크게 작용한다. 따라서, 그래핀층 위에 추가적인 버퍼층(Buffer layer)의 증착(deposition)이나 그래핀층의 표면처리가 없더라도 거의 모든 오목부의 그래핀 층에서

높은 성장 수율을 나타낼 수 있다.

[0077] 기관의 영향은 그래핀층의 두께가 두꺼워 질수록 약해진다. 따라서, 그래핀층의 두께가 훨씬 얇은 오목부 위에 서만 ZnO 막대구조체가 선택적으로 성장될 수 있다.

[0078] 또한, 그래핀은 열적으로 매우 안정하기 때문에 두께가 조절된 그래핀층을 이용하여, 본 실험예에서 실시한 약 100 °C 이하의 저온 조건의 수열합성법뿐만 아니라 약 1000 °C 이상의 고온 분위기의 화학기상증착 공정으로도 반도체 구조물의 위치 조절 성장이 가능할 수 있다.

[0080] 실험예 2

[0081] 도 8는 일 실시예에 따른 직경 및 간격이 조절된 반도체 구조물의 전자주사현미경 사진이다.

[0082] 도 8(a)에 도시한 바와 같이, ZnO 막대구조체의 직경은 그래핀층 내에 오목부의 직경을 조절함으로써 조절될 수 있다. 도 8(a)에서, 왼쪽사진부터 간격은 약 5 μm 로 동일하고, 직경이 약 1.0 μm, 약 1.5 μm, 또는 약 2.0 μm인 복수개의 오목부를 포함하는 그래핀층을 이용하여 제조한 ZnO 막대구조체의 전자주사현미경 사진이다. ZnO 막대구조체의 육각 측면 방향 및 성장 방향은 모두 실질적으로 동일하게 나타났으며, ZnO 막대구조체의 직경은 관통홀의 직경이 증가함에 따라 ZnO 막대구조체의 직경은 약 2.2 μm, 약 2.6 μm, 그리고 약 3.1 μm으로 증가하는 것으로 나타난다. ZnO 막대구조체의 성장조건은 전술한 과정과 동일하다.

[0083] 도 8(b)에 도시한 바와 같이, ZnO 막대구조체의 간격은 그래핀층 내에 오목부의 간격을 조절함으로써 조절될 수 있다. 도 8(b) 경우, 왼쪽사진부터 직경은 약 2 μm로 동일하고, 간격이 약 4 μm, 약 8 μm, 또는 약 12 μm 인 복수개의 오목부를 포함하는 그래핀층을 이용하여 제조한 ZnO 막대구조체의 전자주사현미경 사진이다. ZnO 막대구조체의 육각 측면 방향 및 성장 방향은 모두 실질적으로 동일하게 나타났으며, 오목부의 간격이 증가함에 따라 ZnO 막대구조체의 간격이 증가하는 것으로 나타난다. ZnO 막대구조체의 성장과정은 전술한 과정과 동일하다.

[0084] 이 결과를 통해 그래핀의 두께 조절, 다시 말하면, 그래핀층 내의 오목부의 위치 및 직경 조절을 통해 그래핀층 위에 ZnO 막대구조체의 위치 및 직경 조절이 가능함을 알 수 있다.

[0086] 실험예 3

[0087] 도 9는 일 실시예에 따른 위치가 조절된 반도체 구조물의 투과전자현미경 사진이다.

[0088] 도 9는 ZnO 막대구조체, 두께가 조절된 그래핀층, 그리고 GaN 기관의 계면을 $[1210]_{\text{ZnO}} \parallel [1210]_{\text{GaN}}$ 방향으로 투영한 투과전자현미경 사진이다.

[0089] GaN과 ZnO는 우르츠자이트(Wurtzite)의 실질적으로 동일한 결정구조를 가지며, 격자 상수 차이 (ZnO에 대해, $a=b=3.249 \text{ \AA}$ 및 $c=5.206 \text{ \AA}$; GaN에 대해, $a=b=3.186 \text{ \AA}$ 및 $c=5.178 \text{ \AA}$, $a_{\text{ZnO}}/a_{\text{GaN}}$ (또는 $b_{\text{ZnO}}/b_{\text{GaN}}$): 1.9%, $c_{\text{ZnO}}/c_{\text{GaN}}$: 0.5 %)가 매우 적기 때문에, 고품질의 에피택시 이종구조(heterostructure)를 제조할 수 있다. 이때, 에피택시 이종구조를 이루는 GaN과 ZnO의 결정면 방향은 서로 실질적으로 동일하다.

[0090] 도 9에서, 상단 오른쪽의 원자 해상도의 사진을 참고하면, GaN 단결정 기관과 ZnO 막대구조체가 동일한 원자 배열 및 면 방향을 가지며 $(0001)[1010]_{\text{ZnO}} \parallel (0001)[1010]_{\text{GaN}}$ 의 에피택시 관계를 가지는 것이 확인된다. 또한, ZnO 막대구조체의 (0001)면 간 거리와 GaN의 (0001)면간 거리는 약 0.26 nm로 실질적으로 동일하게 나타난다. 여기서, ZnO는 Zn-polar (0001) 결정배열을 나타내고 GaN은 Ga-polar (0001) 결정배열을 나타내며, 이는 일반적인 ZnO와 GaN의 에피택시 이종구조에서의 결정 배열과 동일하다. 이 결과를 통해, 그래핀층의 두께에 해당하는 거리에서도 ZnO와 GaN의 에피택시가 가능함이 확인 될 수 있다.

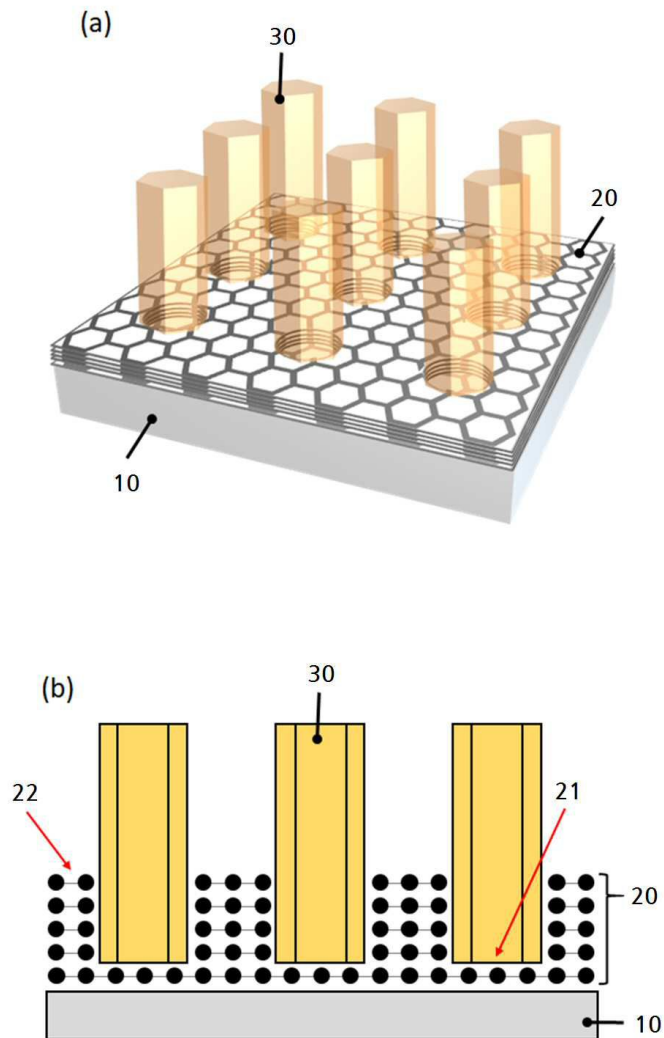
[0091] 도 9에서 아래의 그림을 참고하면, ZnO 막대구조체와 GaN 기관 계면의 중앙에 그래핀층이 존재하고 있음을 확인할 수 있으며, ZnO 막대구조체의 끝부분 영역에서 그래핀층의 오목부와 볼록부의 두께 차이에 의한 경계면을 확인할 수 있다.

[0093] 실험예 4

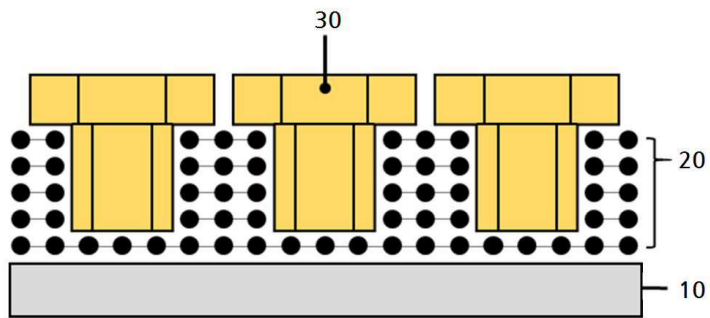
- [0094] 도 10는 일 실시예에 따른 위치가 조절된 반도체 구조물의 박리 과정을 나타낸 사시도와 샘플 사진이미지이다. 도 10에 도시한 바와 같이, 도 6의 과정을 통해 제조된 위치 조절된 ZnO 막대구조체를 GaN 기판으로부터 박리할 수 있다.
- [0095] 도 10(i)에 도시한 바와 같이, 구조적 안정성을 위해서, ZnO 막대구조체 사이는 갭 필링층(gap filling)으로 채워진다. 갭 필링층은 폴리이미드(polyimide, PI)를 스핀 코팅 방법으로 위치 조절된 ZnO 막대구조체 사이를 채워주어 형성된다. 본 실험예에서는 폴리이미드를 사용하였으나, 이에 한정되는 것은 아니다.
- [0096] 다음으로, 도 10(ii)에 도시한 바와 같이, 열 박리 테이프(thermal release tape)를 이용하여 폴리이미드로 채워진 ZnO 막대구조체를 단결정 기판으로부터 박리한다. 이때, 그래핀층이 기판 또는 막대구조체와 약한 정전기적 인력으로 결합하고 있기 때문에, ZnO 막대구조체는 GaN 기판으로부터 쉽게 분리될 수 있다.
- [0097] 마지막으로, 도 10(iii)에 도시한 바와 같이, 핫 플레이트(hot plate) 상에 약 190 °C에서 약 2 분간 열처리를 하면 폴리이미드가 채워진 ZnO 막대구조체 필름에서 열 박리 테이프가 제거될 수 있다.
- [0099] **실험예 5**
- [0100] 도 11은 일 실시예에 따른 박리 후에 반도체 구조물의 박리면과 기판 표면의 전자주사현미경 사진이다. 도 11(a)와 도 11(b)는 도 6의 과정을 통해 박리한 ZnO 막대구조체의 박리면과 박리 후 GaN 기판 표면의 주사전자현미경 사진을 나타낸다.
- [0101] 도 11에 도시한 바와 같이, 박리 후에 ZnO 막대구조체의 바닥면과, 기판 표면이 깨끗하고 매끈한 것을 알 수 있다. 이는, ZnO 막대구조체와 GaN 기판이 그래핀층에 의해 완전히 분리되어 있기 때문이며, 이러한 이유로 기판으로부터 ZnO 막대구조체가 쉽게 박리될 수 있다.
- [0103] **실험예 6**
- [0104] 도 12는 일 실시예에 따른 재사용한 기판을 이용하여 제조한 위치가 조절된 반도체 구조물의 전자주사현미경 사진이다. 도 12는 ZnO 막대구조체의 1차 성장 및 박리 후, 재사용한 GaN의 기판 위에 두께가 조절된 그래핀층을 형성한 후 제조한 위치 조절된 ZnO 막대구조체의 주사전자현미경 사진을 나타낸다.
- [0105] 기판 재활용을 위해서, 박리 후 GaN 기판 표면에 남아있는 그래핀 또는 잔여물을 제거하기 위해, 기판을 아세톤, 메탄올, 그리고 이소프로판올 용액 내에서 각각 3분간 초음파 세척을 해준 후 반응성 이온 식각 처리를 한다. 다음으로, 도 6의 제조과정을 반복하여 ZnO 막대구조체를 제조한다.
- [0106] 도 12에 도시한 바와 같이, 새로운 GaN 기판이 바로 아래에 있는 두께가 조절된 그래핀층 위에서와 같이, 재사용한 GaN 기판이 바로 아래에 위치한 두께가 조절된 그래핀층이 위에 실질적으로 동일한 육각 측면 방향과 성장 방향을 가지는 ZnO 막대구조체가 성장된다. 이는, ZnO 막대구조체가 재사용한 GaN 기판의 영향을 받아 성장하였음을 의미하며 즉, 기판의 재사용이 가능함을 나타낸다. 실제 산업에서 기판의 재사용이 가능하다면 반도체 공정 비용이 상당한 절감될 수 있다.
- [0107] 이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

도면

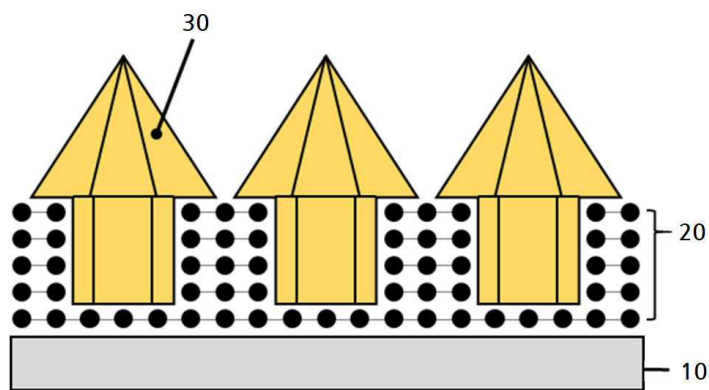
도면1



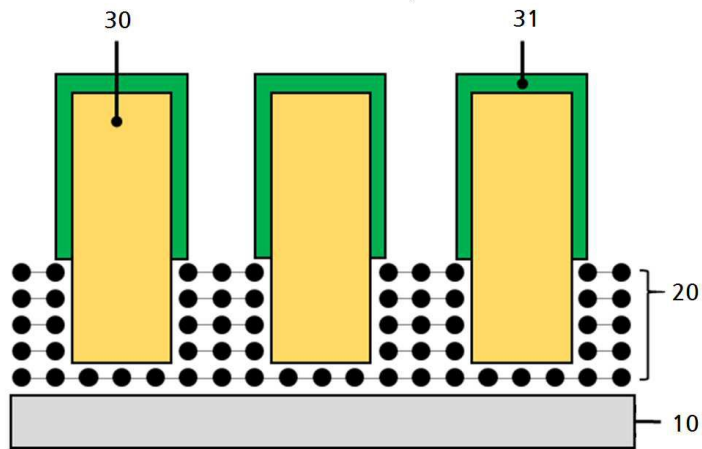
도면2



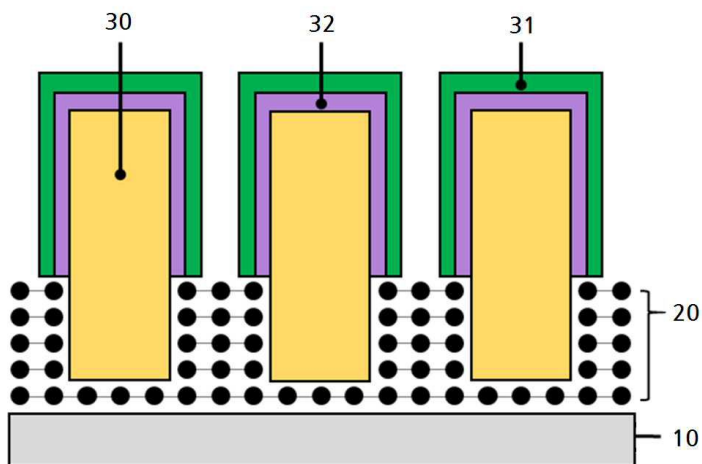
도면3



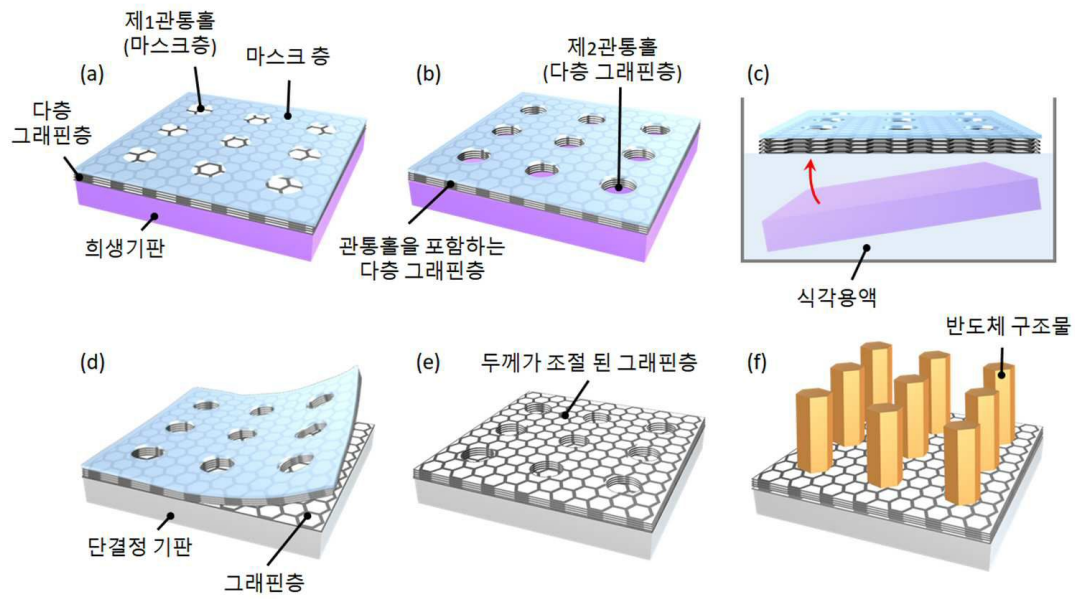
도면4



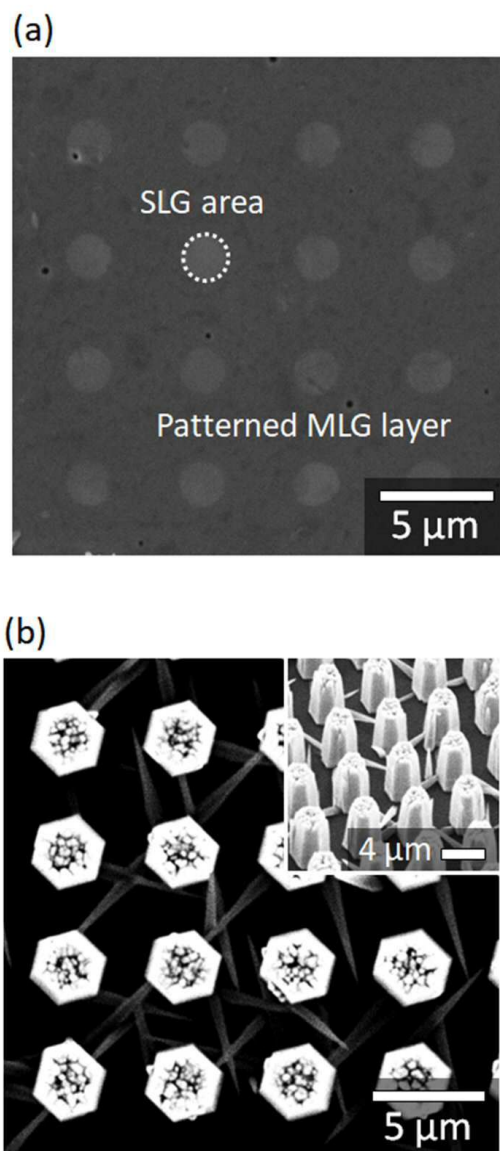
도면5



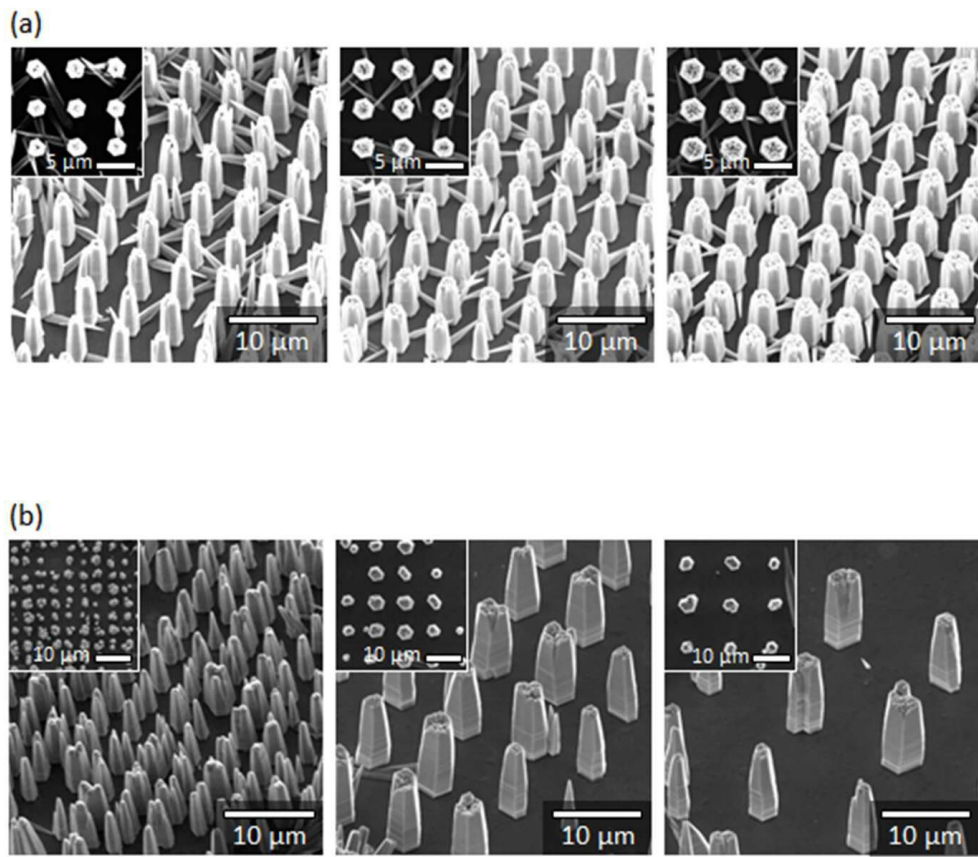
도면6



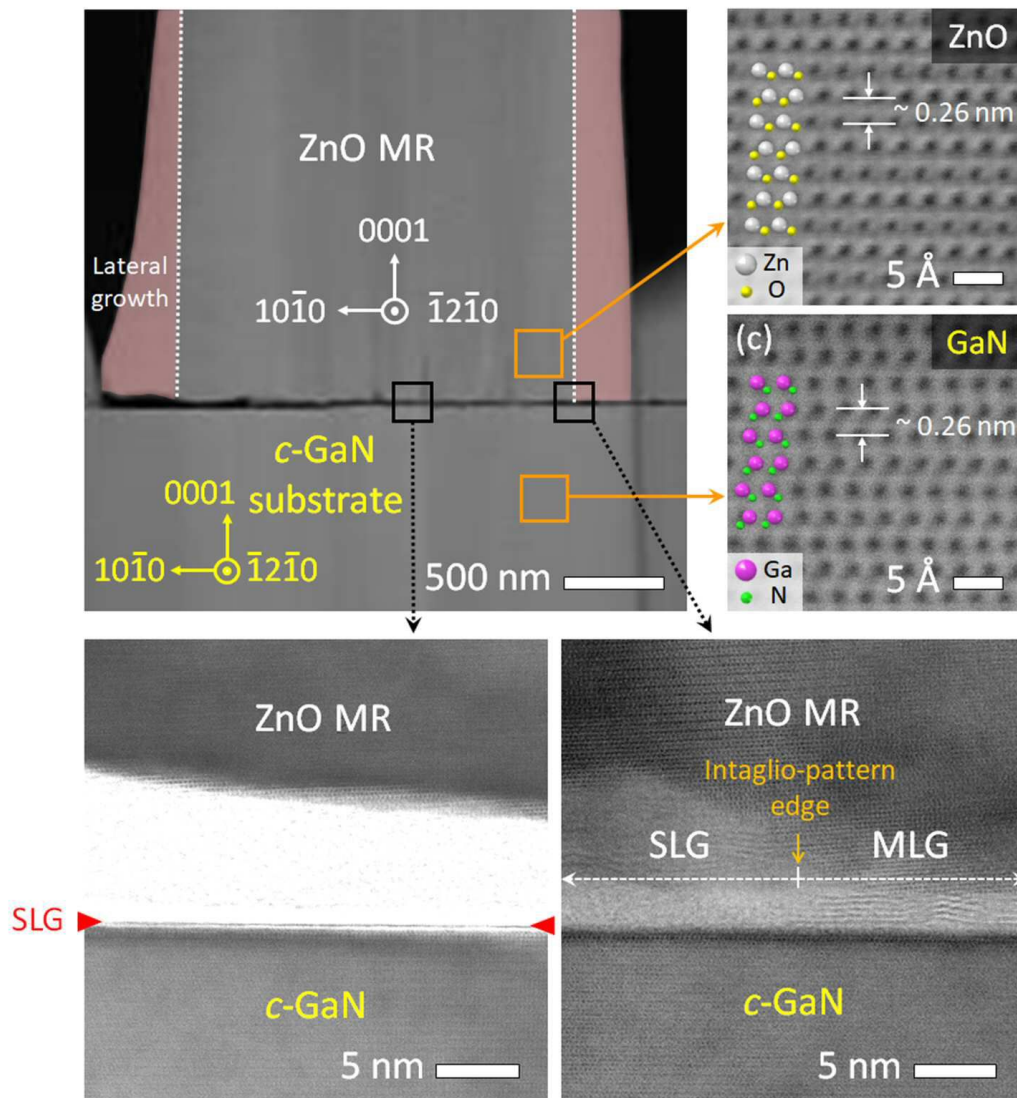
도면7



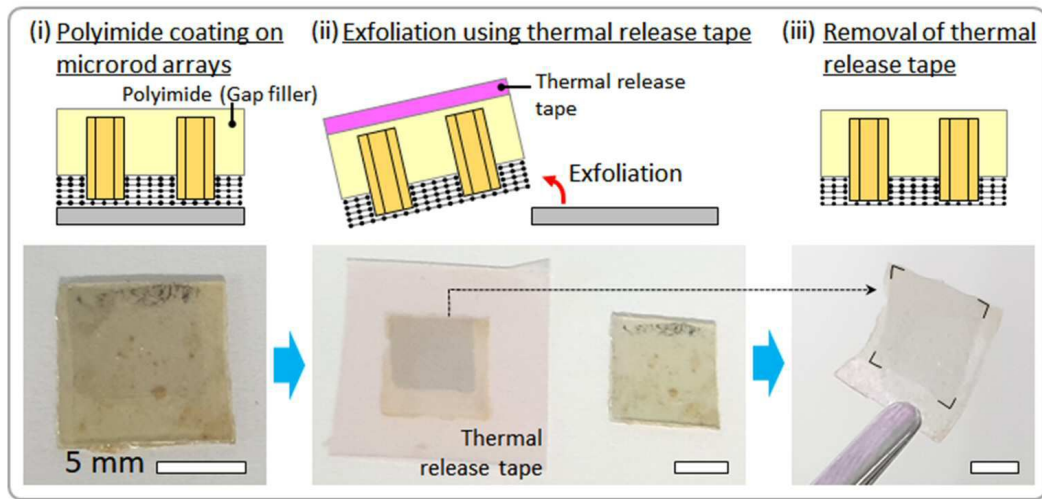
도면8



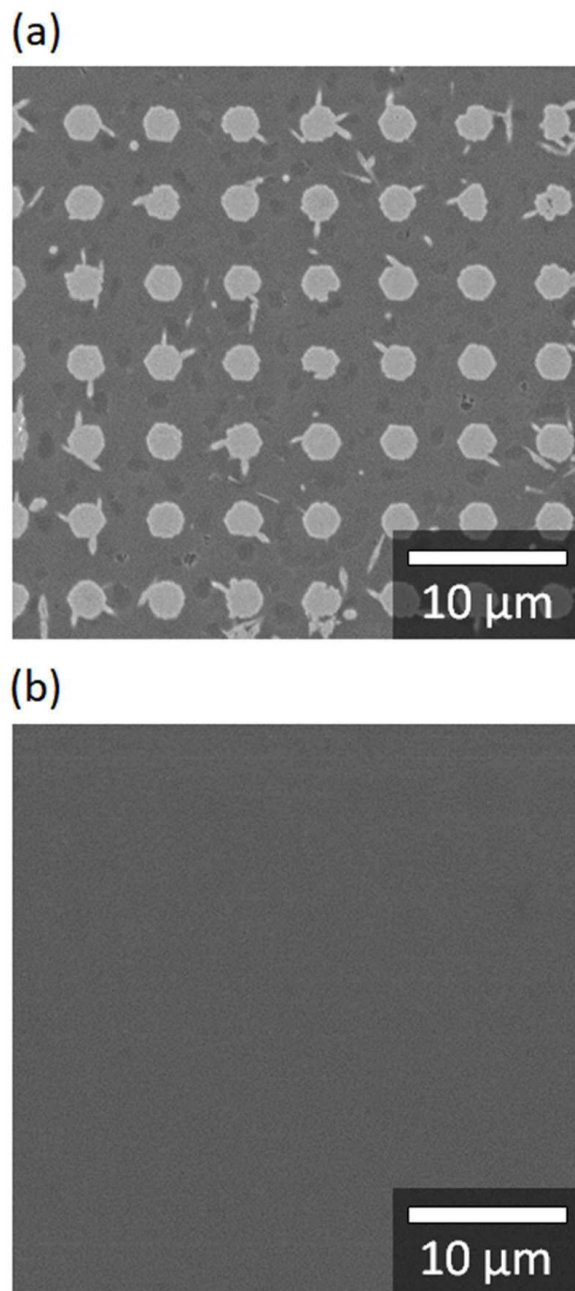
도면9



도면10



도면11



도면12

