(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H03K 19/00

(45) 공고일자 2001년06월01일
(11) 등록번호 10-0291611
(24) 등록일자 2001년03월14일

(21) 출원번호	10-1993-0001782	(65) 공개번호	특1993-0018854
(22) 출원일자	1993년02월10일	(43) 공개일자	1993년09월22일
(30) 우선권주장	92200381.9 1992년02월11일 유럽(EP)		

(73) 특허권자 코닌클리케 필립스 일렉트로닉스 엔.브이. 요트.게.아. 롤페즈
네델란드왕국 아인드호펜 그로네보드스베그 1
(72) 발명자 클라스 불트
네델란드왕국 아인드호펜 그로네보드세베그 1
고데프리두스 요한네스 게르트루디스 마리아 게엘렌
네델란드왕국 아인드호펜 그로네보드세베그 1
(74) 대리인 이병호

심사관 : 권호영

(54) 전류분배기 및 복수의 전류분배기를 포함하는 집적회로

요약

제1신호 전류(I_i10)를 제2 및 제3신호 전류(I_o11, I_o12)로 선형으로 분배하는 전류 분배기는 제1신호 전류(I_i10)가 통과하는 제1단자(I10)와, 제2신호 전류(I_o11)가 통과하고 제1전위를 수신하는 제2단자(011)와, 제3신호 전류(I_o12)가 통과하고 제2전위를 수신하는 제3단자(012)와, 제어 전극 및 주 전류 경로를 갖는 제1MOS 트랜지스터(M1)와, 제어 전극 및 주 전류 경로를 갖는 제2MOS 트랜지스터(M2)를 구비하며, 제1 및 제2MOS 트랜지스터(M1, M2)의 제어전극은 제1기준 전압(Rv10)을 수신하는 제1기준 단자(R10)에 결합되어, 전류 분배기의 제1활성상태 동안 제1 및 제2MOS 트랜지스터(M1, M2)의 상태를 도전으로 하고, 제1MOS 트랜지스터(M1)의 주 전류 경로는 제1단자(I10)와 제2단자(011)간에 결합되며, 제2MOS 트랜지스터(M2)의 주 전류 경로는 제1단자(I10)와 제3단자(012)간에 결합되어진다. 상기 전류 분배기는 전류 분배를 행하여 사용된 MOS 트랜지스터의 크기는 전류 분배기에서 행해진 신호 전류의 비를 나타낸다.

대표도

도1

명세서

[발명의 명칭]

전류분배기 및 복수의 전류분배기를 포함하는 집적회로

[도면의 간단한 설명]

제1도는 본 발명에 따른 전류 분배기의 실시예 1의 도시도.

제2도는 본 발명에 따른 전류 분배기의 실시예 2의 도시도.

제3도는 본 발명에 따른 전류 분배기의 실시예 3의 도시도.

제4도는 본 발명에 따른 전류 분배기의 실시예 4의 도시도.

제5도는 본 발명에 따른 전류 분배기의 실시예 5의 도시도.

제6(a)도는 본 발명에 따른 전류 분배기의 실시예 6의 도시도.

제6(b)도는 본 발명에 따른 전류 분배기의 실시예 7의 도시도.

제7(a)도는 본 발명에 따른 전류 분배기의 실시예 8의 도시도.

제7(b)도는 본 발명에 따른 전류 분배기의 실시예 9의 도시도.

제8도는 본 발명에 따른 전류 분배기의 실시예 10의 도시도.

제9도는 본 발명에 따른 전류 분배기의 실시예 11의 도시도.

제10도는 본 발명에 따른 전류 분배기의 실시예 12의 도시도.

제11도는 본 발명에 따른 복수의 전류 분배기를 구비하는 집적 회로의 실시예 1의 도시도.

제12도는 본 발명에 따른 복수의 전류 분배기를 구비하는 집적 회로의 실시예 2의 도시도.

제13도는 본 발명에 따른 복수의 전류 분배기를 구비하는 집적 회로의 실시예 3의 도시도.

제14도는 본 발명에 따른 복수의 전류 분배기를 구비하는 집적 회로의 실시예 4의 도시도.

제15도는 본 발명에 따른 복수의 전류 분배기를 구비하는 집적 회로의 실시예 5의 도시도.

* 도면의 주요부분에 대한 부호의 설명

R10, R11, R12 : 기준단자 M1 : 제1MOS 트랜지스터

M2 : 제2MOS 트랜지스터 IC1, IC2 : 인버터 회로

[발명의 상세한 설명]

본 발명은 제1신호 전류를 제2 및 제3신호 전류로 분배하는 전류 분배기(current divider)에 관한 것으로, 이 전류 분배기는 제1신호 전류의 통과를 위한 제1단자와, 제2신호 전류의 통과 및 제1전위를 수신하기 위한 제2단자, 제3신호 전류의 통과 및 제2전위를 수신하기 위한 제3단자, 상기 제1단자와 제2단자 사이에 연결된 적어도 하나의 제1소자, 및 상기 제1단자와 제3단자 사이에 연결된 적어도 하나의 제2소자를 포함한다.

본 발명은 또한 복수의 전류 분배기를 포함하는 집적 회로에 관한 것이다.

본 명세서에서, 신호 전류는 전류 분배기에 인가되는 입력 전류로부터 결정되는 전류를 의미하는 것으로 이해될 수 있으며, 상기 제1 및 제2소자는 상기 각각의 신호 전류 이외에 상기 제1 및 제2전위에 의해 결정되는 바이어스 전류(bias current)를 전달한다.

이러한 전류 분배기는 집적 회로내에서 일반적으로 사용하는데에 적합하며, 상기 집적 회로는 예를 들면 볼륨 제어(volumn control) 또는 디지탈/아날로그 변환기로 구성될 수 있다.

상기 제1 및 제2소자가 제1 및 제2저항기로 각각 구현되는 전류 분배기가 일반적으로 공지되어 있다. 제1 및 제2저항기로 구현된 전류 분배기에 있어서, 상기 제1단자에 인가되며 제1신호 전류에 대응하는 입력 전류는 상기 제1 및 제2저항기가 나타내는 저항값에 의해 결정되는 비율에 따라 분배된다.

제1 및 제2저항기에 의해 실현되는 전류 분배기의 단점은 상기 저항기가 집적 회로내에서 비교적 큰 반도체 면적을 차지하며, 그 저항값은 기생 효과(parasitic effect)에 의해 영향을 받아 보통 비선형이고 비교적 부정확한 전류 분배를 초래한다는 것이다. 관련된 기생 효과는 특히 각각의 신호 전류를 스위칭시키기 위한 트랜지스터 스위치가 제1 및 제2저항과 직렬로 연결되어 상기 스위치가 각각의 신호 전류에 따라 변하는 컨덕턴스를 나타낼 때 발생한다.

본 발명의 목적은 소형 회로에 의해 거의 선형이고 비교적 정확한 전류 분배를 실현하여 전류 분배동안 발생하는 효과에 영향을 받지않고 각각의 신호 전류를 스위칭시킬 수 있는 전류 분배기를 제공하는 것이다.

본 발명에 따른 전류 분배기는 제1소자가 제어 전극 및 주 전류 경로를 갖는 제1MOS 트랜지스터로 구현되고, 제2소자가 제어 전극 및 주 전류 경로를 갖는 제2MOS 트랜지스터로 구현되며 상기 제1 및 제2MOS 트랜지스터의 제어 전극은 제1기준 전압을 수신하기 위한 제1기준 단자에 연결되어, 전류 분배기의 제1활성 상태동안 제1 및 제2MOS 트랜지스터의 도전 상태를 실현하도록 하기 위한 것이며, 제1MOS 트랜지스터의 주 전류 경로는 제1단자 및 제2단자 사이에 연결되고, 제2MOS 트랜지스터의 주 전류 경로는 제1단자와 제3단자 사이에 연결되는 것을 특징으로 한다. 본 명세서에서, 전류 분배기의 활성 상태는 전류 분배기가 입력 전류의 전류 분배를 실현할 수 있는 상태를 의미하는 것으로 이해될 수 있다. 상기와 같은 특징을 갖는 전류 분배기에 있어서, 이것은 제1 또는 제2MOS 트랜지스터의 차단 상태에서는 전류 분배가 불가능하기 때문에 제1활성 상태가 제1 및 제2MOS 트랜지스터의 도전 상태에 해당한다는 것을 의미한다. 한편, 본 발명은 MOS 트랜지스터의 주 전류 경로가 본질적으로 대칭성을 나타내며 이 대칭성에 기초하여 상기와 같은 특징을 갖는 전류 분배기가 전류 분배를 실현하며, 이 전류 분배는 제1단자에 인가된 입력 전류에 독립적이고 각각의 단자의 전위에 독립적이다는 사실에 근거를 두고 있다.

상기와 같은 특징을 갖는 전류 분배기에 의해 실현되는 전류 분배는 MOS 트랜지스터가 그의 주 전류 경로 양단의 전압과 그것의 주 전류 경로를 통하는 전류 사이에는 비선형 관계를 나타내는 반면, 상기와 같은 특징을 갖는 전류 분배기에 의해 실현된 전류 분배는 거의 선형이기 때문에 특히 놀라운 것이다. 본 발명에 따른 전류 분배기의 상기 특성은 도면을 참조하여 이후에서 논의되는 이론에 의해 확증될 것이다. 그럼에도 불구하고, 관련된 상기 특성을 얻기 위해서는 제1 및 제2MOS 트랜지스터가 동일한 제어-전극 전위를 가지고 도전 상태에 있어야 하며, 본 발명에 따른 전류 분배기는 제1기준 전압에 의해 이 요구 조건에 부합하여 전류 분배동안 발생하는 효과에 의해 영향받지 않고 제1기준 전압에 의해 각각의 신호 전류를 스위칭시킬 수 있다. 상기 특성과는 별도로, 상기 유도된 이론은 또한 본 발명에 따른 전류 분배기에 의해 실현되는 전류 분배가 단지 전류 분배기를 구성하는 MOS 트랜지스터의 크기 비율에만 의존하며 따라서 상기 크기가 자유롭게 선택될 수 있음을 확증해준다. 전류 분배가 단지 전류 분배기에 포함된 MOS 트랜지스터의 크기의 비율 (이 비율은 오늘날의 스케일링 기술(scaling techniques)에 의해 높은 정확도로 얻어질 수 있다)에만 의존하기 때문에, 본 발명에 따른 전류 분배기는 비교적 정확한 전류 분배를 제공하며, 크기를 자유롭게 선택함으로써 소형 회로에 의해 구현될 수 있다. 전류 분배기의 MOS 트랜지스터의 크기가 동일할 때, 제1신호 전류에 해당하는 입력 전류가 거의 선형적으로 제2 및 제3신호 전류로 분배되며, 그 결과로써 본 발명에 따른 전류 분배기를 집적 회로에 특히 유익한 구성요소를 형성한다.

본 발명에 따른 전류 분배기의 실시예 1은 상기 전류 분배기가 각각 제어 전극 및 주 전류 경로를 갖는

하나 이상의 다른 MOS 트랜지스터를 더 구비하고 있으며, 상기 제어 전극은 제1기준 전압을 수신하기 위한 제1기준 단자에 연결되어 전류 분배기의 제1활성 상태동안 상기 하나이상의 다른 MOS 트랜지스터의 도전 상태를 실현하며, 상기 주 전류 경로는 제1MOS 트랜지스터의 주 전류 경로와 제2단자 사이에 직렬로 연결되어 있는 것을 특징으로 하고 있다. 상기 하나이상의 다른 MOS 트랜지스터의 제어 전극이 제1기준 전압을 수신하기 위한 제1기준 단자에 연결되어 있기 때문에, 상기 전류 분배기의 MOS 트랜지스터는 제1 활성 상태에서 도전상태가 된다. 도전 상태의 결과로써, 제1단자에 인가되며 제1신호 전류에 해당하는 입력 전류는 제1 및 제2단자 사이에 연결된 MOS 트랜지스터의 크기와 제1 및 제3단자 사이에 연결된 MOS 트랜지스터의 크기의 비율에 따라 분배된다. 상기 전류 분배기내의 MOS 트랜지스터의 크기가 동일할 때, 상기 하나이상의 다른 MOS 트랜지스터는 단순히 제1MOS 트랜지스터의 주 전류 경로를 연장시키는데 불과하며, 이 연장의 결과 제2 및 제3신호 전류 사이의 비율은 제1 및 제2단자 사이의 MOS 트랜지스터의 갯수와 제1 및 제3단자 사이의 MOS 트랜지스터의 갯수 사이의 비율에 반비례한다. 따라서, 상기 전류 분배기에 의해 실현된 전류 분배는 단일 MOS 트랜지스터에 의한 비교적 간단하고 정확한 방식에 의해 원하는 값으로 조절될 수 있다.

본 발명에 따른 전류 분배기의 실시예 2는 상기 전류 분배기가 각각 제어 전극 및 주 전류 경로를 갖는 하나이상의 다른 MOS 트랜지스터를 더 구비하고 있으며, 상기 제어 전극은 제1기준 전압을 수신하기 위한 제1기준 단자에 연결되어 전류 분배기의 제1활성 상태동안 상기 하나이상의 다른 MOS 트랜지스터의 도전 상태를 실현하며, 상기 주 전류 경로는 제1MOS 트랜지스터의 적어도 주 전류 경로에 병렬로 연결되어 있는 것을 특징으로 한다. 상기 하나이상의 다른 MOS 트랜지스터의 제어 전극이 제1기준 전압을 수신하기 위한 제1기준 단자에 연결되어 있기 때문에, 상기 전류 분배기에 포함된 MOS 트랜지스터는 제1활성 상태에서 도전상태가 된다. 이 도전 상태의 결과로써, 제1단자에 인가되며 제1신호 전류에 해당하는 입력 전류는 제1 및 제2단자 사이에 연결된 MOS 트랜지스터의 크기와 제1 및 제3단자 사이에 연결된 MOS 트랜지스터의 크기의 비에 따라 분배된다. 상기 전류 분배기내의 MOS 트랜지스터의 크기가 동일할 때는, 상기 하나이상의 다른 MOS 트랜지스터는 단순히 제2MOS 트랜지스터의 주 전류 경로를 넓혀주기만 하며, 그 결과 제2 및 제3신호 전류 사이의 비는 제1 및 제2단자 사이의 MOS 트랜지스터의 갯수와 제1 및 제3단자 사이의 MOS 트랜지스터의 수 사이의 비에 비례한다.

따라서, 상기 전류 분배기에 의해 실현된 전류 분배는 단일 MOS 트랜지스터에 의한 비교적 간단하고 정확하게 원하는 값으로 조절될 수 있다.

본 발명에 따른 전류 분배기의 실시예 3은 전류 분배기의 제1활성 상태동안 하나이상의 다른 MOS 트랜지스터의 도전상태를 실현하도록 제1기준 전압을 수신하기 위한 제1기준 단자에 연결된 제어전극과, 제2MOS 트랜지스터의 주 전류 경로와 제3단자 사이에 직렬로 연결된 주 전류 경로를 각각 가진 하나이상의 다른 MOS 트랜지스터를 더 포함하는 전류 분배기를 특징으로 한다. 하나이상의 다른 MOS 트랜지스터의 제어 전극이 제1기준 전압을 수신하기 위한 제1기준 단자에 연결됨에 따라, 상기 전류 분배기에 포함된 MOS 트랜지스터는 제1활성 상태에서 도전된다. 이 도전 상태의 결과로써, 제1단자에 인가되며 제1신호 전류에 해당하는 입력 전류가 제1 및 제2단자 사이에 연결된 MOS 트랜지스터의 크기와 제1 및 제3단자 사이에 연결된 MOS 트랜지스터의 크기의 비에 따라 분배된다. 상기 전류 분배기내의 MOS 트랜지스터의 크기가 동일할 때, 하나이상의 다른 MOS 트랜지스터는 단순히 제2MOS 트랜지스터의 주 전류 경로를 확장시키며, 그결과 제2 및 제3신호 전류 사이의 비는 제1 및 제2단자 사이의 MOS 트랜지스터의 수와 제1 및 제3단자 사이의 MOS 트랜지스터의 수 사이의 비에 반비례한다.

따라서, 상기 전류 분배기에 의해 실현된 전류 분배는 단일 MOS 트랜지스터에 의한 비교적 간단하고 정확하게 원하는 값으로 조절될 수 있다.

본 발명에 따른 전류 분배기의 실시예 4는 전류 분배기의 제1활성 상태동안 하나이상의 다른 MOS 트랜지스터의 도전상태를 실현하도록 제1기준 전압을 수신하기 위한 제1기준 단자에 연결된 제어전극과, 제2MOS 트랜지스터의 주 전류 경로에 병렬로 연결된 주 전류 경로를 가진 하나이상의 다른 MOS 트랜지스터를 포함하는 전류 분배기를 특징으로 한다. 하나이상의 다른 MOS 트랜지스터의 제어 전극이 제1기준 전압을 수신하기 위한 제1기준 단자에 연결됨에 따라, 상기 전류 분배기에 포함된 MOS 트랜지스터는 제1활성 상태에서 도전된다. 이 도전 상태의 결과로써, 제1단자에 인가되며 제1신호 전류에 해당하는 입력 전류가 제1 및 제2단자 사이에 연결된 MOS 트랜지스터의 크기와 제1 및 제3단자 사이에 연결된 MOS 트랜지스터의 크기의 비에 따라 분배된다. 상기 전류 분배기내의 MOS 트랜지스터 크기가 동일할 때, 하나이상의 다른 MOS 트랜지스터는 단지 제2MOS 트랜지스터의 주 전류 경로를 확장시키며, 그결과 제2 및 제3신호 전류 사이의 비는 제1 및 제2단자 사이의 MOS 트랜지스터의 수와 제1 및 제3단자사이의 MOS 트랜지스터의 수 사이의 비에 비례한다. 따라서, 상기 전류 분배기에 의해 실현된 전류 분배는 단일 MOS 트랜지스터에 의한 비교적 간단하고 정확하게 원하는 값으로 조절될 수 있다.

본 발명에 따른 전류 분배기의 실시예 5는 제1MOS 트랜지스터의 주 전류 경로와 적어도 하나의 다른 MOS 트랜지스터의 주 전류 경로 사이의 한점에 연결되어 있으며 제4신호 전류를 통과시키기 위한 제4단자, 인버터 회로, 및 전류 분배기의 제1활성 상태동안 적어도 하나의 다른 MOS 트랜지스터의 차단 상태를 실현하고 전류 분배기의 비활성 상태동안 적어도 하나의 다른 MOS 트랜지스터의 도전상태를 실현하도록 제1기준 전압을 수신하기 위해 상기 인버터 회로에 의해 제1기준 단자에 연결되는 제어 전극과 제1MOS 트랜지스터의 주 전류 경로와 제2단자 사이에 연결되는 주 전류 경로를 가진 적어도 하나의 다른 MOS 트랜지스터를 포함하는 전류 분배기를 특징으로 한다. 본 명세서에서, 전류 분배기의 비활성 상태는 전류 분배기가 입력 전류의 전류 분배를 실현할 수 없는 상태는 의미하는 것으로 이해된다. 상기 전류 분배기가 제1 활성 상태 및 비활성 상태를 나타낼 수 있기 때문에, 전류 분배는 제1기준 전압에 따라 실현될 수 있다. 상기 전류 분배기가 제1활성 상태에 있을 때, 즉, 제4신호 전류에 해당하는 입력 전류가 제4단자에 인가될때, 제1MOS 트랜지스터 및 제2MOS 트랜지스터가 각각 제2신호 전류 및 제3신호 전류의 통과를 허용한다. 상기 다른 MOS 트랜지스터가 제1활성 상태동안 차단됨에 따라, 제2신호 전류는 제4단자에 인가된 입력 전류와 동일하게 되고, 제1 및 제3신호 전류는 제1단자에 연결된 회로에 따라 상기 입력 전류(제2신호 전류)에 의해 결정된다. 비활성 상태에서, 제1(및 제2)MOS 트랜지스터의 차단 상태로 인해 상기 입력 전류와 동일한 신호 전류가 상기 다른MOS 트랜지스터를 통해 흐른다. 결국, 상기 전류 분배기는 상기 입력 전류가 제1기준 전압에 의해 결정되는 상기 전류 분배기의 상태에 따라 분배되거나 분배되지 않는

장점을 갖는다.

본 발명에 따른 전류 분배기의 실시예 6은 제2MOS 트랜지스터의 주 전류 경로와 적어도 하나의 다른 MOS 트랜지스터의 주 전류 경로 사이의 한점에 연결되어 있으며 제4신호 전류를 통과시키기 위한 제4단자, 인버터 회로, 및 전류 분배기의 제1활성 상태동안 적어도 하나의 다른 MOS 트랜지스터의 차단 상태를 실현하고, 전류 분배기의 비활성 상태동안 적어도 하나의 다른 MOS 트랜지스터의 도전상태를 실현하도록 제1기준 전압을 수신하기 위해 상기 인버터 회로에 의해 제1기준 단자에 연결되는 제어 전극과, 제2MOS 트랜지스터의 주 전류 경로와 제3단자 사이에 연결된 주 전류 경로를 가진 적어도 하나의 다른 MOS 트랜지스터를 포함하는 전류 분배기를 특징으로 한다. 상기 전류 분배기가 제1활성 상태 및 비활성 상태를 나타낼 수 있기 때문에, 전류 분배는 제1기준 전압에 따라 실현될 수 있다. 상기 전류 분배기가 제1활성 상태에 있을 때, 즉, 제4신호 전류에 해당하는 입력 전류가 제4단자에 인가될때, 제1MOS 트랜지스터 및 제2MOS 트랜지스터가 각각 제2신호 전류 및 제3신호 전류의 통과를 허용한다. 상기 다른 MOS 트랜지스터가 제1활성 상태동안 차단됨에 따라, 제3신호 전류는 제4단자에 인가된 입력 전류와 동일하게 되고, 제1 및 제2신호 전류는 제1단자에 연결된 회로에 따라 상기 입력 전류(제3신호 전류)에 의해 결정된다. 비활성 상태에서, 제2(및 제1)MOS 트랜지스터의 차단 상태로 인해 상기 입력 전류와 동일한 신호 전류가 상기 다른MOS 트랜지스터를 통해 흐른다. 결국, 상기 전류 분배기는 상기 입력 전류가 제1기준 전압에 의해 결정되는 상기 전류 분배기의 상태에 따라 분배되거나 분배되지 않는 장점을 갖는다.

본 발명에 따른 전류 분배기의 실시예 7은 상기 전류 분배기가 제4신호 전류의 통과를 위한 제4단자, 인버터 회로, 및 제어 전극과 주 전류 경로를 가진 적어도 하나의 다른 MOS 트랜지스터를 포함하는 것을 특징으로 하며, 상기 제어 전극은 상기 인버터 회로에 의해 제1MOS 트랜지스터의 제어 전극에 연결되고, 상기 제1MOS 트랜지스터의 제어 전극은 상기 전류 분배기의 제1활성 상태동안 적어도 하나의 다른 MOS 트랜지스터의 차단 상태를 실현하고, 상기 전류 분배기의 제2활성 상태동안 적어도 하나의 다른 MOS 트랜지스터의 도전상태를 실현하도록 제1기준 전압으로부터 유도된 제2기준 전압을 수신하기 위해 제1기준 단자에 연결된 제2기준 단자에 연결되며, 상기 주 전류 경로는 제1단자와 제4단자에 연결되어 있다. 상기 실시예는 선행 실시예와 크게 상이한데, 그것은 전류 분배기가 제2활성 상태를 갖기 때문이다. 반면 제1활성 상태에서, 상기 전류 분배기는 제1 및 제2MOS 트랜지스터에 의해 전류 분배를 실현할 수 있으며, 제2활성 상태에서 제2MOS 트랜지스터 및 적어도 하나의 다른 MOS 트랜지스터에 의해 전류 분배를 실현할 수 있다. 결국, 제1단자에 인가되며 제1신호 전류에 해당하는 입력 전류가 제1기준 전압에 따라 제1 또는 제2방식으로 분배될 수 있다.

본 발명에 따른 전류 분배기의 실시예 8은 상기 전류 분배기가 제4신호 전류의 통과를 위한 제4단자, 인버터 회로, 및 제어 전극과 주 전류 경로를 가진 적어도 하나의 다른 MOS 트랜지스터를 포함하는 것을 특징으로 하며, 상기 제어 전극은 상기 인버터 회로에 의해 제2MOS 트랜지스터의 제어 전극에 연결되고, 상기 제2MOS 트랜지스터의 제어 전극은 상기 전류 분배기의 제1활성 상태동안 적어도 하나의 다른 MOS 트랜지스터의 차단 상태를 실현하고, 상기 전류 분배기의 제2활성 상태동안 적어도 하나의 다른 MOS 트랜지스터의 도전상태를 실현하도록 제1기준 전압으로부터 유도된 제2기준 전압을 수신하기 위해 제1기준 단자에 연결된 제2기준 단자에 연결되며, 상기 주 전류 경로는 제1단자와 제4단자에 연결되어 있다. 상기 실시예는 실시예 7과 마찬가지로 선행 실시예와 크게 상이한데, 그것은 전류 분배기가 제2활성 상태를 갖기 때문이다. 반면 제2활성 상태에서, 상기 전류 분배기는 제1 및 제2MOS 트랜지스터에 의해 전류 분배를 실현할 수 있으며, 제2활성 상태에서 제1MOS 트랜지스터 및 적어도 하나의 다른 MOS 트랜지스터에 의해 전류 분배를 실현할 수 있다. 결국, 제1단자에 인가되며 제1신호 전류에 해당하는 입력 전류가 제1기준 전압에 따라 제1 또는 제2방식으로 분배될 수 있다.

위에서 기술된 실시예가 따로따로 제공되었을지라도 그들은, 예컨대 하나의 직접 회로안에서 양호하게 조합될 수 있다.

본 발명에 따른 복수의 전류 분배기를 포함하는 집적 회로의 실시예 1은 상기 집적 회로가 입력 전류를 수신하기 위한 입력단자, 및 제1출력 전류를 공급하기 위한 제1출력 단자를 포함하는 것을 특징으로 하며, 상기 집적 회로의 입력 단자는 제1전류 분배기의 제1단자에 연결되고, 제1전류 분배기의 제3단자는 마지막 전류 분배기의 제1단자에 연결되며, 마지막 전류 분배기의 제3단자는 집적 회로의 제1출력 단자에 연결된다. 상기 집적 회로는 복수의 전류 분배기의 간단한 직렬 장치로, 실시예 1, 2, 3 또는 4에 따른 전류 분배기를 사용한다. 상기 집적 회로는 특히 입력 전류를 출력 전류를 포함한 여러 전류로 분배할 수 있으며, 여러 다른 전류 사이의 비를 비교적 정확하게 정의할 수 있다.

본 발명에 따른 복수의 전류 분배기를 포함하는 집적 회로의 실시예 2는 상기 집적 회로가 입력 전류를 수신하기 위한 입력단자, 및 제1출력 전류를 공급하기 위한 제1출력 단자를 포함하는 것을 특징으로 하며, 상기 집적 회로의 입력 단자는 제1전류 분배기의 제1단자에 연결되고, 제1전류 분배기의 제1단자는 마지막 전류 분배기의 제4단자에 연결되며, 마지막 전류 분배기의 제1단자는 집적 회로의 제1출력 단자에 연결된다. 집적 회로의 상기 실시예는 예컨대 실시예 5 및 6에 따른 전류 분배기를 사용하며, 상기 전류 분배기에 의해 전류를 분배하거나 또는 분배하지 않을 수 있다.

관련된 전류 분배기의 사용으로, 상기 집적 회로는 입력 전류가 분배되는 비가 제1기준 전압에 의해 제어될 수 있고, 출력 전류가 상기 집적 회로에 포함된 전류 분배기의 활성 상태에서 얻어진다는 장점을 갖는다. 따라서, 상기 집적 회로는, 예컨대 볼륨 제어(volumn control)를 실현할 수 있다.

본 발명에 따른 복수의 전류 분배기를 포함하는 집적 회로의 실시예 3은 상기 집적 회로가 입력 전류를 수신하기 위한 입력 단자, 및 제1출력 전류를 공급하기 위한 제1출력 단자를 포함하는 것을 특징으로 하며, 상기 집적 회로의 입력 단자는 제1전류 분배 계수(current division factor)를 가진 전류 분배기의 제1직렬 장치중 제1전류 분배기의 제4단자에 연결되고, 전류 분배기의 제1직렬 장치중 제1전류 분배기의 제1단자는 전류 분배기의 제1직렬 장치중 마지막 전류 분배기의 제4단자에 연결되며, 제1직렬 장치의 각 전류 분배기의 제2단자는 제2전류 분배 계수를 가진 전류 분배기의 제2직렬 장치중 제1전류 분배기의 제4단자에 연결되고, 전류 분배기의 제2직렬 장치의 제1단자는 전류 분배기의 제2직렬 장치중 마지막 전류 분배기의 제4단자에 연결되며, 제2직렬 장치의 각 전류 분배기의 제2단자는 상기 집적 회로의 제1출력 단자에 연결된다. 상기 실시예는 실시예 2에 해당하는 방식으로 양쪽 직렬 장치 모두에서 입력 전류를 분배

할 수 있는데, 제1직렬 장치는 조악한 분배를 일으키고, 제2직렬 장치는 세밀한 분배를 일으킨다. 따라서, 상기 실시예는 소형이며 정확한 신호 감쇠기(compact and accurate signal attlenuator)를 실현시키며, 이 신호 감쇠기는 특히 볼륨 제어에 적합하다.

본 발명에 따른 다수의 전류 분배기를 포함하는 집적 회로의 실시예 4는 상기 집적 회로가 입력 전류를 수신하기 위한 입력단자, 및 제1출력 전류를 공급하기 위한 제1출력 단자를 포함하는 것을 특징으로 하며, 이때 상기 집적 회로의 입력 단자는 제1전류 분배기의 제1단자에 연결되고, 제1전류 분배기의 제3단자는 마지막 전류 분배기의 제1단자에 연결되며, 마지막 전류 분배기의 제2단자는 집적 회로의 제1출력 단자에 연결된다. 그 자체로써 공지된 방식으로 구성될 수 있는 제어 회로에 의해, 각기 분리된 전류 분배기가 제1 또는 제2활성 상태 또는 비활성 상태로 세트될 수 있고, 원하는 전압이 예컨대 스위치로 동작되는 몇몇 MOS 트랜지스터에 의해 제2기준 전압으로부터 유도된다.

본 발명을 따르는 다수의 전류 분배기를 구비하는 집적 회로의 실시예 7은 상기 집적 회로가 입력 전압를 수신하기 위한 다른 입력단자, 출력 전압를 공급하기 위한 다른 출력 단자, 집적 회로의 상기 다른 입력 단자 및 집적 회로의 입력단자간에 연결되는 전압-전류 변환기 및 집적회로의 제1출력 단자 및 집적 회로의 상기 다른 출력 단자간에 연결되는 전류-전압 변환기를 또한 구비하는 것을 특징으로 한다. 서술된 전류 분배기가 전류 영역(domain)내에서 동작하기 때문에, 상기 실시예 7은 집적 회로로하여금 전압 조정, 일반적으로 음량 조정을 행하도록 하는 장점을 갖는다.

본 발명을 따른 다수의 전류 분배기를 구비하는 집적 회로의 실시예 8은 상기 접적 회로가 기준 전압을 수신하기 위한 기준 단자 및 다른 기준 전압을 수신하기 위한 다른 기준 단자를 또한 구비하고 상기 전압-전류 변환기를 저항 소자와, 제어 전극 및 주 전류 경로를 갖는 적어도 하나의 MOS 트랜지스터와, 반전 입력, 비반전 입력 및 출력을 갖는 연산증폭기를 또한 구비하는 것을 특징으로하며, 여기서 상기 반전 입력은 저항 소자에 의하여 집적 회로의 상기 추가 입력 단자에 연결되며, 상기 비반전 입력은 제1기준 단자에 연결되며, 상기 출력은 적어도 하나의 MOS 트랜지스터의 주 전류 경로에 의하여 반전 입력 및 제어 전류 분배기의 단자에 연결되며, 적어도 하나의 MOS 트랜지스터의 제어 전극은 집적 회로의 제2기준 단자에 연결된다. 본 실시예는 특정 형태의 전압-전류 변환기를 구비하며, 상기 특정 형태의 것은 제1연산 증폭기의 출력에 나타나는 기생 캐패시턴스로 인해 비선형 효과에 좌우되지 않는다. 상기 연산 증폭기가 피드백 루프에 포함되어 있기 때문에 상기 비선형 효과를 피할 수 있으며, 상기 피드백 루프는 적어도 하나의 MOS 트랜지스터, 상기 MOS 트랜지스터에 의해 실현되는 다른 전류 분배기 및 제1전류 분배기의 입력 단자와 형성부(forming part)에 연결되는 MOS 트랜지스터를 또한 구비한다. 반면에 상기 다른 전류 분배기는 연산 증폭기에 의해 상기 다른 전류 분배기에 인가되는 전류를 상기 입력 단자를 통과하는 입력 전류와 상기 적어도 하나의 MOS 트랜지스터를 통과하는 전류로 선형적으로 분배한다. 상기 최종 언급된 전류는 입력 전압으로 인해 저항 소자 양단에 발생되는 전압 강하에 의해 결정된다. 결국, 상기 연산증폭기는 전류를 상기 다른 전류 분배기에 공급하며, 상기 전류는 연산 증폭기에 의해 기생 캐패시턴스에 공급되는 전류에 의해 결정되지 않는다.

본 발명의 상기 특징과 그외 다른 특징이 첨부한 도면을 참조로 더욱 상세히 서술될 것이다.

제1도는 본 발명을 따르는 전류 분배기의 실시예 1을 도시한 것이다. 본 실시예는 제1신호 전류(I_i10)을 통과시키는 제1단자(I10), 제2신호 전류(I_o11)를 통과시키고 제1전위를 수신하는 제2단자(011), 제3신호 전류(I_o12)를 통과시키고 제2전위를 수신하는 제3단자(012), 제어 전극과 주 전류 경로를 갖는 제1MOS 트랜지스터(M1) 및 제어 전극과 주 전류 경로를 갖는 제2MOS 트랜지스터(M2)를 구비한다. 상기 MOS 트랜지스터(M1 및 M2)의 제어 전극은 제1기준 전압(Rv10)을 수신하기 위한 기준 단자(R10)에 연결되어, 전류 분배기의 제1활성 상태동안 MOS 트랜지스터(M1 및 M2)를 도전 상태에 있도록 하며, 상기 MOS 트랜지스터 M1의 주 전류 경로는 단자(I10) 및 단자(011)간에 연결되고 상기 MOS 트랜지스터(M2)의 주 전류 경로가 단자(I10) 및 단자(012)간에 연결된다. 각 주 전류 경로가 MOS 트랜지스터에 본래 있는 대칭성을 나타내기 때문에 두개이상의 MOS 트랜지스터를 구비하는 본 발명의 따른 전류 분배기는 신호 전류(I_i10)에 독립하여 그리고 상기 단자(011 및 012)상의 전위에 독립하여 선형 전류 분배를 수행하며, 상기 선형 전류 분배는 이하에 서술된 이론에 의해 입증된다. 상기 이론은 이하에 서술된 식 (1)을 토대로 한 것이며, 다음 식은 MOS 트랜지스터(1977년 뉴욕 윌리에서 R.S.Muller와 T.I.Kamins가 발표한 “집적 회로용 전자 장치”)의 주 전류 경로를 통과하여 흐르는 전류에 대한 일반식이다.

$$I_d = -W/L \int_{V_s}^{V_d} \mu\,(V_g, V_c)\, Q\,(V_g, V_c)\, dV_c \qquad (1)$$

일반적으로, 식 (1) I_d은 주 전류 경로를 통과하여 흐르는 전류를 나타내며, V_g는 제어 전극(게이트)상의 전위를 나타내며, V_d는 주 전류 경로의 제1측(드레인)의 전위를 나타내며, V_s는 주 전류 경로의 제2측(소스)의 전위를 나타내며, V_c는 주 전류 경로의 포인트상의 전위를 나타내며, W는 주 전류 경로의 폭을 나타내며, L은 주 전류 경로의 길이를 나타내며, μ는 전하 캐리어의 이동도(mobility)를 나타내고 Q는 단위 면적당 채널 전하를 나타내며, 상기 캐리어 이동도 μ와 단위 면적당 Q 채널 전하는 제어 전극 전위(V_g)및 주 전류 경로의 포인트 상의 전위(V_c)의 함수이다. 캐리어 이동도 $\mu(V_g, V_c)$ 및 단위 면적당 채널 전하 $Q(V_g, V_c)$는 특히 이동도 감소 및 기판 효과와 같은 제1차 및 제2효과 모두가 고려될 때 복잡한 함수가 될 수 있다. 그러나, 다음식 (2)를 토대로,

$$F(V_g, V_x) = \int_{-\infty}^{V_x} \mu\,(V_g, V_c)\, Q\,(V_g, V_c)\, dV_c \qquad (2)$$

주 전류 경로를 통과하는 전류 I_d(식 (1))는 다음식 (3)에 표현된 간단한 형태로 나타낼 수 있다.

$$I_d = W/L \{F(V_g, V_s)-F(V_g, V_d)\} \quad (3)$$

상기 식은 MOS 트랜지스터에 있는 대칭성을 명백히 나타내고 있다. 상기 식 (3)이 제1도에 도시된 MOS 트랜지스터(M1 및 M2)에 대해 유도될 때, 각 주 전류 경로에서 전류는

$$I_{dM1} = W_{M1}/L_{M1} \{F(V_{R10}, V_{611})-F(V_{R10}, V_{I10})\} \quad (4)$$

및

$$I_{dM2} = W_{M2}/L_{M2} \{F(V_{R10}, V_{012})-F(V_{R10}, V_{I10}\} \quad (5)$$

에 따르며, 여기서 식 (4) 및 (5)에서 전위(V_{I10})는 신호 전류(I_i10)의 비선형함수이고, 전위(V_{011} 및 V_{012})는 상수이며 I_i10에 독립적이다. 만일 주어진 신호 전류(I_i10)에 대한 전위(V_{I10})가 전위 $V_{I10}(0)$로 표시되면, 상기 신호 전류(I_i10)의 변화는 주 전류 경로를 통과하는 전류 (I_{dM1} 및 I_{dM2})를 변화시키며, 상기 각 변화는 다음식으로 주어진다.

$$\Delta I_{dM1} = I_o11 = W_{M1}/L_{M1} \{F(V_{R10}, V_{I10}(I_i10))-F(V_{R10}, V_{I10}(0))\} \quad (6)$$

및

$$\Delta I_{dM2} = I_o12 = W_{M2}/L_{M2} \{F(V_{R10}, V_{I10}(I_i10))-F(V_{R10}, V_{I10}(0))\} \quad (7)$$

상기 식 (6) 및 (7)으로부터, 신호전류(I_i10)의 전류 분배에 대한 다음식 (8)이 유도된다.

$$I_{011}/I_{012}=W_{M1} L_{M2}/W_{M2} L_{M1} \quad (8)$$

상기식은 MOS 트랜지스터의 크기에 의해 지시된 전류 분배 계수를 나타낸다. 식 (8)은 전류 분배, 즉 전류 분배 계수가 신호 전류 (I_i10) 및 전위 (V_{011} 및 V_{012})에 독립적이다. 것을 증명한다. 본 발명을 따르는 전류 분배기를 완전히 설명하기 위하여, 다음식 (9)이 식 (8)과 더불어 필요하게 된다.

$$I_i10 = -I_o11 - I_o12 \quad (9)$$

상기 식은 각 신호 전류(I_o11 및 I_o12)에 대한 신호 전류(I_i10)의 변화를 나타낸다. 식 (8) 및 (9)로부터, 신호 전류(I_i10)에 대응하는 입력 전류의 경우에, 이것이 다른 신호 전류(I_o11, I_o12)를 정의한다는 것을 알 수 있다. 상기 이외에도, 상기 유도식을 토대로 전류 분배는 실제로 선형적이고 상기 전류 분배는 각 MOS 트랜지스터의 비포화 및 포화 도전상태에 적응하며 것을 알 수 있으며, 전류 분배기에 요구되는 MOS 트랜지스터의 크기는 규정되지 않았으나 소형 전류 분배기를 실현할 수 있다는 것을 주목할 필요가 있다.

제2도는 본 발명을 따르는 전류 분배기의 실시예 2를 도시한 것이다. 본 실시예는 제4신호 전류(I_i11)용 제4단자 및 제어 전극과 전 전류 경로를 각각 갖는 세개의 다른 MOS 트랜지스터($M1_{sl}$, $M1_{sj}$ 및 $M1_{ss}$)를 구비한다는 점에서 제1도에 도시된 전류 분배기와 상이하다. 상기 단자(I11)는 MOS 트랜지스터(M1 및 $M1_{sl}$)의 주 전류 경로간의 포인트에 연결되며, 제어 전극은 기준 단자(R10)에 연결되고 주 전류 경로는 MOS 트랜지스터(M1)의 주 전류 경로 및 단자(011)간에 직렬로 연결된다. 비록 제2도가 단지 4개의 단자(I10, I11, 011 및 012)만을 도시하고 있지만, 다른 신호 전류용의 다른 단자는 MOS 트랜지스터($M1_s1$, $M1_{sj}$ 및 $M1_{ss}$)각각의 주전류 경로간에 연결된다. 상기 전류 분배기는 각 단자의 사용과 각 MOS 트랜지스터의 크기 및 수에 따라서 전류 분배를 수행한다.

예를 들어, 단자(I10)가 입력 단자로서 사용될 때, 단자(I11)는 사용되지 않고 단자(011 및 012)가 출력 단자로서 사용될 때, 상기 전류 분배기는 직렬 연결된 MOS 트랜지스터(M1, $M1_s1$, $M1_{sj}$ 및 $M1_{ss}$)의 크기에 대한 MOS 트랜지스터(M2)의 크기에 의해 정의되는 전류 분배를 실행한다. 만일 상기 MOS 트랜지스터 크기가 동일하다면(오늘날 스케일링 기술로 인해 크기를 동일하게 하는 것은 간단히 실현된다), 상기 전류 분배기는 단자(I10와 011)간의 MOS 트랜지스터 수 및 단자(I10 및 012)간의 MOS 트랜지스터 수 사이의 비에 반비례하는 전류 분배를 실행한다는 것이 식 (8)에 의해 증명되어 있다. 이 결과, 신호 전류(I_o11)는 신호 전류(I_o12)보다 네배만큼 작다. 상기 MOS 트랜지스터의 크기가 동일하지 않은 경우나, 또다른 단자를 사용하는 경우, 전류 분배는 상술된 방식과 유사한 방식으로 정의될 수 있다.

제3도는 본 발명을 따르는 전류 분배기의 실시예 3을 도시한 것이다. 본 실시예는 제어 전극 및 주 전류 경로를 각각 갖는 세개의 다른 MOS 트랜지스터($M1_p1$, $M1_{pj}$ 및 $M1_{pp}$)를 구비한다는 점에서 제1도에 도시된 전류 분배기와 상이하다. 상기 제어 전극은 기준 단자(R10)에 연결되고 주 전류 경로는 MOS 트랜지스터(M1)의 주 전류 경로와 병렬로 연결된다. 상기 전류 분배기는 각 단자의 사용 및 각 MOS 트랜지스터의 크기 및 수에 따라서 전류 분배를 실행한다. 예를 들어, 단자(I10)가 입력 단자로서 사용되고 단자(011) 및 012)가 출력 단자로서 사용될 때, 상기 전류 분배기는 병렬 연결된 MOS 트랜지스터(M1, $M1_p1$, $M1_{pj}$ 및 $M1_{pp}$)의 크기에 대한 MOS 트랜지스터(M2)의 크기에 의해 정의된 전류 분배를 실행한다. 만일 상기 MOS 트랜지스터의 크기가 동일하다면, 본 전류 분배기는 단자(I10와 011)간의 MOS 트랜지스터 수 및 단자(I10)과 단자(012)간의 MOS 트랜지스터 수사이의 비에 비례하는 전류 분배를 실행한다는 것이 식 (8)에 증명되어 있다. 이결과, 신호 전류(I_o11)는 신호 전류(I_o12)보다 4배 크게된다. 상기 MOS 트랜지스터의 크기가 동일하지 않거나 또다른 단자를 사용하는 경우에, 전류 분배는 상술된 방식과 유사한 방식으로 규정될 수 있다.

제4도는 본 발명을 따르는 전류 분배기의 실시예 4를 도시한 것이다. 본 실시예는 제4신호 전류(I_i12)용의 제4단자(I12) 및 제어 전극과 주 전류 경로를 각각 갖는 세개의 다른 MOS 트랜지스터($M2_s1$, $M2_{sj}$ 및 $M2_{ss}$)를 구비한다는 점에서 제1도에 도시된 전류 분배기와 상이하다. 단자(I12)는 MOS 트랜지스터(M2 및 $M2_s1$)의 주 전류 경로간의 포인트에 연결되며, 제어 전극은 기준 단자(R10)에 연결되고 주 전류 경로는 MOS 트랜지스터(M2)의 주 전류 경로 및 단자(012)간에 직렬로 연결된다. 비록 제4도가 단지 4개의 단자(I10, I12, 011 및 012)만을 도시하지만, 다른 신호 전류용의 다른 단자는 MOS 트랜지스터($M2_s1$, $M2_{sj}$ 및 $M2_s1$)각각의 주 전류 경로간에 연결된다. 본 전류 분배기는 각 단자의 사용과 각 MOS 트랜지스터의 크기 및 수에 따라서 전류 분배를 실행한다. 예를 들어, 단자(I10)가 입력 단자로서 사용되고, 단자(I11)는 사용되지 않고, 단자(011 및 012)가 출력 단자로서 사용될 때, 본 전류 분배기는 직렬 연결된 MOS 트랜지스터(M2, $M2_s1$, $M2_{sj}$ 및 $M2_s1$)의 크기에 대한 MOS 트랜지스터(M1)의 크기에 의해 정의되는 전류 분배를 실행한다. 만일 상기 MOS 트랜지스터의 크기가 동일하다면, 본 전류 분배기는 단자(I10)와 단자(011)간의 MOS 트랜지스터 수 및 단자(I10)와 단자(012)간의 MOS 트랜지스터수 사이의 비에 반비례하는 전류 분배를 실행한다는 것이 식 (8)에 증명되어 있다. 이결과, 신호 전류(I_o11)는 신호 전류(I_o12)보다 4배 크게된다. 상기 MOS 트랜지스터의 크기가 동일하지 않거나 또다른 단자를 사용하는 경우에, 전류 분배는 상술된 방식과 유사한 방식으로 규정될 수 있다.

제5도는 본 발명을 따르는 전류 분배기의 실시예 5를 도시한 것이다. 본 실시예는 제어 전극 및 주 전류 경로를 각각 갖는 세개의 다른 MOS 트랜지스터($M2_p1$, $M2_{pj}$ 및 $M2_{pp}$)를 구비한다는 점에서 제1에 도시된 전류 분배기와 상이하다. 상기 제어 전극은 기준 단자(R1)에 연결되고 주 전류 경로는 MOS 트랜지스터(M2)의 주 전류 경로와 병렬로 연결된다. 본 전류 분배기는 각 단자의 사용 및 각 MOS 트랜지스터의 크기 및 수에 따라서 전류 분배를 실행한다. 예를 들어, 단자(I10)가 입력 단자로서 사용되고, 단자(01 및 012)가 출력 단자로서 사용될 때, 본 전류 분배기는 병렬 연결된 MOS 트랜지스터 M2, ($M2_p1$, $M2_{pj}$ 및 $M2_{pp}$)의 크기에 대한 MOS 트랜지스터(M1)의 크기에 의해 정의된 전류 분배를 실행한다. 만일 상기 MOS 트랜지스터의 크기가 동일하다면, 본 전류 분배기는 단자(I10와 011)간의 MOS 트랜지스터 수 및 단자(I10)과 단자(012)간의 MOS 트랜지스터 수 사이의 비에 비례하는 전류 분배를 실행한다는 것이 식 (8)에 증명되어 있다. 이결과, 신호 전류(I_o11)는 신호 전류(I_o12)보다 4배 작게된다. 상기 MOS 트랜지스터의 크기가 동일하지 않거나 또다른 단자를 사용하는 경우에, 전류 분배는 상술된 방식과 유사한 방식으로 규정될 수 있다.

제6(a)도는 본 발명을 따르는 전류 분배기의 실시예 6을 도시한 것이다. 제어 전극 및 주 전류 경로를 갖는 하나의 다른 MOS 트랜지스터를 구비하는 본 실시예는 인버터 회로를 또한 구비한다는 점에서 제2도에 도시된 전류 분배기와 상이하다. 상기 제어 전극은 인버터 회로(IC1)에 의해 기준 단자에 연결되고 제2도에 도시된 MOS 트랜지스터($M1_s1$, $M1_{sj}$ 및 $M1_{ss}$)와 유사한 주 전류 경로는 MOS 트랜지스터(M1)의 주 전류 경로 및 단자(011)간에 연결된다. 기준 전압(R_v10)에 따라서, 본 전류 분배기는 제1활성 또는 비활성 상태를 취한다. 전류 분배기의 제1활성 상태에서, 기준 전압(R_v10)은 인버터 회로(IC1)에 의해 MOS 트랜지스터(M1 및 M2)를 턴오프시키고 MOS 트랜지스터($M1_s0$)를 턴온시킨다. 본 전류 분배기가 제1활성 상태에 있을 때, 그 상태에서 제4신호 전류(I_i11)에 대응하는 입력 전류는 단자(I11)에 인가되며, MOS 트랜지스터(M1) 및 MOS 트랜지스터(M2)는 각 신호 전류를 통과시킨다. MOS 트랜지스터($M1_s0$)가 제1활성 상태동안 차단될 때, MOS 트랜지스터(M1)를 통과하는 신호 전류는 단자(I11)에 인가되는 입력 전류(I_i11)와 동일하며, 신호 전류는 단자(I10)에 연결된 회로에 따라 입력 전류(I_i11)에 의해 결정된다. 활성성 상태에서, 신호 전류(I_o11)는 MOS 트랜지스터($M1_s0$)를 통과하여 흐르며, 상기 신호 전류는 MOS 트랜지스터(M1)의 차단 상태 때문에 입력 전류(I_i11)와 동일하다. 결국, 본 전류 분배기는 상기 입력 전류(I_i11)가 제1기준 전압 Rv10으로 지시되는 전류 분배기의 상태에 따라서 분배되거나 분배되지 않는 장점이 있다.

제6(b)도는 본 발명을 따르는 전류 분배기의 실시예 7을 도시한 것이다. 제어 전극 및 주 전류 경로를 갖는 하나의 다른 MOS 트랜지스터($M2_s0$)를 구비하는 본 실시예는 인버터 회로(IC2)를 또한 구비한다는 점에서 제4도에 도시된 전류 분배기와 상이하며, 제어 전극은 인버터 회로(IC2)에 의해 기준 단자(R10)에 연결되고 제4도에 도시된 MOS 트랜지스터($M2_s1$, $M2_{sj}$ 및 $M2_{ss}$)와 유사한 주 전류 경로는 MOS 트랜지스터(M2)의 주 전류 경로 및 단자(012)간에 연결된다. 기준 전압(Rv10)에 따라서, 본 전류 분배기는 제1활성 또는 비활성 상태를 취한다. 전류 분배기의 제1활성 상태에서, 기준 전압(Rv10)은 인버터 회로(IC2)에 의해 MOS 트랜지스터(M1 및 M2)를 턴온시키고 MOS 트랜지스터($M2_s0$)를 턴오프시키는 반면에. 전류 분배기의 비활성 상태에서, 기준 전압(Rv10)은 인버터 회로(IC2)에 의해 MOS 트랜지스터(M1 및 M2)를 턴오프시키고 MOS 트랜지스터($M2_s0$)를 턴온시킨다. 본 전류 분배기가 제1활성 상태에 있을 때, 그 상태에서 제4신호 전류(I_i12)에 해당하는 입력 전류는 단자(I11)에 인가되며, MOS 트랜지스터(M2) 및 MOS 트랜지스터(M1)은 각 신호 전류를 통과시킨다. MOS 트랜지스터($M2_s0$)가 제1활성 상태동안 차단되기 때문에, MOS 트랜지스터(M2)를 통과하는 신호 전류는 단자(I12)에 인가되는 입력 전류(I_i12)와 동일하며, 신호 전류는 단자(I10)에 연결된 회로에 따라 입력 전류(I_i12)에 의해 결정된다. 비활성 상태에서, 신호 전류(I_o12)는 MOS 트랜지스터($M2_s0$)를 통과하여 흐르며, 상기 신호 전류는 MOS 트랜지스터(M2)의 차단상태로 인해 입력 전류(I_i12)와 동일하다. 결국, 본 전류 분배기는 상기 입력 전류(I_i12)가 제1기준 전압 Rv10 전류 분배기의 상태에 따라서 분배되거나 분배되지 않는 장점이 있다.

제7(a)도는 본 발명을 따르는 전류 분배기의 실시예 8을 도시한 것이다. 제어 전극 및 주 전류 경로를 갖는 하나의 다른 MOS 트랜지스터($M1_p0$)를 구비하는 본 실시예는 제4신호 전류(I_i11)용의 제4단자(I11) 및 인버터 회로(IC1)를 또한 구비한다는 점에서 제3도에 도시된 전류 분배기와 상이하며, 상기 제어 전극은 인버터 회로(IC1)에 의해 MOS 트랜지스터(M1)의 제어 전극에 연결되고 제3도에 도시된 회로에서와 다른 방식으로 주 전류 경로는 단자(I10) 및 단자(I11)간에 연결된다. 게다가, 본 실시예는 MOS 트랜지스터

(M1)의 제어 전극이 기준 전압(Rv11) 수신하기 위한 기준 단자(R11)에 연결되고, MOS 트랜지스터(M2)의 제어 전극이 기준 전압(Rv12)를 수신하기 위한 기준 단자(R12)에 연결된다는 점에서 전술한 도면에 도시된 실시예와 상이하다. 그럼에도 불구하고, MOS 트랜지스터(M1 및 M2)의 제어 전극이 제어 회로(CC)에 의해 결합되는데, 상기 제어 회로는 다음에 상술된 일부 도면에 도시되어 있으며, 기준 전압(Rv11 및 Rv12)는 상술한 도면을 참조하여 언급된 기준 전압(Rv10)으로부터 유도된다. 앞선 실시예와 비교하여, 본 실시예는 제1활성 상태 이외에도 제2활성 상태를 갖는다. 전류 분배기의 제1활성 상태에서, 기준 전압(Rv11)은 인버터 회로(IC1)에 의해서 MOS 트랜지스터(M1)을 턴-온 하고 MOS 트랜지스터($M1_p0$)를 턴-오프시키며, 기준 전압(Rv12)은 MOS 트랜지스터(M2)가 턴-온되게 한다. 이렇게 전류 분배기는 식 (8) 및 (9)에 따라 정의된 바와 같이 신호 전류(I_i10)를 전류 분배하게 하며, 전류 분배는 결국 신호 전류(I_o11 및 I_o12)로 된다. 전류 분배기의 제2활성상태에서, 기준전압(Rv11)은 인버터 회로(IC1)를 통해서 MOS 트랜지스터(M1)를 턴-온되게 하고, MOS 트랜지스터($M1_p0$)를 턴-오프 시키며,기준 전압(Rv12)은 MOS 트랜지스터(M2)를 턴-오프 되도록 한다. 결과적으로, 전류 분배기는 식 (8) 및 (9)에 따라 정의된 바와 같이 신호 전류(I_i10)를 전류 분배하게 하며, 전류 분배는 결국 신호 전류(I_i11 및 I_o12)로 된다. 이렇게, 본 전류 분배기는 신호 전류가 기준 전압(Rv10)으로부터 유도된 기준전압(Rv11)에 따라 제1방법으로 분배되거나 또는 제2방법으로 분배되는 다른 전류 분배기로 전달되어질 수 있게 한다.

제7(b)도는 본 발명을 따르는 전류 분배기의 실시예 9를 도시한 것이다. 제어 전극 및 주 전류 경로를 가지는 MOS 트랜지스터($M2_p0$)를 구비하는 본 실시예는, 인버터 회로(IC2) 및 제4신호 전류(I_i12)의 제4단자(I12)를 더 구비한다는 점에서 제5도에 도시된 전류 분배기와는 다르며, 제어 전극은 인버터 회로(IC2)에 의해 MOS 트랜지스터(M2)의 제어 전극에 연결되며, 제5도에 도시된 회로와는 또다른 방법으로 주 전류 경로는 단자(I10) 및 단자(I12)간에 연결되어진다. 부가하여, 본 실시예는, MOS 트랜지스터(M1)의 제어 전극이 기준 전압(Rv11)을 수신하기 위하여 기준 단자(R11)에 연결된다는 점과, MOS 트랜지스터(M2)의 제어 전극이 기준 전압(Rv12)를 수신하도록 기준 단자(R12)에 연결된다는 점에서 전술된 도면에 도시하고 있는 실시예와는 다르다. 하지만, MOS 트랜지스터(M1 및 M2)의 제어 전극의 연결이 제어 회로(CC)에 의하여 제공되어지는데, 이 제어 회로는 다음 도면의 일부에서 도시되며, 기준 전압(Rv11 및 Rv12)는 전술된 도면과 관련하여 설명되어진 기준 전압(Rv10)으로부터 유도되어진다. 제7(a)도에 도시된 실시예와 같은 동일한 방법으로, 본 실시예는 제1활성 상태에 부가하여 제2활성 상태를 가지게 된다. 전류 분배기의 제1활성 상태에서, 기준 전압(Rv11)은 MOS 트랜지스터(M1)를 턴온시키며, 기준 전압(Rv12)은 인버터 회로(IC2)에 의해서 MOS 트랜지스터(M2)를 턴온시키고 MOS 트랜지스터($M2_p0$)를 턴-오프시킨다. 이렇게, 전류 분배기는 식 (8) 및 (9)에 따라 정의된 바와 같이 신호 전류(I_i10)를 전류 분배하게 하며, 전류 분배는 결국 신호 전류(I_o11 및 I_o12)가 된다. 전류 분배기의 제2활성상태에서, 기준전압(Rv11)은 MOS 트랜지스터(M1)를 턴-온시키며, 기준 전압(Rv12)은 인버터 회로(IC2)에 의해서 MOS 트랜지스터(M2)를 턴-오프시키고 MOS 트랜지스터($M2_p0$)를 턴-온시킨다. 결과적으로, 전류 분배기는 식 (8) 및 (9)에 규정된 바와 같이 신호 전류(I_i10)를 전류 분배하게 하며, 전류 분배는 신호 전류(I_i11 및 I_o12)가 된다. 이렇게, 본 전류 분배기는 신호 전류가 전달되어 기준 전압(Rv10)으로부터 유도된 기준전압(Rv12)에 따라 제1방법으로 분배되거나 또는 제2방법으로 분배되도록 하게 한다.

제8도는 본 발명에 따라 전류 분배기의 실시예 10을 도시한다. 본 실시예는 제4도, 제5도 및 제6(a)도에 도시된 전류 분배기와 유사하게 구성되있다. 단지, MOS 트랜지스터(M2)에 직렬로 연결된 MOS 트랜지스터($M2_s1$)을 더 구비하는 본 실시예는 본 실시예가 각각 제어 전극 및 주 전류 경로를 구비하며 MOS 트랜지스터(M2)에 병렬로 연결된 세개의 또다른 MOS 트랜지스터($M2_p1$, $M2_p1_s1$ 및 $M2_p1_s2$)를 더 구비한다는 점에서 앞서의 도면에 도시된 전류 분배기와는 다르며, MOS 트랜지스터($M2_s1$)의 제어 전극과 유사하게 MOS 트랜지스터($M2_p1$, $M2_p1_s1$ 및 $M2_p1_sM2_p1_s2$)의 제어 전극은 기준 단자 R10에 연결되고, MOS 트랜지스터($M2_p1$, $M2_p1_s1$ 및 $M2_p1_s2$)의 주 전류 경로는 MOS 트랜지스터 M2 및 $M2_s1$의 주 전류 경로에 병렬로 연결되어지며, 단자(I10)는 MOS 트랜지스터($M2_p1$ 및 $M2_p1_s1$)의 주 전류 경로 사이에 위치된 점에 연결된다. 본 전류 분배기는 앞서의 도면에 도시된 전류 분배기 조합에서의 예 1이 되며, 신호 전류(I_i11)는 전류 분배기의 제1활성 상태에서 신호 전류(I_i10 및 I_i12)로 분배되어지고, 상기 신호 전류는 전류 분배기 비활성상태에서 신호 전류(I_o11)에 반대 방향과 같은 방향이다. 본 전류 분배기는 사다리형 회로망(소위, R-2R 회로망)의 두 섹션(각각, M1, M2, M2s 및 $M2_p1$, $M2_p1_s1$, $M2_p1_s2$)을 구비하기 때문에, 사다리형 회로망 부분을 형성하는 전류 분배기의 제1활성상태에서 만일 사다리형 회로망의 전류 분배기가 두개가 직렬로 연결된 MOS 트랜지스터에 의해서 종래의 방법으로 전달된다면 신호 전류(I_i10)는 신호 전류(I_i11)에 비례하여 대략 12데시벨 만큼 감쇠된다(각 섹션은 R-2R 비의 결과로 약 6 데시벨의 감쇠를 일으킨다.)

제9도는 본 발명에 따른 전류 분배기의 실시예 11을 도시한다. 본 실시예는 제3도, 제4도 및 제6(a)도에 도시된 전류 분배기와 유사하게 구성되어진다. 본 실시예는 각각 제어 전극 및 주 전류 경로를 구비하고 있는 네개의 MOS 트랜지스터($M1_p1$, $M1_p2$, $M1_p3$ 및 $M1_p4$)와, MOS 트랜지스터 M2와 직렬로 연결된 세개의 MOS 트랜지스터($M2_s1$, $M2_s2$ 및 $M2_s3$)를 더 구비하고 있다는 점에서 앞서의 도면에 도시된 전류 분배기와는 다르다. MOS 트랜지스터($M1_p1$, $M1_p2$, $M1_p3$ $M1_p4$, $M2_s1$, $M2_s2$ 및 $M2_s3$)의 제어 전극은 기준 단자(R10)에 연결되며, MOS 트랜지스터($M1_p2$, $M1_p2$, $M1_p3$ 및 $M1_p4$)의 주 신호 경로는 MOS 트랜지스터(M1)의 주 전류 경로에 병렬로 연결되고, MOS 트랜지스터($M2_s1$, $M2_s2$ 및 $M2_s3$)의 주 전류 경로는 단자(012)와 MOS 트랜지스터(M2)의 주 전류 경로간에 직렬로 연결된다. 본 전류 분배기는 앞서의 도면들에 도시된 전류 분배기 조합에서의 예 2이며, 신호 전류(I_i11)는 제6도에 도시된 것과 유사한 방법으로 전류 분배기의 제1활성 상태에서 신호 전류(I_i10 및 I_o12)로 분배되어지며, 신호 전류(I_i11)는 전류 분배기의 비활성 상태에서 MOS 트랜지스터($M1_s0$)에서의 신호 전류와 같다. 집적 회로의 부분을 형성하는 본 전류 분배기는 만일 사다리형 회로망의 마지막 전류 분배기가 두개의 직렬로 연결된 MOS 트랜지스터에 의해서 종래의 방법으로 종료된다면 신호

전류(I_i11)에 비례하여 약 2 데시벨의 감쇠가 발생한다.

제10도는 본 발명에 따른 전류 분배기의 실시예 12를 도시한다. 본 실시예는 본 실시예가 제5도에 도시된 전류 분배기와 유사하게 제어 전극 및 주 전류 경로를 가지는 MOS 트랜지스터($M2_p1$)을 구비한다는 점에서 제7(a)도에 도시된 전류 분배기와는 다르며, 여기에서 제어 전극은 기준 단자(R10)에 연결되고, 주 전류 경로는 MOS 트랜지스터(M2)의 주 전류 경로에 병렬로 연결된다. 본 전류 분배기는 앞서의 도면들에 도시된 전류 분배기 조합의 예 3이며, 신호 전류(I_i10)는 전류 분배기의 제1활성 상태에서 신호 전류(I_o12 및 I_i11)로 분배되어지고, 신호 전류(I_i10)는 전류 분배기의 제2활성 상태에서 신호 전류(I_o12 및 I_o11)로 분배된다. 본 실시예는 MOS 트랜지스터($M2_p1$)를 구비하기 때문에, 본 형태의 다수 전류 분배기의 직렬 장치는 사다리형 회로망(소위, R-2R 회로망)이 되며, 신호 전류(I_o12)는 제1활성 상태 및 제2활성 상태에서 신호 전류(I_i10)에 비례하여 대략 6 데시벨의 감쇠를 가지고 전달되어진다.

제11도는 본 발명에 따른 다수의 전류 분배기를 구비하는 집적 회로의 실시예 1을 도시한다. 세개의 전류 분배기(CD1, CDj 및 CDs)에 부가하여, 집적 회로는 입력 전류(Ii)를 수신하기 위한 입력 단자(I1), 출력 전류(I_o)를 공급하기 위한 제1출력 단자(O1), 제2출력 전류를 공급하기 위한 제2출력 단자(OO1)과, 전류 분배기(CD1, CDj 및 CDs)에 요구되는 기준 전압을 공급하기 위한 제어 회로(CC)를 구비한다. 전류 분배기(CD1, CDj 및 CDs)는 제1, 2, 3, 4도 및 제5도에 도시된 전류 분배기와 유사하게, 각각 입력 단자로 이용되어지는 제1단자(I10, Ij0, Is0), 제2단자(O11, Oj1, Os1), 제3단자(O12, Oj2, Os2) 및 기준단자(R10, Rj0, Rs0)를 구비한다. 제1입력 단자(I1)는 단자(I10)에 연결되며, 단자(O12)는 단자(Ij0)에 연결되고, 단자(Oj2)는 단자(Is0)에 연결되며, 단자(Os2)는 출력 단자(O1)에 연결되는데, 각각의 단자(O11, Oj1 및 Os1)는 출력단자(OO1)에 연결되고, 각각의 기준단자(R10, Rj0 및 Rs0)는 제어회로(CC)에 연결되고, 제11도에 도시된 집적 회로가 단지 세개의 전류 분배기를 구비하고 있긴 하지만, 집적 회로에서의 전류 분배기 수는 세개로 제한되지 않으며, 전류 분배기(CDj)와 같이 하나 또는 그 이상의 다른 전류 분배기는 제1전류 분배기(CD1) 및 마지막 전류 분배기(CDs)사이에 직렬로 연결될 수 있을 것이다. 본 회로 장치에 있어서, 입력 전류(I_i)는 각 전류 분배기에 의해 연속적으로 분배되어지며, 전류 분배기는 제1, 2, 3, 4도 또는 제5도에 도시된 전류 분배기와 동일 구조의 예로서, 남은 출력 전류(I_o)를 발생하며, 단자(O11, Oj1 및 Os1)을 통하여 분배된 전류는 단자(OO1)에서 유용할 수 있다. 기준 단자(R10, Rj0 및 Rs0)에 공급되고, 제1기준 전압(Rv10)에 관련되며, 제어 회로(CC)에 의해 발생된 기준 전압에 의해서, 분배된 전류의 총수는 하나 또는 그 이상의 전류 분배기를 비활성 상태(passive state)로 세팅함으로써 선택될 수 있으며, 여기에서 전류 분배기(CDj)를 비활성 상태로 세팅하는 것은 전류 분배기(CDj 내지 Cds)가 비활성 상태로 세팅되는 결과가 된다. 제어 회로(CC)는 실례로 스위치로서 이용되는 일부 MOS 트랜지스터에 의해서 당분야에 숙련된 사람들에게 알려진 여러가지 방법으로 구성될 수 있다.

제12도는 본 발명에 따른 다수 전류 분배기를 구비하는 집적 회로의 실시예 2를 도시한다. 세개의 전류 분배기(CD1, CDj 및 CDs)에 부가하여, 상기 집적 회로는 입력 전류(I_i)를 수신하기 위한 입력단자(I1), 출력 전류(I_o)를 공급하기 위한 제1출력 단자(O1), 제2출력 전류를 공급하기 위한 제2출력 단자(OO1), 제3출력 전류를 공급하기 위한 제3출력단자 및 전류 분배기(CD1, CDj 및 CDs)에 필요한 기준 전압을 공급하기 위한 제어 회로(CC)를 구비한다. 전류 분배기(CD1, CDj 및 CDs)는 제6(a)도, 제7(a)도, 제8도, 제9도 및 제10도에 도시된 전류 분배기와 유사하게, 제1단자(I10, Ij0, Is0), 제2단자(O11, Oj1, Os1), 제3단자(O12, Oj2, Os2), 제4단자(I11, Ij1, Is1) 및 기준단자(R10, Rj0, Rs0)를 구비하며, 각 제4단자(I11, Ij1, Is1)는 입력 단자로 이용된다. 제1입력 단자(I1)는 단자(I11)에 연결되고, 단자(I10)은 단자(Ij1)에 연결되고, 단자(Oj0)은 단자(Is1)에 연결되며, 단자(Is0)는 출력 단자(O1)에 연결되고, 각각의 단자(O11, Oj1 및 Os1)는 출력 단자(O11)에 연결되며, 각 단자(O12, Oj2 및 Os2)는 출력 단자(OO2)에 연결되며, 각각의 기준 단자 R10, Rj0 및 Rs0은 제어 회로(CC)에 연결된다. 제12도에 도시된 집적 회로가 단지 세개의 전류 분배기를 구비하기는 하지만, 집적 회로내의 전류 분배기 수는 세개로 제한되는 것이 아니며, 전류 분배기(CDj)와 유사하게 하나 또는 그 이상의 전류 분배기는 제1전류 분배기(CD1) 및 마지막 전류 분배기(CDs)사이에 직렬로 연결되어진다. 본 회로 장치에 있어서, 입력 전류(I_i)는 실례로 제6(a)도,제8도 또는 제9도에 도시된 전류 분배기와 같은 구조인 전류 분배기 각각에 의해 연속적으로 분배되어지며, 잔류 출력 전류(I_o)가 산출되고, 단자(O11, Oj1 및 Os1)를 통하여 분배된 전류는 단자(OO1)에 활용되어지며, 단자(O12, Oj2 및 Os2)를 통하여 분배된 전류는 단자(OO2)에 활용되어진다. 기준 단자(R10, Rj0 및 Rs0)에 공급되고, 제1기준 전압(Rv10)에 관련되며, 제어 회로(CC)에 의해 발생된 기준 전압에 의해서, 분배된 전류의 총수는 하나 또는 그 이상의 전류 분배기를 비활성 상태(passive state)로 세팅함으로써 선택될 수 있으며, 여기에서 전류 분배기(CDj)를 비활성 상태로 세팅하는 것은 전류 분배기(CDj 내지 Cds)가 비활성 상태로 세팅되는 결과가 된다. 이렇게, 본 집적 회로는 실례로 볼륨 제어로 이용될 수 있는 제어된 전류 분배가 실현될 수 있게 하며, 입력 전류는 다수의 전류 분배기를 제1활성 상태로 세팅함으로써 감쇠되어진다.

제13도는 본 발명에 따른 다수의 전류 분배기를 구비하는 집적 회로의 실시예 3을 도시한다. 본 실시예는 제1전류 분배 계수를 가지는 전류 분배기(CD1, CDm)의 제1직렬 장치 및 제2전류 분배 계수를 가지는 전류 분배기(CDn, CDz)의 제2직렬 장치를 구비하고 있다. 제1 및 제2직렬 장치인 전류 분배기(CD1, CDm, CDn 및 CDz)에 부가하여, 집적 회로는 입력 전류(I_i)를 수신하기 위한 입력 단자(I1), 출력 전류(I_o)를 공급하기 위한 제1출력 단자(O1), 제2출력 전류를 공급하기 위한 제2출력 단자(OO2), 전류 분배기(CD1, CDm, CDn 및 CDz)에 요구되는 기준 전압을 공급하기 위한 제어 회로(CC)를 구비하고 있다. 제6(a)도, 제7(a)도, 제8도, 제9도 및 제10도에 도시된 전류 분배기와 유사하게, 제13도에 도시된 전류 분배기(CD1, CDm, CDn 및 CDz)은 제1단자(I10, Im0, In0, Iz0), 제2단자(O11, Om1, On1, Oz1), 제3단자(O12, Om2, On2, Oz2), 제4단자(I11, Im1, In1, Iz1) 및 기준 단자(R10, Rm0, Rn0, Rz0)를 구비하며, 여기에서 제4단자(I11, Im1, In1, Iz1) 각각은 입력 단자로 이용된다. 제1직렬 장치는 최소한 제1전류 분배기(CD1)과 마지막 전류 분배기(CDm)을 구비하며, 전류 분배기의 제2직렬 장치는 최소한 제1전류 분배기(CDn)과 마지막 전류 분배기(CDz)를 구비한다. 제1직렬 장치에 있어서, 입력 단자(I1)는 단자(I11)에 연결되고, 단자

(I10)은 단자(Im1)에 연결되고, 각 단자(011 및 Om1)은 단자(ImO)에 연결되고, 각 단자(012 및 Om2)는 출력 단자(002)에 연결되며, 각 기준 단자(R10 및 RmO)은 제어 회로(CC)에 연결된다. 제2직렬 장치에 있어서, 단자(InO)는 단자(Iz1)에 연결되고, 단자(IzO)은 출력단자(002)에 연결되고, 각 단자(On1 및 Oz1)는 출력 단자(0I)에 연결되고, 각 단자(On2 및 Oz2)는 출력 단자(002)에 연결되며, 각 기준 단자(RnO 및 RzO)은 제어 회로(CC)에 연결된다. 제1 및 제2직렬 장치는 단자(ImO) 및 단자(In1)에 의해 서로 연결되어진다. 제13도에 도시된 집적 회로가 제1 및 제2직렬 장치 양쪽에 단지 두개의 전류 분배기를 구비하고 있긴 하지만, 상기 집적 회로는 도시된 전류 분배기를 사용하는데 제한되지 않으며, 제12도에 도시된 전류 분배기(CDj)에 상응하여, 제1전류 분배기(CD1, CDn)와 마지막 전류 분배기(CDm, CDz)사이에 직렬로 연결되도록 하나 또는 그 이상의 전류 분배기를 포함할 수 있다. 본 회로에 있어서, 입력 전류(I_i)는, 실례로 제6(a)도, 제8도 또는 제9도에 도시된 전류 분배기와 같은, 제1직렬 장치의 각 전류 분배기(CD1, CDm)와 제2직렬 장치의 각 전류 분비기(CDn, CDz)에 의해 계속적으로 분배되어지며, 잔류 출력 전류(I_o)를 산출하고, 단자(012, Om2, On2, Oz2 및 IzO)을 통하여 분배되어진 전류는 단자(002)에 이용가능케 된다. 기준 단자(R10, RmO, RnO 및 RzO)에 공급되고, 제1기준 전압(Rv10)에 관련하며, 제어 회로(CC)에 의해 발생되는 기준 전압에 의해서, 각 전류 분배기는 개별적으로 제1활성 상태 또는 비활성 상태로 세트될 수 있으며, 인가된 전류는 제1활성 상태에서 분배된 형태로 전달되고, 비활성 상태에서는 인가된 전류는 분배되지 않은 형태로 전달된다. 이렇게, 본 집적 회로는 제어된 전류 분배가 실현될 수 있으며, 전류 분배는 실예로 불륨 제어의 목적으로 이용될 수 있다. 제1직렬 장치의 전류 분배기가 제8도에 도시된 전류 분배기와 같은 구조이고, 제2직렬 장치의 전류 분배기가 제9도에 도시된 전류 분배기와 같은 구조일 경우, 본 회로는 제1직렬 장치에서 각 전류 분배기가 조악한 전류 분배계수(12 데시벨)를 제공하고, 제2직렬 장치에서 각 전류 분배기가 세밀한 전류 분배 계수(2 데시벨)를 제공하여, 상대적으로 적은 수의 적은 분배기에 의해서 광범위의 세밀한 전류 분배가 실현될 수 있다는 점에서 부가적인 잇점을 가지고 있다.

제14도는 본 발명에 따른 다수의 전류 분배기를 구비하는 집적 회로의 실시예 4를 도시한다. 세개의 전류 분배기(CD1, CDj 및 CDs)에 부가하여, 집적 회로는 입력 전류(I_i)를 수신하기 위한 입력 단자(II), 출력 전류(I_o)를 공급하기 위한 제1출력 단자(0I), 제2출력 전류를 공급하기 위한 제2출력 단자(001), 제3출력 전류를 공급하기 위한 제3출력 단자(002) 및, 전류 분배기(CD1, CDj 및 CDs)에 요구되는 기준 전압을 공급하기 위한 제어 회로(CC)를 구비하고 있다. 제7(a)도 및 제10도에 도시된 전류 분배기와 유사하게, 제12도에 도시된 전류 분배기(CD1, CDj 및 CDs)는 제1단자(I10, Ij0, Is0), 제2단자(011, 0j1, 0s1), 제3단자(012, 0j2, 0s2), 제4단자(I11, Ij1, Is1), 제1기준 단자(R10, Rj1, Rs1) 및 제2기준 단자(R12, Rj2, Rs2)를 구비하며, 각각의 제1단자(I10, Ij0, Is0)는 입력 단자로 이용된다. 입력 단자(II)는 단자(I10)에 연결되고, 단자(012)는 단자(Ij0)에 연결되고, 단자(0mj2)는 단자(Is0)에 연결되고, 단자(0s2)는 출력 단자(0I)에 연결되고, 각 단자(011, 0j1, 0s1)는 출력 단자(001)에 연결되며, 각 단자(I11, Ij1 및 Is1)은 출력 단자(002)에 연결되며, 각 기준 단자(R11, R12, Rj1, Rj2, Rs1 및 Rs2)는 제어 회로(CC)에 연결된다. 제14도에 도시된 집적 회로는 단지 세개의 전류 분배기만을 구비하고 있으나, 집적 회로에서의 전류 분배기의 수는 세개로 제한되는 것은 아니며, 집적 회로는 제1전류 분배기(CD1)과 마지막 전류 분배기(CDs)사이에 직렬로 연결된 전류 분배기(CDj)에 상응하는 하나 또는 그 이상의 전류 분배기를 포함할 수 있다. 본 회로에 있어서, 입력 전류(I_i)는 실례로 제7(a)도 또는 제10도에 도시된 전류 분배기와 유사한 각 전류 분배기에 의해 연속하여 분배되어지며, 잔류 출력 전류(I_o)를 산출하며, 단자(011, 0j1 및 0s1)를 통하여 분배된 전류는 단자(001)에서 유용하게 되며, 단자(I11, Ij1 및 Is1)를 통하여 분배된 전류는 단자(002)에서 유용하게된다. 제1기준 전압(Rv10)의 제1변형에서 기준 단자(R11, Rj1 및 Rs1)로 인가되고, 제1기준 전압(Rv10)의 제2변형에서 기준단자(R12, Rj2 및 Rs2)로 인가하며, 제어 회로(CC)에 의해 발생되는 기준 전압에 의해서, 각 전류 분배기는 제1활성 상태 및 제2활성 상태로 개별적으로 세트될 수 있으며, 인가된 전류는 단자(001)또는 단자(002) 중으로 분배된 형태로 전달되어진다. 이렇게, 본 집적 회로는 제어된 전류 분배가 실현될 수 있게 하며, 전류 분배는 실례로 디지탈-아날로그 변환기로 이용될 수 있다. 디지탈-아날로그 변환기에 있어서, 제어된 전류 분배는 제어 회로(CC)에 공급되는 디지탈 신호에 기초하여 이루어지며, 그 신호에 기초하여 기준 전압(Rv10)에 제1변형이 이루어져, 제2변형이 요구되지 않는다. 제어 회로(CC)는 실례로 시프트 레지스터 및, 스위치로 이용되는 일부 MOS 트랜지스터로 실행될 수 있으며, 기준 전압(Rv10)의 제1변형은 디지탈 신호의 새로운 워드가 로드된 후 언제나 실행된다. 기준 신호(Rv10)의 제1변형에 의해서, 디지탈 신호 워드의 각 비트로서 상기 비트에 상응하는 전류 분배기가 제1활성 상태 또는 제2활성 상태로 세트되도록 하여 출력 단자(001)를 통해 흐르는 전류 및 출력 단자(002)를 통해 흐르는 전류는 디지탈 신호의 아날로그 값을 형성하게 한다. 본 회로에서 네개의 MOS 트랜지스터를 구비하는 단지 하나의 전류 분배기만이 비트마다 요구되어지므로, 32개의 MOS 트랜지스터로서 8비트 디지탈-아날로그 변화기를 실현하는 것이 가능하게 되며, 상기 변화기는 회로의 밀집성으로 인하여 고 주파수(100㎒)를 조절할 수 있다.

제15도는 본 발명에 따른 다수의 전류 분배기를 구비하는 집적 회로의 실시예 5를 도시한다. 실례로, 제11, 12, 13도 및 제14도에 도시된 바의 전류 분배기의 장치를 구비하는 본 실시예는 입력 전압을 수신하기 위한 입력 단자(IV) 및 상기 도면에 도시된 입력 단자(II)사이에 연결된 전압-전류 변환기와, 상기 도면에 도시된 출력 단자(0I)및 출력 전압을 공급하기 위한 출력 단자(0V)사이에 연결된 전류-전압 변환기와, 입력 단자(IV)를 통하여 흐르는 입력 전류(Iii)와, 출력 단자(0V)를 통하여 흐르는 출력 전류(Ioo)를 더 구비한다. 상기 전압-전류 변환기는 저항 소자(Rui)와, 제어 전극 및 주 전류 경로를 가지는 두개의 MOS 트랜지스터(M_{vi}1 및 M_{vi}2)와, 반전 입력, 비반전 입력 및 출력을 가지는 연산 증폭기(A_{vi})를 구비한다. 반전 입력은 저항 소자 R_{vi}에 의해 입력 단자(II)에 연결되며, 비반전 입력은 기준 전위를 수신하기 위해서 기준 단자(RR1)에 연결되고, 출력은 입력 신호 단자(I11)과 두개의 MOS 트랜지스터(M_{vi}1 및 M_{vi}2)의 주 전류 경로에 의해 반전 입력으로 연결되어지며, 두개의 MOS 트랜지스터의 제어 전극은 기준 전위를 수신하기 위해서 기준 단자(RR2)에 연결된다. 상기 전류-전압 변환기는 저항 소자(R_{iv})와 반전 입력, 비반전 입력 및 출력을 가지는 연산 증폭기를 구비한다. 상기 반전 입력은 입력 단자(Is)에 연결되고, 상기 비반전 입력은 기준 단자(RR1)에 입력되며, 출력은 출력 단자(OO)와 저항 소자(R_{iv})에 의해 반전 입력에 연결된다. 상기 회로 각각은 전류에 기초하여 동작하므로, 제15도는 전압-전류 및 전류-전압 변환을 이루는

방법을 설명하며, 여기에서 전압-전류 변환은 특정 방법으로 이루어진다. 상기 회로가 MOS 트랜지스터($M_{vi}1$ 및 $M_{vi}2$)를 구비하고 있으므로, 연산 증폭기(A_{vi})에 의해 공급되는 전류는 입력 단자(II)를 통하여 흐르는 입력 전류(I_i)와 입력 단자(IV)를 통하여 흐르는 전류(I_{ii})로 선형적으로 분배되어지며, 여기에서 전류(I_{ii})는 단자(IV)에 인가되는 전압에 의존하게 된다. 전류(I_{ii})는 저항(R_{vi})양단의 전압 강하에 따라야 하므로, 연산 증폭기에 의해 입력 단자(II)로 공급되는 전류와 입력 전류(I_i)는 연산 증폭기(A_{vi}) 및 MOS 트랜지스터($M_{vi}1$ 및 $M_{vi}2$)를 구비하는 피드백 루프에 의해 결정되어진다. 결과적으로, 연산 증폭기(A_{vi})출력에서의 기생 캐패시턴스는 입력 전류(I_i)에 영향을 미치지 않게 되어, 비교적 높은 주파수를 비교적 낮은 일그러짐으로 처리되도록 할 수 있으며, 기생 캐피시턴스에 요구되는 전류는 연산 증폭기(A_{vi})에 의해 공급되어진다. 더우기, 제15도에 도시된 회로는 실례로 저항 소자(R_{vi} 및 R_{iv})를 스케일하거나 또는 입력 단자(IV 및 II)사이에 연결된 사다리형 회로망에 의해서, 제어가능한 이득이 얻어질 수 있도록 할 수 있으며, 사다리형 회로망은 그 이상의 제어 회로에 의해서 제어가능한 이득을 발생할 수 있다.

본 발명은 도시된 실시예로 제한되는 것은 아니다. 본 발명의 범위내에서, 당분야에 숙련된 사람들은 쉽게 다양한 변경을 가할 수 있을 것이다. 실례로, 도시된 실시예의 대다수가 다른 전류 분배기에 의해서 구성될 수 있으며, 도시된 전류 분배기는 여기에서 도시되어진 대다수의 방법으로 집적 회로를 구성하도록 결합되어질 수 있다. 더우기, 전류 분배기의 MOS 트랜지스터는 NMOS 트랜지스터 및 PMOS 트랜지스터가 될 수 있다.

(57) 청구의 범위

청구항 1

제1신호 전류(I_i10)를 제2 및 제3신호 전류(I_o11, I_o12)로 분배하기 위한 전류 분배기로써, 상기 전류 분배기는, 상기 제1신호 전류(I_i10)가 통과하는 제1단자(I10)와, 상기 제2신호 전류(I_o11)가 통과하고 제1전위를 수신하는 제2단자(011)와, 상기 제3신호 전류(I_o12)가 통과하고 제2전위를 수신하는 제3단자(012)와, 제어 전극과 상기 제1단자(I10)와 상기 제2단자(011)사이에 결합된 주 전류 경로를 갖는 제1MOS 트랜지스터(M1)와, 제어 전극과 상기 제1단자(I10)와 상기 제3단자(012)사이에 결합된 주 전류 경로를 갖는 제2MOS 트랜지스터(M2)를 포함하며, 상기 제1, 2MOS 트랜지스터(M1, M2)의 제어 전극은, 상기 전류 분배기의 제1활성 상태(first active state)동안 상기 제1MOS 트랜지스터의 주 전류 경로 및 상기 제2MOS 트랜지스터의 주 전류 경로의 도전 상태(conductive state)를 실현하도록 각각의 기준 전압을 수신하기 위해 각각의 기준 단자에 결합되며, 상기 제1, 2트랜지스터(M1, M2)의 제어 전극은 제1기준 전압(Rv10)을 수신하기 위해 제1기준 단자(R10)에 결합되고, 상기 전류 분배기는, 제4신호 전류($Ii11$)의 통과를 위한 제4단자(I11)와, 인버터 회로(IC1)와, 제어 전극과 주 전류 경로를 갖는 적어도 하나의 또다른 MOS 트랜지스터(M1s0)를 더 포함하며, 상기 제어 전극은, 상기 전류 분배기의 상기 제1활성 상태 동안 상기 적어도 하나의 또다른 MOS 트랜지스터(M1s0)의 차단 상태(cut-off state)를 실현하고, 상기 전류 분배기의 비활성 상태(passive state)동안 상기 적어도 하나의 또다른 MOS 트랜지스터(M1s0)의 도전 상태를 실현하도록, 상기 제1기준 전압(Rv10)을 수신하기 위해 상기 인버터 회로에 의해 상기 제1기준 단자(R10)에 결합되며, 상기 적어도 하나의 또다른 MOS 트랜지스터(M1s0)의 상기 주 전류 경로는 상기 제1MOS 트랜지스터(M1)의 상기 주 전류 경로와 상기 제2단자(011)사이에 결합되고, 상기 제4단자(I11)는 상기 제1MOS 트랜지스터(M1)의 상기 주 전류 경로와 상기 적어도 하나의 또다른 MOS 트랜지스터(M1s0)의 상기 주 전류 경로 사이의 점에 결합되는 것을 특징으로 하는 전류 분배기.

청구항 2

제1신호 전류(I_i10)를 제2 및 제3신호 전류(I_o11, I_o12)로 분배하기 위한 전류 분배기로써, 상기 전류 분배기는, 상기 제1신호 전류(I_i10)가 통과하는 제1단자(I10)와, 상기 제2신호 전류(I_o11)가 통과하고 제1전위를 수신하는 제2단자(011)와, 상기 제3신호 전류(I_o12)가 통과하고 제2전위를 수신하는 제3단자(012)와, 제어 전극과 상기 제1단자(I10)와 상기 제2단자(011)사이에 결합된 주 전류 경로를 갖는 제1MOS 트랜지스터(M1)와, 제어 전극과 상기 제1단자(I10)와 상기 제3단자(012)사이에 결합된 주 전류 경로를 갖는 제2MOS 트랜지스터(M2)를 포함하며, 상기 제1, 2MOS 트랜지스터(M1, M2)의 제어 전극은, 상기 전류 분배기의 제1활성 상태(first active state)동안 상기 제1MOS 트랜지스터의 주 전류 경로 및 상기 제2MOS 트랜지스터의 주 전류 경로의 도전 상태(conductive state)를 실현하도록 각각의 기준 전압을 수신하기 위해 각각의 기준 단자에 결합되며, 상기 전류 분배기는, 제4신호 전류($Ii11$)가 통과하는 제4단자(I11)와, 인버터 회로(IC1)와, 제어 전극과 주 전류 경로를 갖는 적어도 하나의 또다른 MOS 트랜지스터(M1p0)를 더 포함하며, 상기 제어 전극은 인버터 회로(IC1)에 의해 상기 제1MOS 트랜지스터(M1)의 상기 제어 전극에 결합되고, 상기 제1MOS 트랜지스터(M1)의 상기 제어 전극은 제2기준 전압(Rv11)을 수신하기 위해 제2기준 단자(R11)에 결합되며, 상기 제2MOS 트랜지스터의 제어 전극은, 상기 전류 분배기의 상기 제1활성 상태 동안 상기 적어도 하나의 또다른 MOS 트랜지스터(M1p0)의 차단 상태(cut-off state)를 실현하고, 상기 전류 분배기의 제2활성 상태(second active state)동안 상기 적어도 하나의 또다른 MOS 트랜지스터(M1p0)의 도전 상태를 실현하도록, 제3기준 전압(Rv12)을 수신하기 위해 제3기준 단자(R12)에 결합되며, 상기 적어도 하나의 또다른 MOS 트랜지스터의 상기 주 전류 경로는 상기 제1단자(I10)와 상기 제4단자(I11)사이에 결합되는 것을 특징으로 하는 전류 분배기.

청구항 3

제1항에 기재한 전류 분배기를 복수개 포함하는 집적회로에 있어서, 상기 집적 회로는, 입력 전류(Ii)를 수신하기 위한 입력 단자(II)와, 제1출력 전류(Io)를 공급하기 위한 제1출력 단자(01)를 더 포함하며, 상기 집적회로의 상기 입력 단자(II)는 제1전류 분배기(CD1)의 제4단자(I11)에 결합되고, 상기 제1전류 분배기(CD1)의 제1단자(I10)는 최종 전류 분배기(CDs)의 제4단자(Is1)에 결합되고, 상기 최종 전류 분배기(CDs)의 제1단자(Is0)는 상기 집적 회로의 상기 제1출력 단자(01)에 결합되는 것을 특징으로 하는 집적

회로.

청구항 4

제3항에 있어서, 상기 집적 회로는 제2출력 전류를 공급하기 위한 제2출력 단자(001)를 더 포함하며, 각각의 전류 분배기(CD1, CDj, CDs)의 각 제2단자(011, 0j1, 0s1)는 상기 집적 회로의 상기 제2출력 단자(001)에 결합되는 것을 특징으로 하는 집적 회로.

청구항 5

제4항에 있어서, 상기 집적 회로는 제3출력 전류를 공급하기 위한 제3출력 단자(002)를 더 포함하며, 각각의 전류 분배기(CD1, CDj, CDs)의 각 제3단자(012, 0j2, 0s2)는 상기 집적 회로의 상기 제3출력 단자(002)에 결합되는 것을 특징으로 하는 집적 회로.

청구항 6

제3, 4, 또는 5항 중 어느 한 항에 있어서, 상기 집적 회로는 또다른 전류 분배기(CDj)를 더 포함하며, 상기 제1전류 분배기(CD1)의 상기 제1단자(I10)는 상기 또다른 전류 분배기(CDj)의 제4단자(Ij1)에 결합되고, 상기 또다른 전류 분배기(CDj)의 제1단자(Ij0)는 상기 최종 전류 분배기(CDs)의 상기 제4단자(Is1)에 결합되는 것을 특징으로 하는 집적 회로.

청구항 7

제6항에 있어서, 상기 집적 회로는 복수의 또다른 전류 분배기를 더 포함하며, 상기 또다른 전류 분배기는 상기 제1전류 분배기(CD1)의 상기 제1단자(I10)와 상기 최종 전류 분배기(CDs)의 상기 제4단자(Is1)사이에 직렬로 유사하게 결합되는 것을 특징으로 하는 집적 회로.

청구항 8

제3, 4, 또는 5항 중 어느 한 항에 있어서, 상기 집적 회로는 제어 회로(CC)를 더 포함하며, 각각의 상기 전류 분배기(CD1, CDj, CDs)의 각 제1기준 단자(R11, Rj1, Rs1)는 상기 제어 회로(CC)에 결합되는 것을 특징으로 하는 집적 회로.

청구항 9

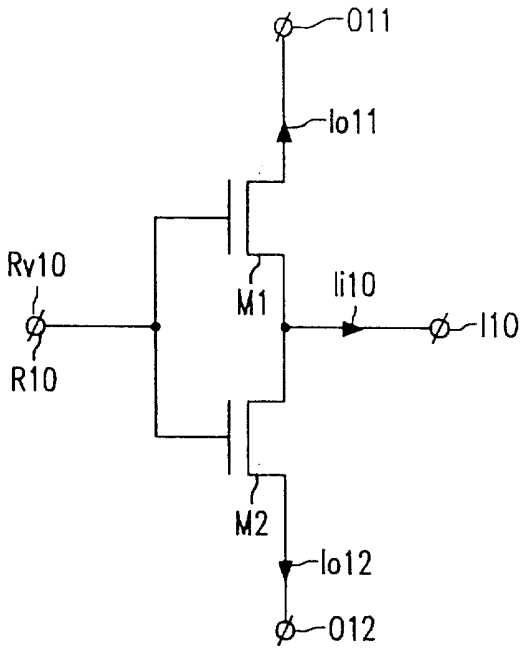
제1항에 기재한 전류 분배기를 복수개 포함하는 집적 회로에 있어서, 상기 집적 회로는, 입력 전류(Ii)를 수신하는 입력 단자(Il)와, 제1출력 전류(Io)를 공급하기 위한 제1출력 단자(Ol)를 더 포함하며, 상기 집적 회로의 상기 입력 단자(Il)는 제1전류 분배 인자(first current dividing factor)를 가진 제1직렬 배열 전류 분배기(CD1, CDm) 중의 제1전류 분배기(CD1)의 제4단자(I11)에 결합되고, 상기 제1직렬 배열 전류 분배기(CD1, CDm)중의 상기 제1전류 분배기의 제1단자(I10)는 상기 제1직렬 배열 전류 분배기(CD1, CDm)중의 최종 전류 분배기(CDm)의 제4단자(Im1)에 결합되고, 상기 제1직렬 배열의 각각의 상기 전류 분배기(CD1, CDm)의 각 제2단자(011, 0m1)는 제2전류 분배 인자를 가진 제2직렬 배열 전류 분배기(CDn, CDz) 중의 제1전류 분배기(CDn)의 제4단자(In1)에 결합되고, 상기 제2직렬 배열 전류 분배기(CDn, CDz)중의 상기 제1전류 분배기의 제1단자(In0)는 상기 제2직렬 배열 전류 분배기(CDn, CDz)중의 최종 전류 분배기(CDz)의 제4단자(Iz1)에 결합되며, 상기 제2직렬 배열의 각 전류 분배기(CDn, CDz)의 각 제2단자(0n1, 0z1)는 상기 집적 회로의 상기 제1출력 단자에 결합되는 것을 특징으로 하는 집적회로.

청구항 10

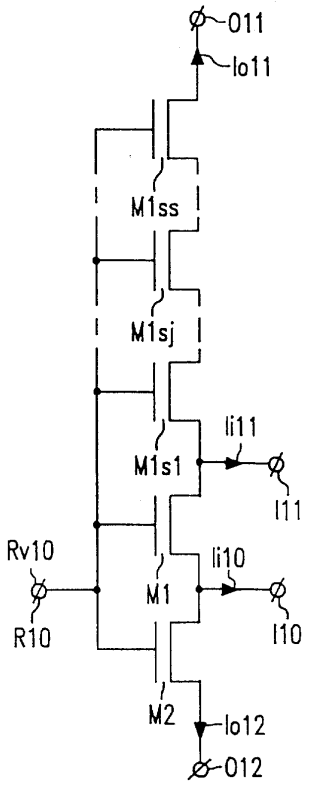
제9항에 있어서, 상기 집적 회로는 제2출력 전류를 공급하기 위한 제2출력 단자(002)를 더 포함하며, 상기 각각의 전류 분배기(CD1, CDm, CDn, CDz)의 각 제3단자(012, 0m2, 0n2, 0z2)는 상기 집적 회로의 상기 제2출력 단자(002)에 결합되고, 상기 제1직렬 배열 전류 분배기(CD1, CDm)중의 상기 최종 전류 분배기(CDm)의 제1단자(Im0)는 상기 제2직렬 배열 전류 분배기(CDn, CDz)중의 상기 제1전류 분배기(CDn)의 상기 제4단자(In1)에 결합되며, 상기 제2직렬 배열 전류 분배기(CDn, CDz)중의 상기 최종 전류 분배기(CDz)의 제1단자(Iz0)는 상기 집적 회로의 상기 제2출력 단자(002)에 결합되는 것을 특징으로 하는 집적 회로.

도면

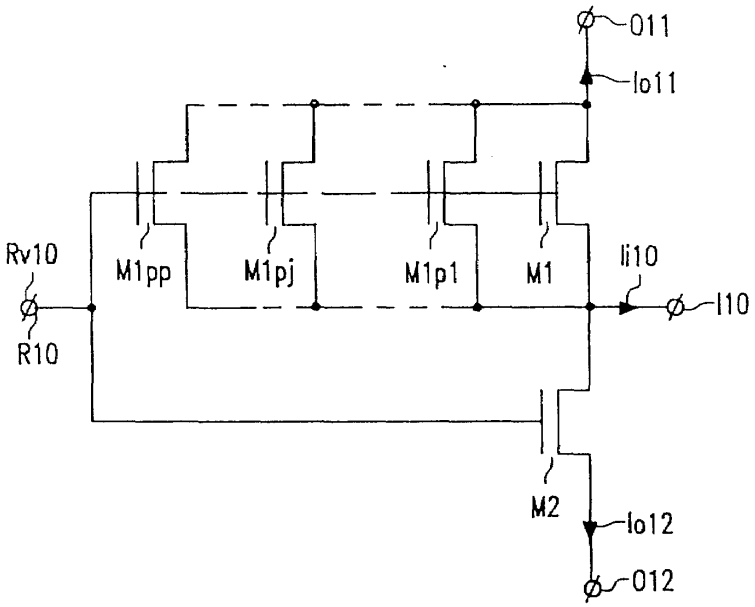
도면1


O11
Io11
Rv10
R10
M1
Ii10
I10
M2
Io12
O12

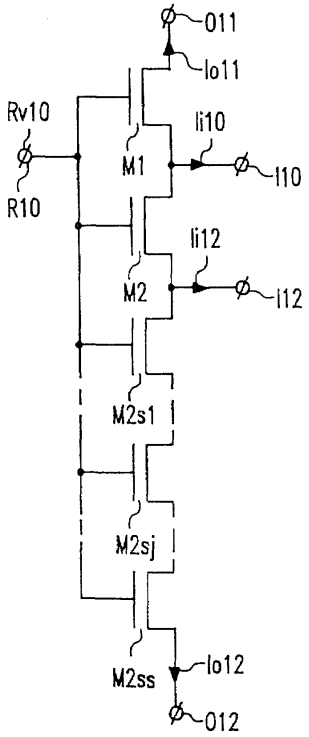
도면2


O11
Io11
M1ss
M1sj
Ii11
M1s1
I11
Rv10
R10
M1
Ii10
I10
M2
Io12
O12

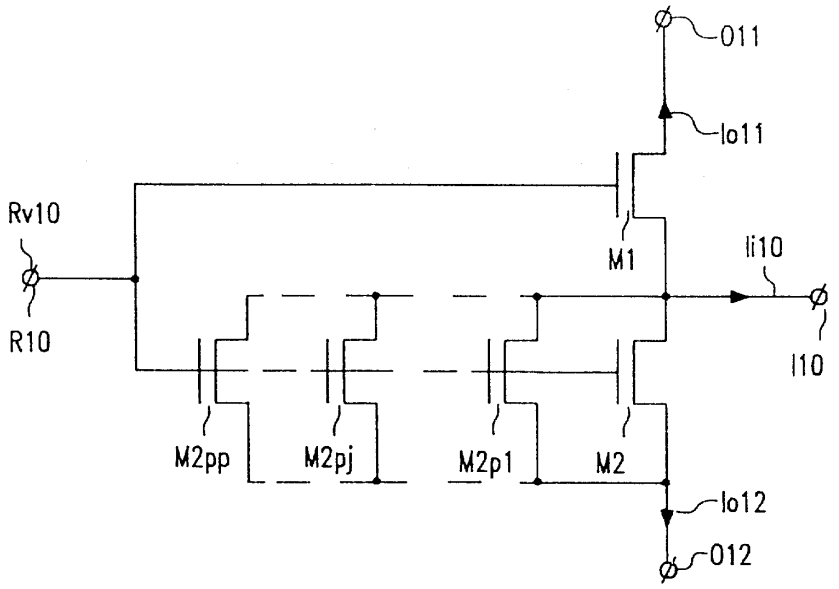
도면3


O11
Io11
Rv10
R10
M1pp
M1pj
M1p1
M1
Ii10
I10
M2
Io12
O12

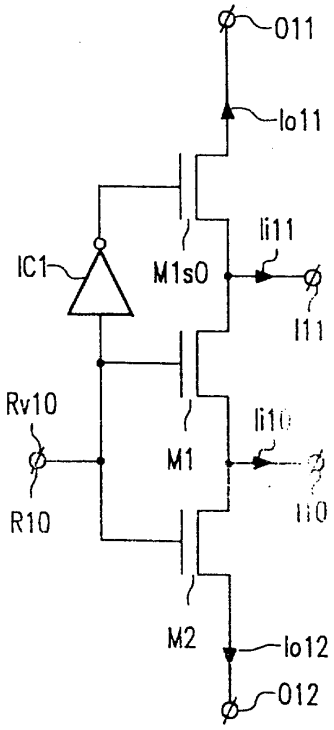
도면4


O11
Io11
Rv10
R10
M1
Ii10
I10
M2
Ii12
I12
M2s1
M2sj
M2ss
Io12
O12

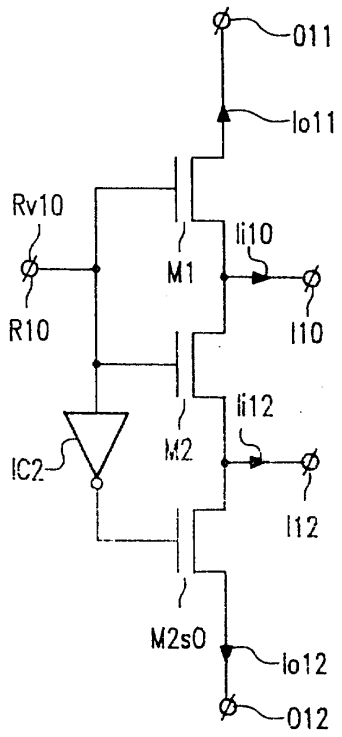
도면5


O11
Io11
Rv10
R10
M1
Ii10
I10
M2pp
M2pj
M2p1
M2
Io12
O12

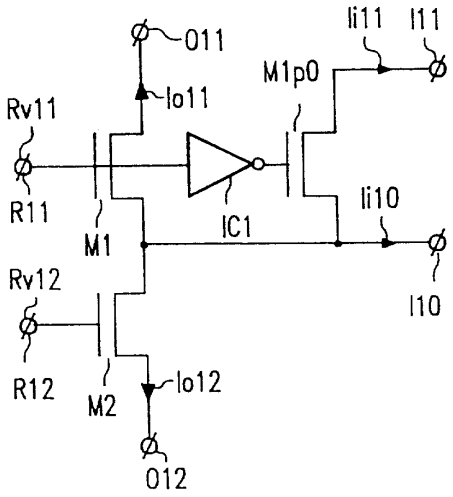
도면6a


O11
Io11
IC1
M1s0
Ii11
I11
Rv10
R10
M1
M2
Io12
O12

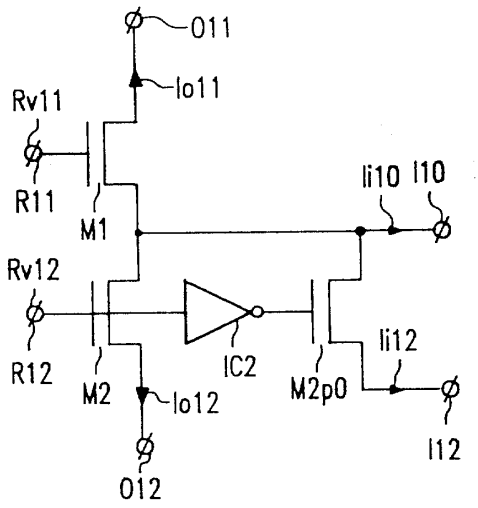
도면6b


O11
Io11
Rv10
R10
M1
Ii10
I10
IC2
M2
Ii12
I12
M2sO
Io12
O12

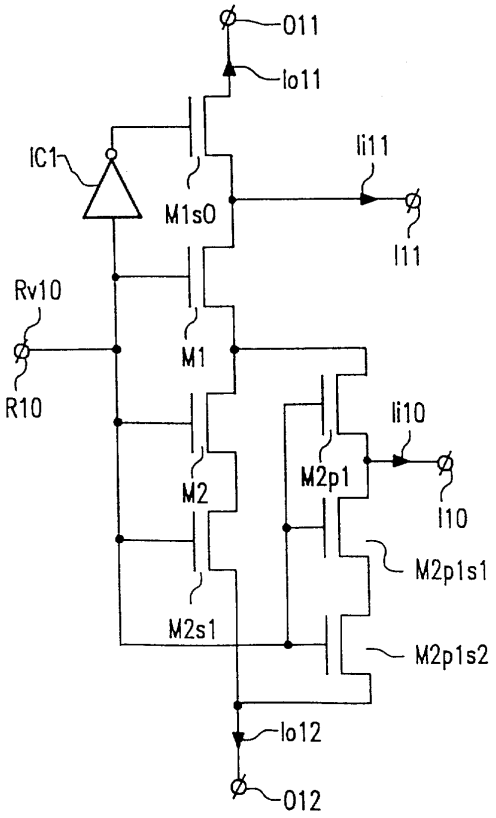
도면7a


O11
Io11
Ii11
I11
M1pO
Rv11
R11
M1
IC1
Ii10
I10
Rv12
R12
M2
Io12
O12

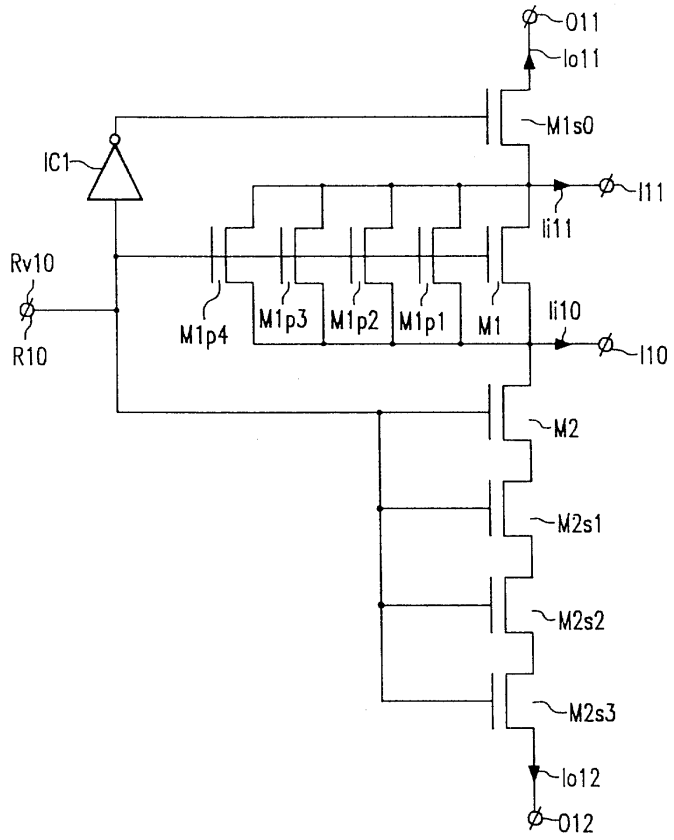
도면7b


O11
Io11
Rv11
R11
M1
Ii10
I10
Rv12
R12
M2
IC2
Io12
M2p0
Ii12
I12
O12

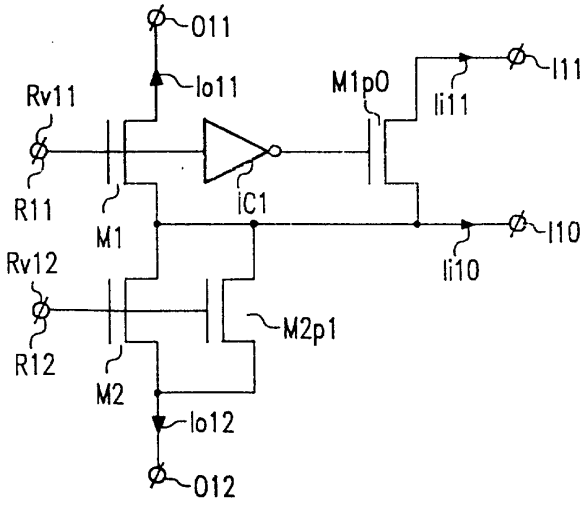
도면8


O11
Io11
IC1
M1s0
Ii11
I11
Rv10
R10
M1
M2
M2p1
Ii10
I10
M2p1s1
M2s1
M2p1s2
Io12
O12

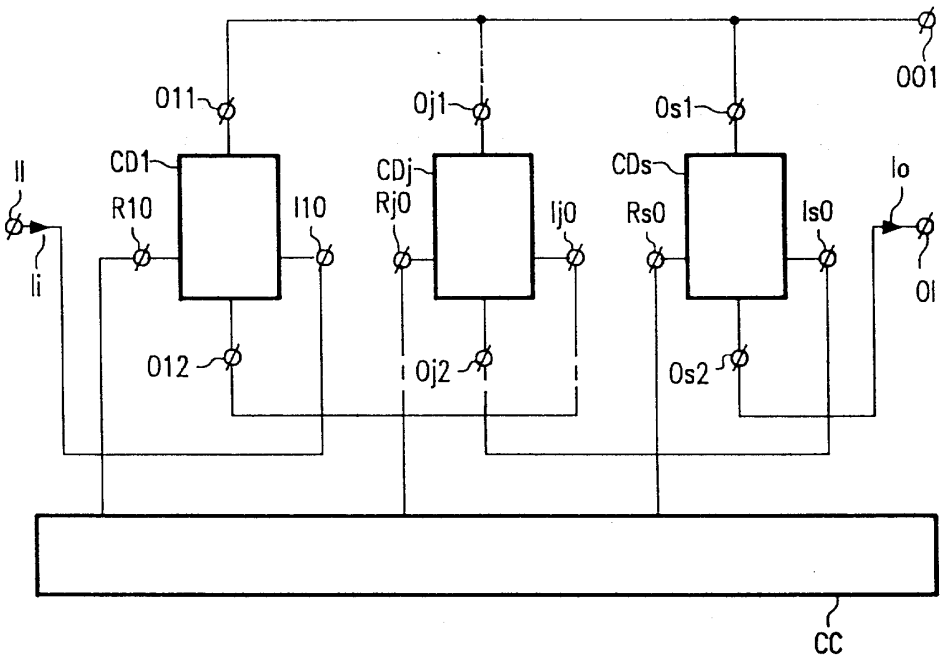
도면9


O11
Io11
M1s0
IC1
I11
Ii11
Rv10
R10
M1p4
M1p3
M1p2
M1p1
M1
Ii10
I10
M2
M2s1
M2s2
M2s3
Io12
O12

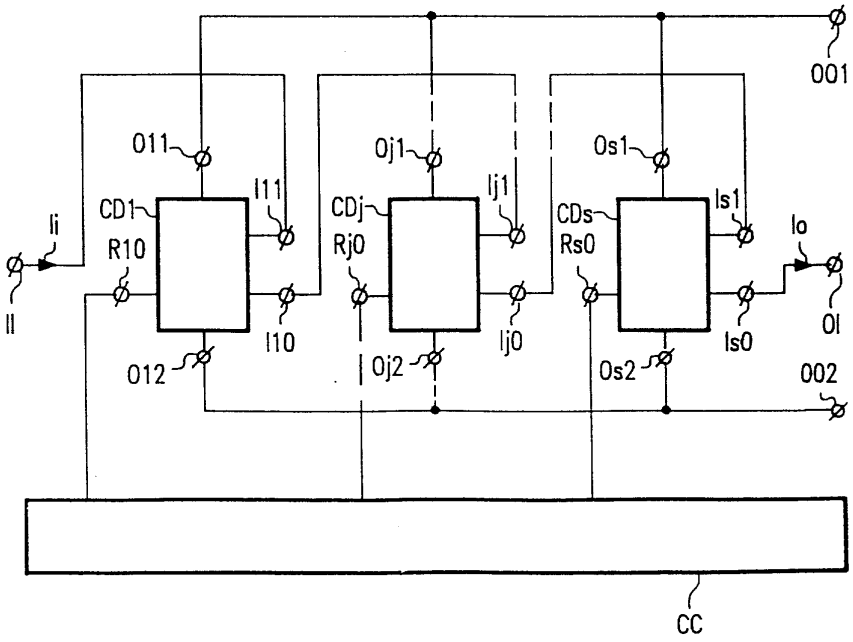
도면10


O11
Io11
M1p0
Ii11
I11
Rv11
R11
M1
IC1
I10
Ii10
Rv12
R12
M2p1
M2
Io12
O12

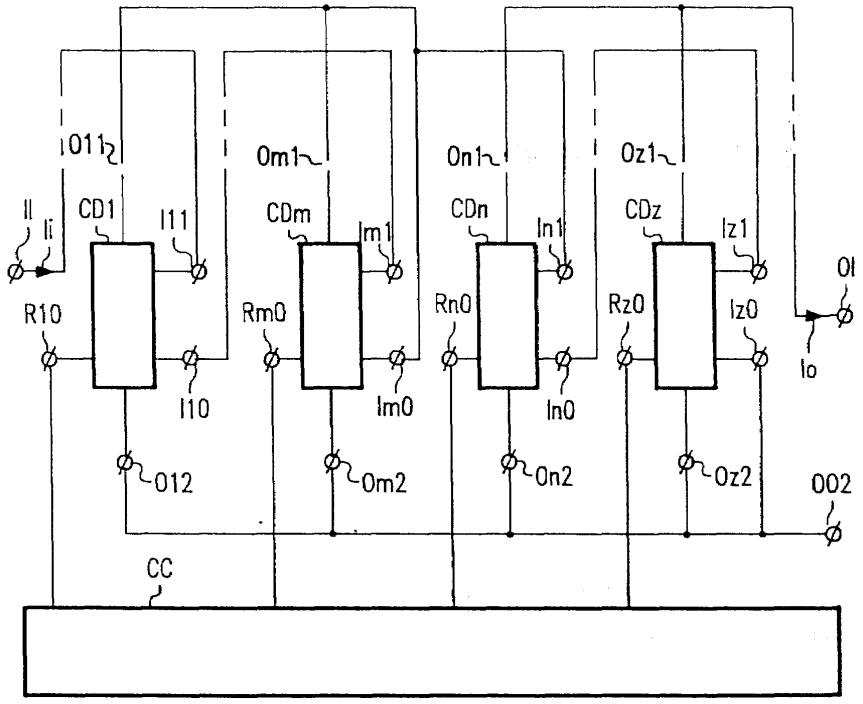
도면11


001
011
0j1
0s1
CD1
CDj
CDs
Rj0
Rs0
R10
I10
Ij0
Is0
Ii
Io
Oi
012
0j2
0s2
CC

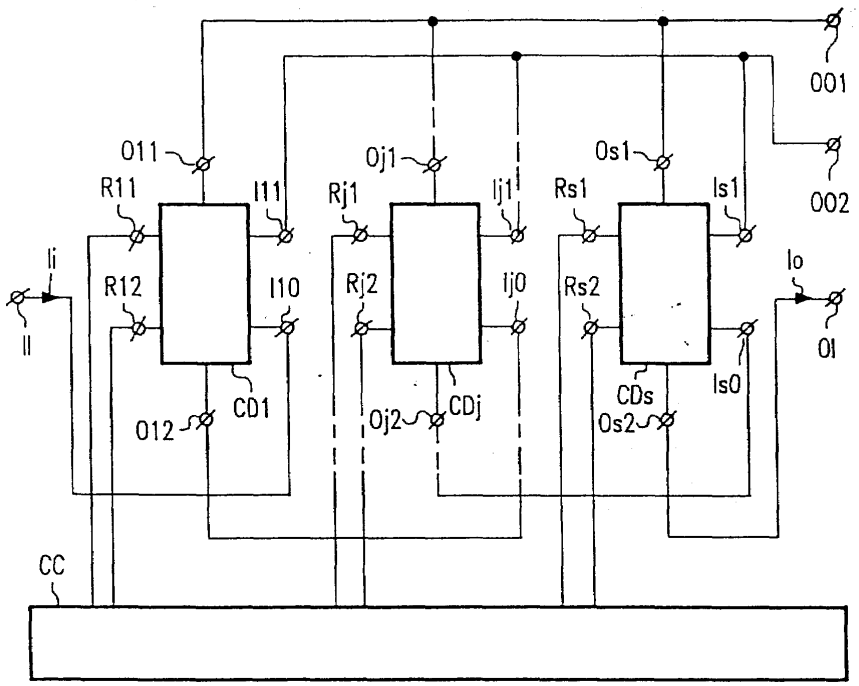
도면12


001
011
0j1
0s1
I11
Ij1
Is1
CD1
CDj
CDs
Ii
R10
Rj0
Rs0
Io
Il
I10
Ij0
Is0
Oi
012
0j2
0s2
002
CC

도면13


Oz1
Om1
On1
Oz1
II
Ii
CD1
I11
CDm
Im1
CDn
In1
CDz
Iz1
OI
R10
Rm0
Rn0
Rz0
Iz0
Io
I10
Im0
In0
O12
Om2
On2
Oz2
OO2
CC

도면14


OO1
OO2
O11
Oj1
Os1
R11
I11
Rj1
Ij1
Rs1
Is1
Ii
R12
I10
Rj2
Ij0
Rs2
Io
II
OI
CD1
CDj
CDs
Is0
O12
Oj2
Os2
CC

도면15

