(19) RÉPUBLIQUE FRANÇAISE

INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE

PARIS

(11) N° de publication : **2 572 849**
(à n'utiliser que pour les commandes de reproduction)

(21) N° d'enregistrement national : **84 16875**

(51) Int Cl⁴ : H 01 L 21/50, 25/00.

(12) DEMANDE DE BREVET D'INVENTION A1

(22) Date de dépôt : 6 novembre 1984.

(30) Priorité :

(43) Date de la mise à disposition du public de la demande : BOPI « Brevets » n° 19 du 9 mai 1986.

(60) Références à d'autres documents nationaux apparentés :

(71) Demandeur(s) : *THOMSON-CSF, société anonyme.* — FR.

(72) Inventeur(s) : Georges Boniteau.

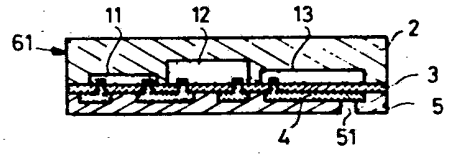
(73) Titulaire(s) :

(74) Mandataire(s) : Françoise Thrierr, SCPI.

(54) Module monolithique haute densité comportant des composants électroniques interconnectés et son procédé de fabrication.

(57) La présente invention a pour objet un module susceptible de comporter un grand nombre de composants électroniques interconnectés.

Il comporte des composants 11-13 dont les faces actives sont disposées sur un même plan et qui sont solidarisés dans un bloc isolant 2. Les interconnexions sont réalisées, du côté des faces actives des composants, par dépôt de couches isolantes 3 et de couches conductrices 4 gravées pour former les pistes de connexion, en un ou plusieurs niveaux.



FR 2 572 849 - A1

2572849

MODULE MONOLITHIQUE HAUTE DENSITE COMPORTANT DES COMPOSANTS ELECTRONIQUES INTERCONNECTES ET SON PROCEDE DE FABRICATION

La présente invention a pour objet un module dit monolithique, formé de l'assemblage rigide de plusieurs composants électroniques interconnectés. L'invention a également pour objet un procédé de fabrication d'un tel module.

Afin de simplifier l'exposé, on désigne ici par "composant" tout composant électronique, qu'il soit discret ou intégré, actif ou passif.

A l'heure actuelle, la réalisation de circuits électroniques complexes, logiques ou analogiques, se fait selon l'une des deux techniques suivantes :

- la technique des circuits intégrés qui consiste a réaliser, les uns à côté des autres, des composants élémentaires actifs ou passifs (diode, transistor, résistance, condensateur, ...) constitutifs du circuit complexe, sur un support commun constitué d'un matériau semiconducteur. Des opérations de masquage, de photogravure, de diffusion et de métallisation sont effectuées pour réaliser l'ensemble de ces composants élémentaires et les connecter entre eux. Cette technique présente des limitations, parmi lesquelles le nombre de composants élémentaires qu'il est ainsi possible de réaliser sur un même support et le fait qu'un tel circuit est "monotechnologie", c'est-à-dire que la technologie choisie pour réaliser ces circuits intégrés est optimisée pour un certain type de circuit et qu'il n'est pas possible de réaliser sur le même substrat deux circuits différents faisant appel à deux technologies différentes.

- la technique des circuits hybrides, selon laquelle on connecte des pastilles de circuits actifs (discrets ou intégrés) et des composants passifs (résistances et condensateurs) sur une plaquette isolante (céramique par exemple), les interconnexions entre les composants étant réalisées par dépôts métalliques formant des

pistes sur l'autre face de la plaquette, en une ou plusieurs couches. Les limitations de cette technologie proviennent d'une part de l'encombrement relativement grand des circuits hybrides par rapport au volume des composants du fait de la place nécessaire aux pistes conductrices et, d'autre part, du fait que le nombre de couches de pistes qu'on sait technologiquement réaliser à l'heure actuelle n'est que de quelques unités, ce qui limite le nombre de composants et la complexité de ceux-ci.

La présente invention a pour objet un module permettant de palier les inconvénients mentionnés ci-dessus.

A cet effet, le procédé de fabrication du module comporte principalement les étapes suivantes :

- la disposition des composants sur leur face active, à plat, l'un contre l'autre mais sans contact électrique ;
- la solidarisation des composants dans un isolant, qui forme alors un bloc appelé "mégapastille" ;
- la formation d'une couche plane d'isolant sur la face active de la mégapastille et sa gravure au droit des plots de connexion des composants ;
- la formation des interconnexions entre les plots des composants par dépôt et gravure de couches alternativement conductrices et isolantes, formant ainsi une ou plusieurs couches de pistes de connexion et laissant subsister des plots de connexion de la mégapastille vers l'extérieur.

D'autres objets, particularités et résultats de l'invention ressortiront de la description suivante, donnée à titre d'exemple non limitatif et illustrée par les dessins annexés qui représentent :

- la figure 1, le schéma du déroulement du procédé selon l'invention ;
- les figures 2, a à f, l'illustration des différentes étapes du procédé de fabrication selon l'invention ;
- la figure 3, une variante de réalisation du module selon

l'invention ;

- la figure 4, une application du module selon l'invention.

Sur ces différentes figures, les mêmes références se rapportent aux mêmes éléments et, pour la clarté des dessins, l'échelle réelle des différents éléments n'a pas été respectée.

La figure 1 représente le déroulement des différentes étapes du procédé selon l'invention ; elle est décrite ci-dessous en liaison avec les figures 2, a à f, qui représentent le module selon l'invention lors des différentes étapes du procédé de la figure 1.

La première étape, repérée 21 sur la figure 1, consiste à disposer des composants à plat, du côté de leur face active, les uns à côté des autres et aussi proches que possible sans toutefois qu'ils soient en contact électrique. Sur la figure 2a, on a représenté une référence plane 1, un marbre par exemple, sur laquelle sont disposés trois composants repérés respectivement 11, 12 et 13, du côté de leur face active 10, c'est-à-dire celle de leurs faces qui porte des plots de connexion, repérés 14 ; à titre d'exemple, on a représenté deux plots de connexion visibles sur la figure pour les composants 11 et 12 et un seul pour le composant 13. Il apparaît sur la figure 2a que les composants 11, 12 et 13 peuvent être de tailles et de formes quelconques.

La deuxième étape (22, figure 1) consiste à réaliser la solidarisation des composants 11-13 ainsi disposés sur le marbre 1 dans un matériau isolant 2, comme représenté sur la figure 2b, pour former un bloc rigide appelé mégapastille et repéré 61. Le matériau 2 doit avoir un coefficient de dilatation aussi voisin que possible du ou des matériaux formant les composants 11, 12 et 13, c'est-à-dire dans le cas où les composants sont des composants actifs élémentaires ou des circuits intégrés réalisés dans du silicium, un coefficient de dilatation aussi proche que possible de celui du silicium. En outre, le matériau 2 doit être suffisamment rigide pour que la mégapastille ait un comportement mécanique satisfaisant. Toutefois, dans une variante de réalisation (non représenté), lorsque le matériau choisi

pour réaliser le bloc 2 n'est pas suffisamment rigide, on lui adjoint une couche rigide supplémentaire disposée par exemple sur la face opposée à la face active des composants. Une telle couche rigide supplémentaire doit avoir un coefficient de dilatation thermique compatible avec les autres matériaux ; à titre d'exemple, elle peut être en silicium si les composants 11-13 sont en silicium. Des matériaux convenant pour réaliser le bloc 2 sont par exemple des colles à base de cyanolyte ou cyano-acrilate, des résines ou des produits à base de verre. Le bloc 2 peut être coulé dans un coffrage ou déposé comme décrit ci-après pour la couche isolante 3.

L'étape suivante (23 sur la figure 1) consiste à déposer sur les faces actives 10 des composants, maintenant dégagées du marbre 1, une couche d'isolant 3 ayant pour fonction de former une surface extérieure, repérée 31, très plane, dont les différences de niveau typiquement n'excèdent pas 0,5µm. Cela est représenté sur la figure 2c. La couche 3 peut être obtenue comme le sont les couches dites de "planarification" dans la technologie des circuits intégrés, c'est-à-dire qu'on fait croître un oxyde ou un nitrure par exemple sur le substrat semiconducteur (silicium en général), en phase vapeur, cette croissance ayant la propriété de niveler le relief de la surface sur laquelle elle est opérée.

Dans l'étape suivante (24, figure 1) l'isolant 3 est supprimé au droit des plots de connexion 14 des composants 11-13, comme indiqué par les évidements 32 de la figure 2d. Cette suppression peut être réalisée selon les technologies de gravure classiques en matière de circuits intégrés. On rappelle que ces technologies consistent principalement à déposer sur le matériau à graver une résine photosensible qui est ensuite insolée, en général au rayonnement ultra-violet, à travers un masque qui reprend soit le motif des parties à conserver soit son complément, selon la nature de la résine (positive ou négative) ; on soumet ensuite la résine à un bain acide dont la fonction est de laver par exemple la partie non insolée dans le cas d'une résine positive, la résine insolée restant alors en place pour protéger la couche à graver ; on procède ensuite à une

attaque des parties de la couche à graver qui ne sont pas protégées par la résine puis on enlève la résine. Selon une variante de réalisation de la gravure, également connue dans la technologie des circuits intégrés, on évite l'utilisation d'un masque, qui est source de difficultés lorsque les dimensions des motifs à graver deviennent très petites, en insolant directement la résine selon le motif désiré à l'aide d'un faisceau d'électron (masqueur électronique).

L'étape suivante (25, figure 1) consiste à déposer une couche conductrice, repérée 4 sur la figure 2d, sur la couche isolante 3 ainsi gravée. La couche 4 est par exemple à base d'aluminium.

L'étape suivante (26 sur la figure 1) consiste à graver la couche conductrice 4 afin de former les pistes d'interconnexion entre les composants 11, 12 et 13. La gravure de la couche 4 se fait par exemple selon la technique rappelée ci-dessus. On a ainsi obtenu, comme illustré sur la figure 2e, un niveau d'interconnexion des composants 11-13, les fragments de pistes visibles sur la figure 2e étant repérés 41 à 44. Il est possible, dans une variante de réalisation représentée par la flèche 29 sur la figure 1, de réaliser un deuxième niveau d'interconnexion, ou davantage, entre les composants 11-13 par la reprise du procédé à l'étape 23, autant de fois que nécessaire. Dans ce dernier cas, lors de l'étape 23, dans une variante de réalisation, on peut procéder au dépôt d'une couche d'isolant classique c'est-à-dire d'épaisseur sensiblement constante, qui épouse les reliefs de la surface qui la supporte.

Lorsque tous les niveaux d'interconnexion désirés sont réalisés, on procède dans une étape 27 (figure 1) à l'isolement global de la face active par dépôt d'une couche isolante 5 (figure 2e) qui peut être réalisée de façon classique ou comme la couche 3 précédente. Dans une variante de réalisation, il peut être procédé à l'isolement de toutes les faces de la mégapastille 61 lors de cette étape 27.

Enfin, dans une dernière étape repérée 28 sur la figure 1, on procède à la suppression de l'isolant 5 au droit des parties de la couche conductrice 4 qui constitueront les plots de connexion de la

mégapastille 61. On a représenté à titre d'exemple un plot, repéré 51. La suppression de l'isolant 5 peut se faire par la technique de la gravure. A l'issue de cette dernière étape, on a donc obtenu le module selon l'invention, dit "monolithique" parce que regroupant sous forme de bloc un certain nombre de composants déjà interconnectés.

Selon une autre variante de réalisation, les étapes 27 et 28 peuvent être omises à ce niveau, l'isolement étant réalisé globalement après connexions de la mégapastille avec l'extérieur.

La figure 3 représente une variante de réalisation du module selon l'invention.

Sur cette figure, on a représenté un module 62 comportant quatre composants 11, 12, 13 et 15 qui sont par exemple des circuits actifs intégrés et qui sont interconnectés à l'aide de deux niveaux de pistes de connexion, respectivement 45 et 46, réalisés comme la couche 4 précédente, isolés les uns des autres et des faces actives des composants par deux couches d'isolant, 33 et 34, déposées comme la couche 3 précédente, l'ensemble étant recouvert de la couche d'isolant 5 et comportant par exemple un plot de connexion 51.

Le module 62 comporte en outre un composant 7, qui peut être par exemple un composant passif discret, disposé sur la couche isolante 5 et connecté à la dernière couche de connexion (46), par l'intermédiaire de fils conducteurs 71 et 72 passant dans des ouvertures 52 et 53 ménagées dans la couche 5.

La figure 4 illustre le report d'un module selon l'invention, repéré par exemple 63, sur un substrat isolant tel que circuit imprimé, céramique etc ... sur lequel sont disposés d'autres composants actifs ou passifs, discrets ou intégrés.

Le module 63 est connecté par ses plots de connexion, tels que 51 (figure 2f), soit directement à des pistes conductrices portées par le substrat 9, comme illustré par le fil de connexion 91, soit

directement au plot de connexion d'un autre composant, comme illustré par le fil 92 vers le composant 82 ou le fil de connexion 93 vers le composant 81 et ces composants 81 et 82 étant par ailleurs classiquement reliés par des fils 94 aux pistes portées par le substrat 9.

Il apparaît ainsi que le module selon l'invention peut être manipulé et connecté directement sur un substrat céramique ou par l'intermédiaire d'un boîtier, comme un composant classique.

Il a été décrit ci-dessus un module comportant des composants électroniques interconnectés, présentant notamment les avantages suivants :

- l'aspect monolithique, qui est plus fiable et qui facilite la manipulation ;
- la compacité : en effet, les composants sont placés côte à côte et les interconnexions sont réalisées au dessus des composants, en utilisant des technologies compatibles avec la surface disponible ;
- le temps relativement court de réalisation, du fait de l'utilisation de techniques de gravure ;
- l'aspect multitechnologie : en effet, les composants formant le module peuvent être obtenus selon des technologies différentes et éventuellement incompatibles, chacune étant plus particulièrement adaptée à un type de circuit.

REVENDICATIONS

1. Procédé de fabrication d'un module comportant des composants électroniques, ces composants étant chacun munis d'une face active portant les plots de connexion, caractérisé par le fait qu'il comporte les étapes suivantes :

- disposition (21) des composants (11, 12, 13, 15) à plat, sur leur face active, sans contact électrique mutuel ;
- solidarisation (22) des composants dans un matériau (2) électriquement isolant, formant ainsi un bloc ;
- formation (23) d'une première couche (3) sensiblement plane d'un matériau isolant sur les faces actives des composants ;
- supression (24) de la première couche au droit des plots (14) des composants ;
- dépôt (25) d'une deuxième couche (4) d'un matériau électriquement conducteur sur la première couche et les plots des composants ;
- gravure (26) de la deuxième couche pour former des pistes d'interconnexion entre les composants.

2. Procédé selon la revendication 1, caractérisé par le fait qu'il comporte de plus des étapes de dépôt de couches successives de matériaux isolants et conducteurs, gravées pour former au moins un deuxième niveau de pistes d'interconnexion entre les composants.

3. Procédé selon l'une des revendications précédentes, caractérisé par le fait qu'il comporte en outre, après la formation des pistes d'interconnexion entre les composants, une étape supplémentaire (27) de formation sur les pistes d'interconnexion d'une troisième couche (5) d'un matériau électriquement isolant, laissant subsister des parties des pistes d'interconnexion, ces parties formant les plots (51) de connexion du module.

4. Procédé selon l'une des revendications précédentes, caractérisé par le fait que certaines au-moins des couches isolantes sont formées par croissance de matériau en phase vapeur.

5. Module comportant des composants électroniques interconnectés, caractérisé par le fait qu'il comporte :

- une pluralité de composants électroniques (11, 12, 13, 15) ; disposés côte à côte, sans contact électrique mutuel, dans un matériau isolant (2) de sorte que les faces actives (10), portant les plots de connexion (14), des composants soient disposées sensiblement dans un même plan ;

- une première couche (3) sensiblement plane d'un matériau isolant électriquement, disposée sur ledit plan, comportant des ouvertures (32) au droit des plots de connexion des composants ;

- une deuxième couche (4) d'un matériau électriquement conducteur, disposé sur la première couche et les plots des composants, gravée de sorte à former des pistes (41-44) d'interconnexion des composants.

6. Module selon la revendication 5, caractérisé par le fait qu'il comporte une pluralité de niveaux de pistes d'interconnexions, isolés les uns des autres.

7. Module selon l'une des revendications 5 ou 6, caractérisé par le fait qu'il comporte en outre une troisième couche (5) d'un matériau électriquement isolant, recouvrant les pistes d'interconnexion et comportant des ouvertures (51) au droit de certaines parties des pistes, formant plots de connexion du module.

8. Module selon la revendication 7, caractérisé par le fait qu'il comporte en outre au moins un composant électronique (7) disposé sur la troisième couche et connecté aux plots de connexion du module.

FIG_1

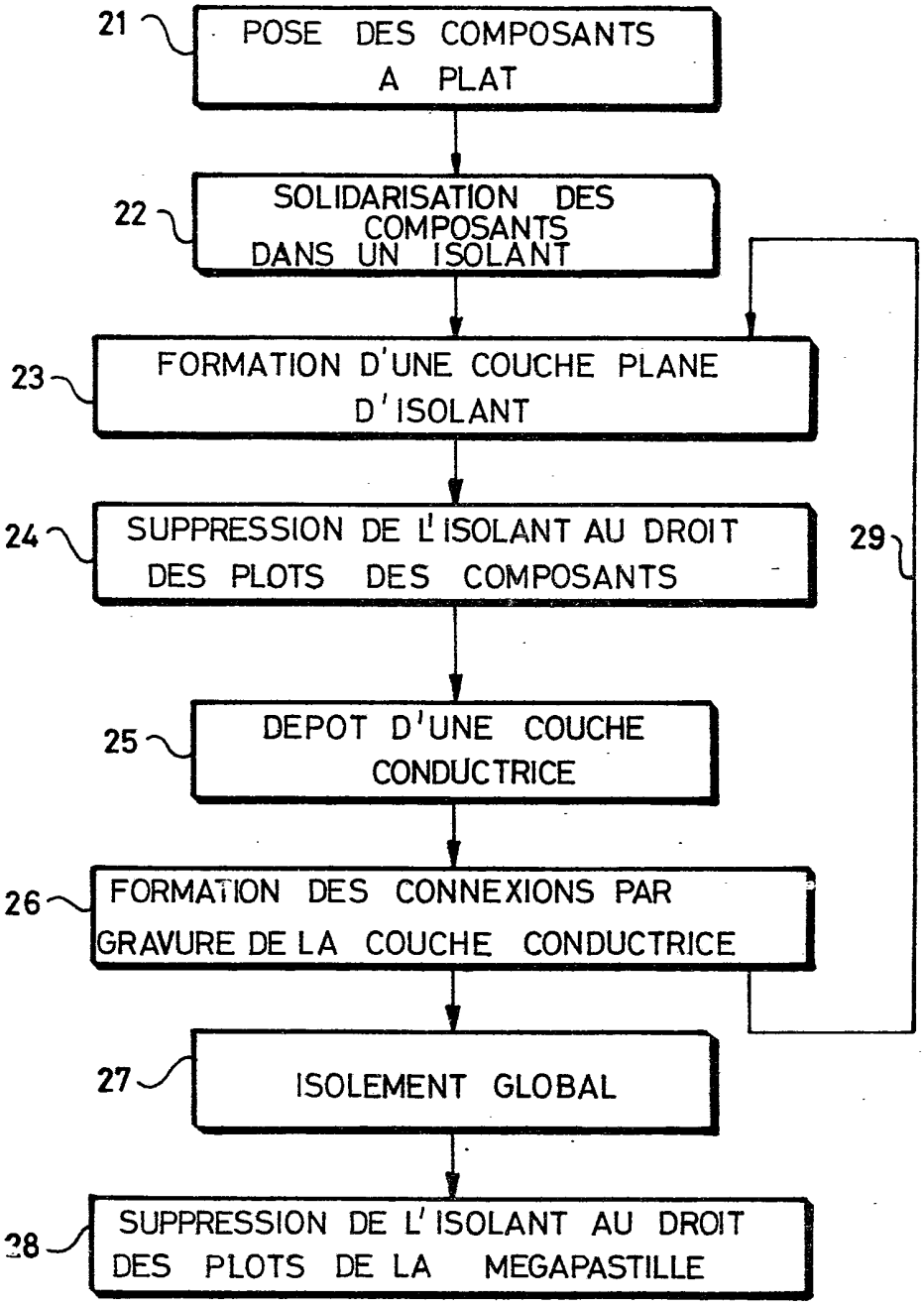

21
POSE DES COMPOSANTS A PLAT
22
SOLIDARISATION DES COMPOSANTS DANS UN ISOLANT
23
FORMATION D'UNE COUCHE PLANE D'ISOLANT
24
SUPPRESSION DE L'ISOLANT AU DROIT DES PLOTS DES COMPOSANTS
29
25
DEPOT D'UNE COUCHE CONDUCTRICE
26
FORMATION DES CONNEXIONS PAR GRAVURE DE LA COUCHE CONDUCTRICE
27
ISOLEMENT GLOBAL
28
SUPPRESSION DE L'ISOLANT AU DROIT DES PLOTS DE LA MEGAPASTILLE

FIG_2-a

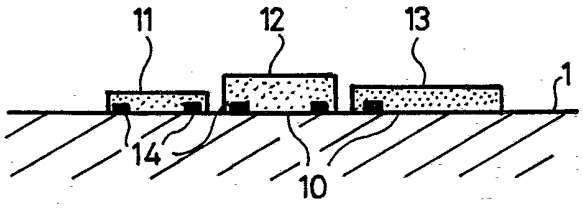


FIG_2-b

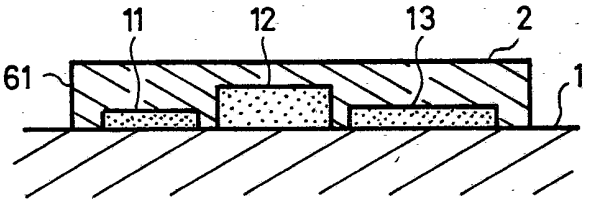


FIG_2-c

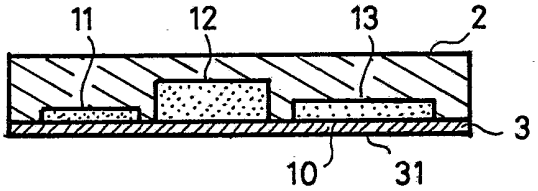


FIG_2-d

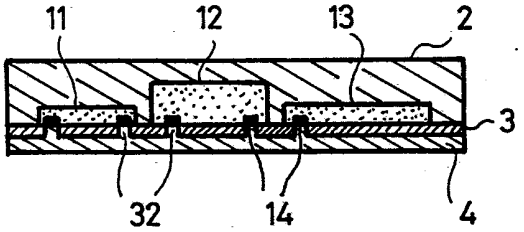


FIG_2-e

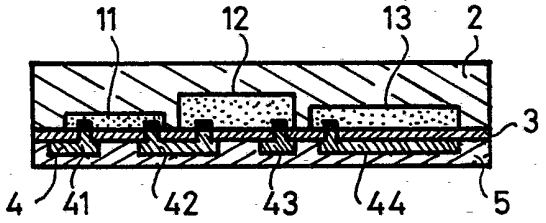


FIG_2-f

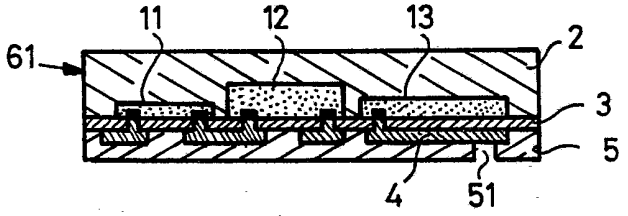


FIG_3

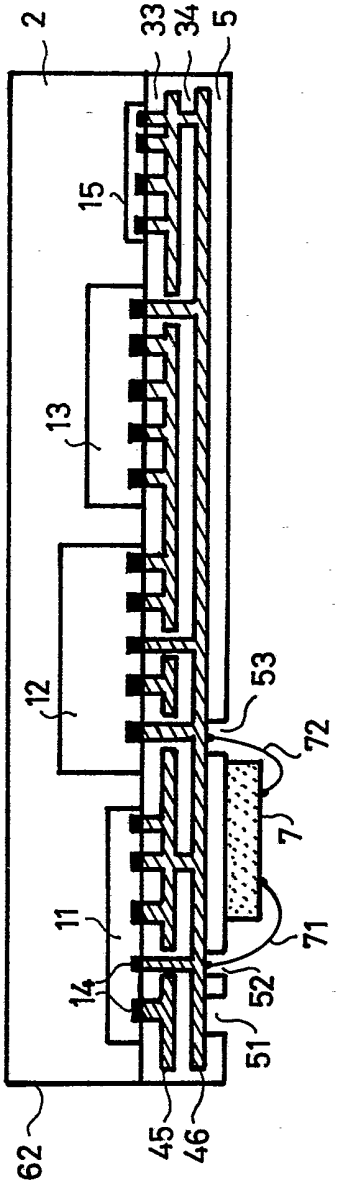
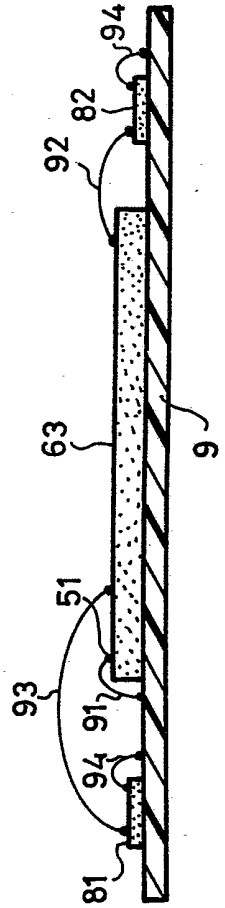

2
33
34
5
15
13
12
53
72
7
71
11
14
52
51
62
45
46

FIG_4


94
82
92
63
9
51
93
91
94
81