

(12) 发明专利申请

(10) 申请公布号 CN 102508146 A

(43) 申请公布日 2012. 06. 20

(21) 申请号 201110383885. 4

(22) 申请日 2011. 11. 25

(71) 申请人 上海集成电路研发中心有限公司
地址 201210 上海市浦东新区张江高斯路
497 号

(72) 发明人 唐逸 张悦强 胡少坚

(74) 专利代理机构 上海思微知识产权代理事务
所(普通合伙) 31237

代理人 郑玮

(51) Int. Cl.

G01R 31/26(2006. 01)

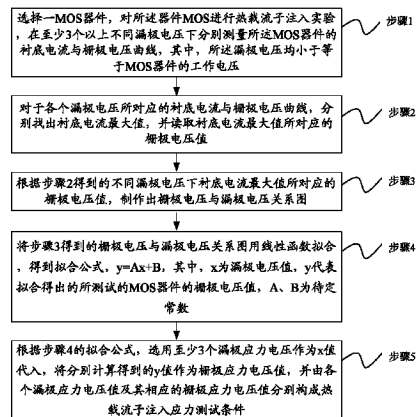
权利要求书 1 页 说明书 5 页 附图 2 页

(54) 发明名称

确定热载流子注入应力测试条件的方法

(57) 摘要

本发明提供了一种确定热载流子注入应力测试条件的方法,包括如下步骤:选择一 MOS 器件,在至少 3 个不同 Vd 下分别测量所述器件的 Isub-Vg 曲线,该 Vd 均小于等于器件的工作电压;对于每一根 Isub-Vg 电压曲线,分别找出 Isubmax,并读取所述 Isubmax 下的 Vg 电压值;用上述步骤中得到的数值,作出 Vg-Vd 关系图;将 Vg-Vd 关系图用线性函数拟合,得到拟合公式;根据上述步骤得到的拟合公式,推算得到 3 个 Vd stress 下的 Vg 应力电压值,即为 HCI 应力测试条件。采用此发明方法可以利用较少的样品数进行 HCI 测试,减少了测试成本。



1. 一种确定热载流子注入应力测试条件的方法,包括如下步骤:

步骤 1:选择一 MOS 器件,对所述器件 MOS 进行热载流子注入实验,在至少 3 个以上不同漏极电压下分别测量所述 MOS 器件的衬底电流与栅极电压曲线,其中,所述漏极电压均小于等于 MOS 器件的工作电压;

步骤 2:对于各个漏极电压所对应的衬底电流与栅极电压曲线,分别找出衬底电流最大值,并读取衬底电流最大值所对应的栅极电压值;

步骤 3:根据步骤 2 得到的不同漏极电压下衬底电流最大值所对应的栅极电压值,制作出栅极电压与漏极电压关系图;

步骤 4:将步骤 3 得到的栅极电压与漏极电压关系图用线性函数拟合,得到拟合公式,

$$y = Ax+B$$

其中, x 为漏极电压值, y 代表拟合得出的所测试的 MOS 器件的栅极电压值, A 、 B 为常数;

步骤 5:根据步骤 4 的拟合公式,选用至少 3 个漏极应力电压作为 x 值代入,将分别计算得到的 y 值作为栅极应力电压值,并由各个漏极应力电压值及其相应的栅极应力电压值分别构成热载流子注入应力测试条件。

2. 根据权利要求 1 所述的确定热载流子注入应力测试条件的方法,其特征在于:所述一 MOS 器件为热载流子注入应力测试中的待测试器件。

3. 根据权利要求 1 所述的确定热载流子注入应力测试条件的方法,其特征在于:所述一 MOS 器件的各个漏极电压的分布有一定间隔。

4. 根据权利要求 1 所述的确定热载流子注入应力测试条件的方法,其特征在于:所述各个漏极应力电压均高于正常工作电压,且为热载流子注入应力测试的漏极电压。

5. 根据权利要求 1 所述的确定热载流子注入应力测试条件的方法,其特征在于:所述热载流子注入测试为标准测试,根据行业标准进行。

6. 根据权利要求 1 所述的确定热载流子注入应力测试条件的方法,其特征在于:所述方法可用于硅片级测试,或封装级测试。

7. 根据权利要求 1 所述的确定热载流子注入应力测试条件的方法,其特征在于:所述一 MOS 器件为 NMOS 器件,或 PMOS 器件。

确定热载流子注入应力测试条件的方法

技术领域

[0001] 本发明涉及半导体器件测试领域,尤其涉及器件热载流子注入测试方法,可以有效减少测试样品,降低成本。

背景技术

[0002] 对超大规模集成电路制造产业而言,随着 MOSFET(金属氧化物半导体场效应晶体管)装置尺寸的不断减小,半导体制作工艺已经进入深亚微米时代,且向超深亚微米发展,此时,半导体器件可靠性越来越直接影响着制作的 IC 芯片的性能和使用寿命。但是,由于 MOS 器件尺寸等比例缩小时,器件工作电压并没有相应等比例减少,所以,相应的器件内部的电场强度随器件尺寸的减小反而增强。因此,在小尺寸器件中,电路的横向尺寸越来越小,导致沟道长度减小,即使是较小的源漏电压也会在漏端附近形成很高的电场强度,由于该横向电场作用,在漏端的强场区,沟道电子获很大的漂移速度和能量,成为热载流子。在深亚微米工艺中,随着 MOS 器件尺寸的日益缩小,MOS 器件的热载流子注入(HCI)效应越来越严重,其引起的器件性能的退化是影响 MOS 器件可靠性的重要因素之一。因此,HCI 测试已成为 MOS 器件可靠性测试的主要测试项目之一。

[0003] 由于 MOS 器件热载流子的注入是按照 JEDEC(Joint Electron Device Engineering Council)标准,因此 MOS 器件 HCI 测试也按照 JEDEC 标准进行,即将 MOS 器件处于 HCI 最严重情况下,加载 3 个不同的应力电压(stress voltage),得到退化曲线,从而根据 3 个不同应力电压下的退化幅度,依据寿命模型推算其在工作电压或 1.1 倍工作电压下热载流子测试的寿命。无论对于封装级测试还是硅片级测试,根据 JEDEC 标准,一种通用的 HCI 寿命测试条件步骤如下:第一步,选定 3 个高于工作电压的漏极应力电压 $V_d \text{ stress}$ 进行测试;第二步,在每个漏极应力电压 $V_d \text{ stress}$ 下找到 HCI 最严重的情况。通常 HCI 最严重的情况为衬底电流 I_{sub} 最大情况下,因此,在每一既定的漏极应力电压 $V_d \text{ stress}$ 下,对 MOS 器件进行衬底电流与栅极电压 $I_{\text{sub}}-V_g$ 扫描,从而找到衬底电流最大值 I_{submax} ,以及 I_{submax} 所对应的 V_g 电压值。然后,将 I_{submax} 所对应的 V_g 电压值与既定的漏极应力电压 $V_d \text{ stress}$ 组成了该漏极应力电压 $V_d \text{ stress}$ 的 HCI 最坏情况,也就是测试条件,并可制得漏极应力电压 $V_d \text{ stress}$ 下的退化曲线;第三步,根据 3 个漏极应力电压 $V_d \text{ stress}$ 下的退化幅度,依据寿命模型推算其在工作电压或 1.1 倍工作电压下热载流子测试的寿命。根据 JEDEC 标准,在漏极应力电压 $V_d \text{ stress}$ 下进行 $I_{\text{sub}}-V_g$ 曲线扫描是破坏性的,扫描后的 MOS 器件已受到 HCI 损伤,性能已退化,不能再用于随后的 HCI 应力测试,因此,对于 HCI 应力测试来说,不仅需要准备应力测试的样品,同时需要准备用于确定测试条件的样品,增加了测试成本。

[0004] 为了解决上述问题,在进行 HCI 测试条件的准备时,需要寻求解决办法消除来自于漏极应力电压 $V_d \text{ stress}$ 下进行 $I_{\text{sub}}-V_g$ 曲线扫描对 MOS 器件的破坏,但在实际的实施过程中仍然存在相当大的壁垒,亟待引进能有效改善上述缺陷的新方法,以解决 HCI 测试方法在半导体器件测试领域使用时面临的需要增加样品最主要的问题。

发明内容

[0005] 本发明所要解决的技术问题是提供一种确定热载流子注入应力测试条件的方法，以解决通用 HCI 测试方法中需要准备提供额外的样品用于 HCI 测试条件，从而进一步减少了测试成本。

[0006] 为解决上述问题，本发明提出的确定热载流子注入应力测试条件的方法，其中 MOS 器件热载流子的注入基于 JEDEC 标准，该方法包括如下步骤：

[0007] 步骤 1：选择一 MOS 器件，对所述器件 MOS 进行热载流子注入实验，在至少 3 个以上不同漏极电压 V_d 下分别测量所述 MOS 器件的衬底电流与栅极电压 $I_{sub}-V_g$ 曲线，所述漏极电压 V_d 均小于等于 MOS 器件的工作电压；

[0008] 步骤 2：对于各个漏极电压 V_d 所对应的衬底电流与栅极电压 $I_{sub}-V_g$ 曲线，分别找出衬底电流最大值 I_{submax} ，并读取衬底电流最大值 I_{submax} 所对应的栅极电压 V_g 值；

[0009] 步骤 3：根据步骤 2 得到的不同漏极电压 V_d 下衬底电流最大值 I_{submax} 所对应的栅极电压 V_g 值，制作出栅极电压与漏极电压 V_g-V_d 关系图；

[0010] 步骤 4：将步骤 3 得到的栅极电压与漏极电压 V_g-V_d 关系图用线性函数拟合，得到拟合公式，

$$[0011] \quad y = Ax+B$$

[0012] 其中， x 为漏极电压 V_d 值， y 代表拟合得出的所测试的 MOS 器件的 V_g 电压值， A 、 B 为常数；

[0013] 步骤 5：根据步骤 4 的拟合公式，选用至少 3 个漏极应力电压 V_d stress 作为 x 值代入，将分别计算得到的 y 值作为栅极应力电压 V_g stress 值，并由各个漏极应力电压 V_d stress 值及其相应的栅极应力电压 V_g stress 值分别构成 HCI 应力测试条件。

[0014] 与传统通用的 HCI 测试 MOS 器件方法相比，本发明通过将原来的选定 3 个高于工作电压的漏极应力电压 V_d stress 测试数据改为步骤 1 中的 3 个低于工作电压的漏极电压 V_d 数据进行测试，并扫描每个低于工作电压的漏极电压 V_d 下所对应的衬底电流与栅极电压 $I_{sub}-V_g$ 曲线，接着，通过步骤 2 找到每一根衬底电流与栅极电压 $I_{sub}-V_g$ 曲线中的衬底电流最大值 I_{submax} 以及衬底电流最大值 I_{submax} 所对应的栅极电压 V_g 值，然后，通过步骤 3 找到不同漏极电压 V_d 下所对应的栅极电压 V_g 值，从而制作出栅极电压与漏极电压 V_g-V_d 关系图，继而，可以通过步骤 3 中的栅极电压与漏极电压 V_g-V_d 关系图，通过线性函数得到拟合公式，最后，根据步骤 4 中的拟合公式得到 HCI 应力测试条件以便后续进行 HCI 应力测试，得到所述 MOS 器件的电学退化性能。由此可见，由于步骤 1 中的衬底电流与栅极电压 $I_{sub}-V_g$ 曲线扫描所加载的电压均未超过工作电压，对于 MOS 器件无损伤，因此，上述 MOS 器件仍可作为待测试器件用于以后的 HCI 应力测试中。由于 HCI 应力测试条件制定均为推算得到，故无需准备额外用于制定应力测试条件的样品。因此，本发明只需提供 HCI 测试条件下的样品即可进行 HCI 应力测试条件的制定和测试，减少了样品，节约了测试成本。同时，在半导体制造工艺中，所述的确定热载流子注入应力测试条件的方法不仅可以通过封装极测试的方法得到热载流子注入的寿命，而且，也可以通过硅片级测试获得热载流子注入的寿命，因此，可以应变实际测试需要。

附图说明

[0015] 图 1 为本发明确定热载流子注入应力测试条件的方法流程；

[0016] 图 2 为本发明测试 MOS 器件在不同漏极电压 V_d 下的衬底电流与栅极电压 $I_{sub}-V_g$ 之间的关系图；

[0017] 图 3 为本发明测试 MOS 器件在不同漏极电压下对于栅极电压的 V_g-V_d 关系图。

具体实施方式

[0018] 为使本发明的上述目的、特征和优点能够更加明显易懂，下面结合附图对本发明的具体实施方式做详细的说明。

[0019] 在下面的描述中阐述了很多具体细节以便于充分理解本发明。但是本发明能够以很多不同于在此描述的其它方式来实施，本领域技术人员可以在不违背本发明内涵的情况下做类似推广，因此本发明不受下面公开的具体实施的限制。

[0020] 参见图 1，本发明所提供的一种确定热载流子注入应力测试条件的方法流程为：

[0021] 步骤 1：选择一 MOS 器件，对所述器件 MOS 进行热载流子注入实验，在至少 3 个以上不同漏极电压 V_d 下分别测量所述 MOS 器件的衬底电流与栅极电压 $I_{sub}-V_g$ 曲线，所述漏极电压 V_d 均小于等于 MOS 器件的工作电压；

[0022] 由于步骤 1 中的衬底电流与栅极电压 $I_{sub}-V_g$ 曲线扫描所加载的电压均未超过工作电压，对于 MOS 器件无损伤，因此，上述 MOS 器件仍可用于以后的 HCI 测试。

[0023] 步骤 2：对于各个漏极电压 V_d 所对应的衬底电流与栅极电压 $I_{sub}-V_g$ 曲线，分别找出衬底电流最大值 I_{submax} ，并读取衬底电流最大值 I_{submax} 所对应的栅极电压 V_g 值；

[0024] 步骤 3：根据步骤 2 得到的不同漏极电压 V_d 下衬底电流最大值 I_{submax} 所对应的栅极电压 V_g 值，制作出栅极电压与漏极电压 V_g-V_d 关系图；

[0025] 步骤 4：将步骤 3 得到的栅极电压与漏极电压 V_g-V_d 关系图用线性函数拟合，得到拟合公式，

$$[0026] \quad y = Ax+B \quad (1)$$

[0027] 其中， x 为漏极电压 V_d 值， y 代表拟合得出的所测试的 MOS 器件的栅极电压 V_g 值， A 、 B 为常数；

[0028] 通过所述拟合公式，只要确定 x 值，就可以推算得到 y 值。

[0029] 步骤 5：根据步骤 4 的拟合公式，选用至少 3 个漏极应力电压 V_d stress 作为 x 值代入，将分别计算得到的 y 值作为栅极应力电压 V_g stress 值，并由各个漏极应力电压 V_d stress 值及其相应的栅极应力电压 V_g stress 值分别构成热载流子注入应力 HCI stress 测试条件。

[0030] 通过步骤 3 中的栅极电压与漏极电压 V_g-V_d 关系图，用线性函数关系将栅极电压 V_g 与漏极电压 V_d 之间进行拟合来确定公式 (1) 的常数 A 、 B 值，此时得出的拟合公式即为热载流子注入 MOS 器件后所测试的可以用于推导 HCI 应力测试条件的计算公式，且常数 A 、 B 值可采用数据拟合软件，例如 matlab 等软件进行拟合，或可直接采用数值方法进行人工拟合计算。本发明实施例中是采用人工拟合计算。

[0031] 本发明的一实施例以测试对象为在 $0.5\mu m$ 工艺下制备而得到的工作电压为 5V 的 NMOS 器件为例，结合附图 2 和附图 3，对一种确定热载流子注入应力测试条件的方法进行详细描述，然而本领域技术人员应当知晓如何将该方法应用于 PMOS 器件。一般而言，需要选

择至少 3 个不同的漏极电压对 MOS 器件进行热载流子注入实验,本发明一实施例中仅列举 3 个不同的漏极电压。

[0032] 热载流子注入测试 MOS 器件方法通常是基于 JEDEC 标准,漏端和栅极均加载一定电压,源端和衬底接地,在一定应力条件下测试 MOS 器件。

[0033] 选择一 MOS 器件,基于 JEDEC 标准,对所述器件 MOS 进行热载流子注入,测量所述 MOS 器件在漏极电压 $V_d = 5V$ 下的衬底电流与栅极电压 $I_{sub}-V_g$ 曲线,参见图 2,横坐标为栅极电压 V_g ,纵坐标为衬底电流 I_{sub} ,取得所述漏极电压 $V_d = 5V$ 下的衬底电流最大值 I_{submax} 所对应的栅极电压 V_g 值,所述衬底电流与栅极电压 $I_{sub}-V_g$ 曲线中的衬底电流最大值 I_{submax} 为 $3.9E-5A$,相应的栅极电压 V_g 值为 $2.1V$ 。

[0034] 改变漏极电压 V_d 值,重新测量所述 MOS 器件在改变后的漏极电压 $V_d = 4.5V$ 下的衬底电流与栅极电压 $I_{sub}-V_g$ 曲线,取得所述漏极电压 $= 4.5V$ 下的衬底电流最大值 I_{submax} 所对应的栅极电压 V_g 值为 $1.95V$ (图未示)。

[0035] 再继续改变漏极电压 V_d 值,分别得到不同漏极电压 V_d 值下的衬底电流与栅极电压 $I_{sub}-V_g$ 曲线,同样的方法得到衬底电流最大值 I_{submax} 所对应的栅极电压 V_g 值。在本实施例中,漏极电压 V_d 值分别选用 $5V$ 、 $4.5V$ 、 $4V$ 、 $3.5V$ 和 $3V$,得到的不同漏极电压 V_d 下所对应的栅极电压 V_g 由表 (1) 所示:

[0036] 表 (1)

[0037]

$V_d(V)$	$V_g(V)$
5	2.1
4.5	1.95
4	1.8
3.5	1.6
3	1.45

[0038] 所述不同漏极电压 V_d 均小于等于 MOS 器件的工作电压,且所述的各个漏极电压值可以根据选取的 MOS 器件的实际工作电压不同分别按一定间隔取值,例如,本发明的一实施例中测试对象为 $5V$ 的 MOS 器件,漏极电压可以按照间隔为 $0.5V$ 的分布取值,即为 $5V$ 、 $4.5V$ 、 $4V$ 、 $3.5V$ 和 $3V$;如测试对象为 $1V$ 的 MOS 器件,漏极电压可以按照间隔为 $0.2V$ 或 $0.1V$ 的分布取值,当按 $0.2V$ 的分布取值时即为 $1V$ 、 $0.8V$ 、 $0.6V$ 和 $0.4V$,当按 $0.1V$ 的分布取值时即为 $1V$ 、 $0.9V$ 、 $0.8V$ 、 $0.7V$ 和 $0.6V$;如测试对象为其他工作电压时,可以根据实际测试情况按照 JEDEC 标准,根据行业标准进行测试。

[0039] 将表 (1) 漏极电压 V_d 与栅极电压 V_g 关系作图,参见图 3,其中横坐标为漏极电压 V_d ,纵坐标为栅极电压 V_g 。用线性函数将栅极电压 V_g 与漏极电压 V_d 之间进行拟合,经过人工拟合计算,可以确定常数 $A = 0.33$, $B = 0.46$,最后得到拟合公式,本实例中的拟合公式为 $y = 0.33x + 0.46$ 。此时得出的拟合公式即为热载流子注入 MOS 器件后所测试的可以用于

推导 HCI 应力测试条件的计算公式。其中,所述漏极电压 V_d 不局限于本发明一实施例中所列举的参数值,只要漏极电压 V_d 不超过 MOS 器件的工作电压均可以用于拟合公式的推导。

[0040] 然后,选用 3 个漏极应力电压 V_d stress,均高于正常工作电压,且作为后续 HCI 应力测试的漏极电压。对于选用 HCI 应力测试的电压,一般为不超过漏端击穿电压的 70%,在这个范围内,栅极电压 V_g 与漏极应力电压 V_d stress 的关系仍符合线性函数的规律,即上述的拟合公式 $y = 0.33x + 0.46$ 。在本实施例中 5V 器件选用的 HCI 应力测试的条件为 $V_d = 6V, 6.3V, 6.6V$ 这 3 个电压,则得到的由拟合公式可推算得到相应的 V_g 为 2.44V, 2.54V, 2.64V。因此得到的 HCI 应力测试条件由表 (2) 所示。

[0041] 表 (2)

[0042]

V_d (V)	V_g (V)
6	2.44
6.3	2.539
6.6	2.638

[0043] 由表 (2) 得到 3 组 HCI 应力测试条件,以便以后进行 HCI 应力测试,获得所述 MOS 器件的电学退化性能。

[0044] 与传统通用的 HCI 测试 MOS 器件方法相比,本发明通过将原来的选定 3 个高于工作电压的漏极应力电压 V_d stress 测试数据改为步骤 1 中的 3 个低于工作电压的漏极电压 V_d 数据进行测试,并扫描每个低于工作电压的漏极电压 V_d 下所对应的衬底电流与栅极电压 $I_{sub}-V_g$ 曲线,接着,通过步骤 2 找到每一根衬底电流与栅极电压 $I_{sub}-V_g$ 曲线中的衬底电流最大值 I_{submax} 以及衬底电流最大值 I_{submax} 所对应的栅极电压 V_g 值,然后,通过步骤 3 找到不同漏极电压 V_d 值下所对应的栅极电压 V_g 值,从而制作出栅极电压与漏极电压 V_g-V_d 关系图,继而,可以通过步骤 3 中的栅极电压与漏极电压 V_g-V_d 关系图,通过线性函数得到拟合公式,最后,根据步骤 4 中的拟合公式得到 HCI 应力测试条件以便以后进行 HCI 应力测试,获得所述 MOS 器件的电学退化性能。由此可见,由于步骤 1 中的衬底电流与栅极电压 $I_{sub}-V_g$ 曲线扫描所加载的电压均未超过工作电压,对于 MOS 器件无损伤,因此,上述 MOS 器件仍可作为待测试器件用于以后的应力 HCI 测试中。由于 HCI 应力测试条件制定均为推算得到,故无需准备额外用于制定应力测试条件的样品。因此,本发明只需提供 HCI 测试条件下的样品即可进行 HCI 应力测试条件的制定和测试,减少了样品,节约了测试成本。同时,在半导体制造工艺中,所述确定热载流子注入应力测试条件的方法不仅可以通过封装极测试的方法得到热载流子注入的寿命,而且,也可以通过硅片级测试获得热载流子注入的寿命,因此,可以应变实际测试需要。

[0045] 本发明虽然以较佳实施例公开如上,但其并不是用来限定权利要求,任何本领域技术人员在不脱离本发明的精神和范围内,都可以做出可能的变动和修改,因此本发明的保护范围应当以本发明权利要求所界定的范围为准。

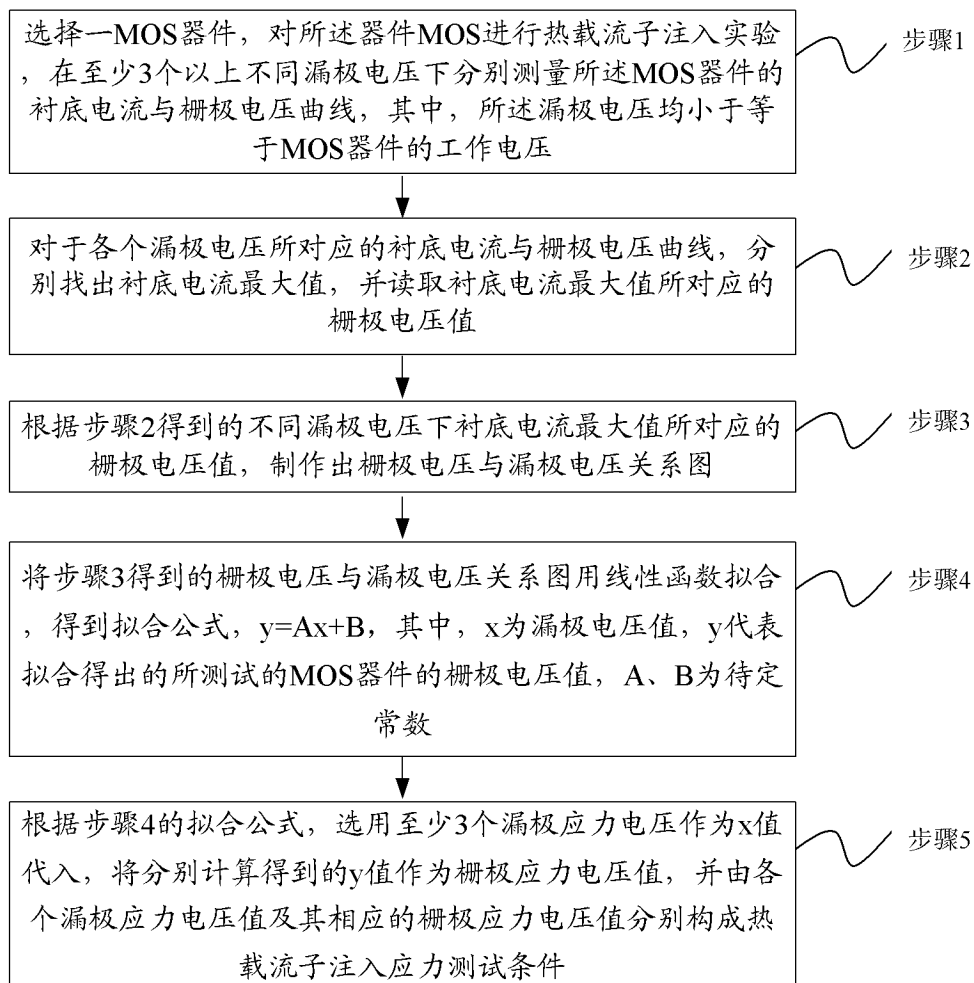


图 1

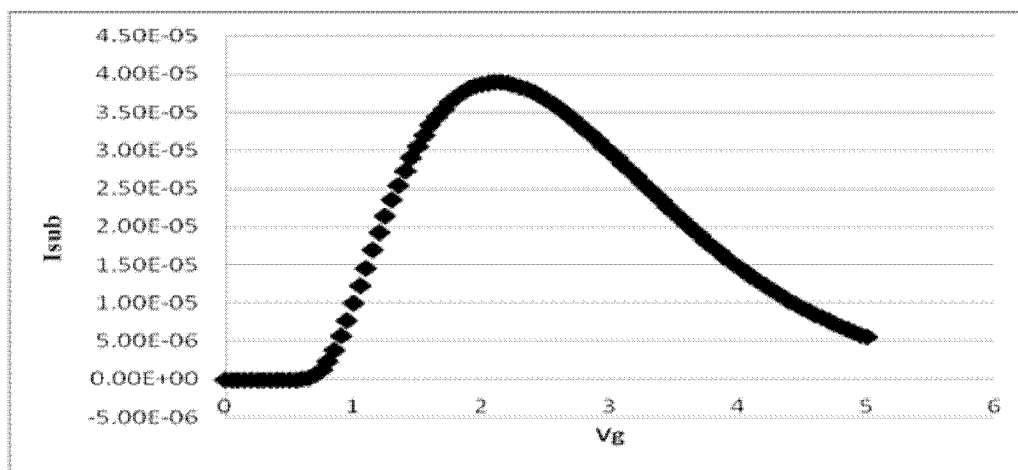


图 2

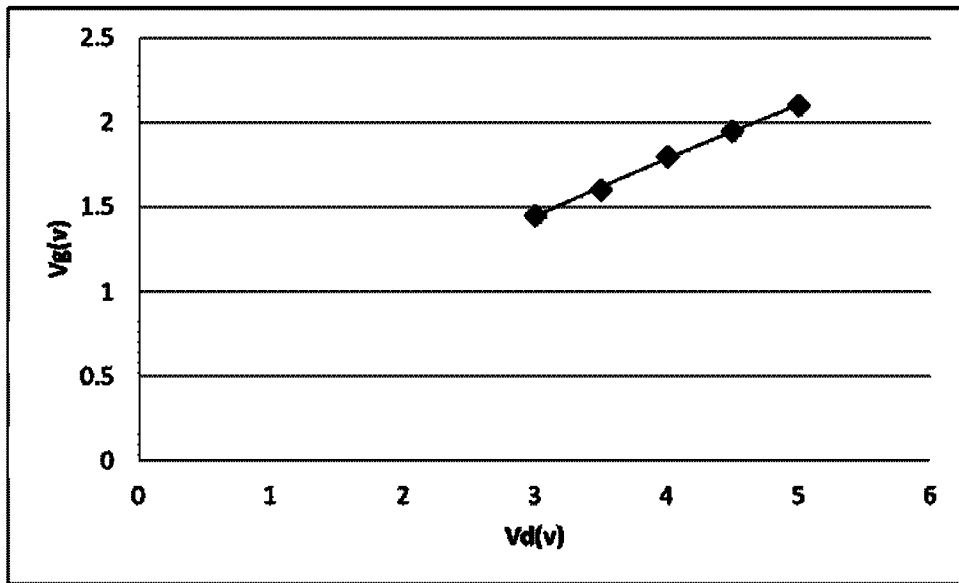


图 3