



## 【特許請求の範囲】

## 【請求項 1】

入力電圧を降圧するための降圧スイッチング素子を含む降圧回路、前記入力電圧を昇圧するための昇圧スイッチング素子を含む昇圧回路、前記降圧回路と前記昇圧回路とを接続する平滑リクトル、前記降圧回路の入力に設けられた入力平滑コンデンサ、および前記昇圧回路の出力に設けられた出力平滑コンデンサとから構成される主回路と、  
前記主回路の入力電圧、電流を取り込むとともに、前記入力電圧、電流の目標値を取り込み、および／または、前記主回路の出力電圧、電流を取り込むとともに、前記出力電圧、電流の目標値を取り込み、前記取り込んだ電圧、電流値から算出される現在の電力変換状態と前記取り込んだ電圧、電流値の目標値から算出される目標の電力変換状態とを比較する比較器と、

前記降圧回路のオンデューティと前記昇圧回路のオンデューティの両方のオンデューティを算出でき、前記降圧回路の降圧スイッチング素子と前記昇圧回路の昇圧スイッチング素子の両方が同時にスイッチングすることはない関数を生成する第1制御器と、  
生成した前記関数から前記降圧回路のオンデューティを算出する第2制御器と、  
生成した前記関数から前記昇圧回路のオンデューティを算出する第3制御器と、  
前記降圧回路の降圧スイッチング素子と前記昇圧回路の昇圧スイッチング素子をスイッチング制御する制御回路とを備えた昇降圧DC/DCコンバータ。

## 【請求項 2】

前記制御回路は、前記降圧回路のオンデューティは前記昇圧回路のオンデューティより必ず大きくなる前記関数を生成する請求項1に記載の昇降圧DC/DCコンバータ。

## 【請求項 3】

前記主回路の入力側である前記降圧回路の入力に交流発電機と前記交流発電機の出力を整流する整流器を接続し、前記主回路の出力側である前記昇圧回路の出力に蓄電デバイスおよび負荷を接続した請求項1または請求項2に記載の昇降圧DC/DCコンバータ。

## 【請求項 4】

前記制御回路は、前記降圧回路のオンデューティと前記昇圧回路のオンデューティを同時に1として、前記交流発電機の出力を短絡させる請求項3に記載の昇降圧DC/DCコンバータ。

## 【請求項 5】

前記制御回路は、前記主回路の入力電圧を高くして、前記交流発電機の出力電圧を前記交流発電機の開放電圧まで上昇させる請求項3に記載の昇降圧DC/DCコンバータ。

## 【請求項 6】

前記制御回路に、前記主回路の入力電圧があらかじめ設定された設定電圧よりを高くならないように制限するデューティリミッタを設けた請求項3に記載の昇降圧DC/DCコンバータ。

## 【請求項 7】

前記制御回路に、前記主回路の入力電圧があらかじめ設定された設定電圧よりを低くならないように制限するデューティリミッタを設けた請求項3に記載の昇降圧DC/DCコンバータ。

## 【請求項 8】

前記主回路の入力側である前記降圧回路の入力に蓄電デバイスを接続し、前記主回路の出力側である前記昇圧回路の出力に負荷を接続した請求項1に記載の昇降圧DC/DCコンバータ。

## 【請求項 9】

前記制御回路は、前記降圧回路のオンデューティと前記昇圧回路のオンデューティを同時に1とならないように制御する請求項8に記載の昇降圧DC/DCコンバータ。

## 【請求項 10】

前記制御回路は、前記降圧回路のオンデューティと前記昇圧回路のオンデューティを同時に0にして、前記蓄電デバイスからの供給電力をゼロにする請求項8に記載の昇降圧DC

10

20

30

40

50

/ D C コンバータ。

【請求項 1 1】

前記制御回路に、前記主回路の入力電圧があらかじめ設定された設定電圧よりを高くならないように制限するデューティリミッタを設けた請求項 8 に記載の昇降圧 D C / D C コンバータ。

【請求項 1 2】

前記制御回路に、前記主回路の入力電圧があらかじめ設定された設定電圧よりを低くならないように制限するデューティリミッタを設けた請求項 8 に記載の昇降圧 D C / D C コンバータ。

【請求項 1 3】

前記降圧回路は前記降圧スイッチング素子と直列に接続された降圧同期整流スイッチング素子をさらに備え、前記制御回路は、前記降圧同期整流スイッチング素子を前記降圧スイッチング素子と相補にオンオフを繰り返すように駆動する駆動回路を有する請求項 1 から請求項 1 2 のいずれか 1 項に記載の昇降圧 D C / D C コンバータ。

【請求項 1 4】

前記昇圧回路は前記昇圧スイッチング素子と直列に接続された昇圧同期整流スイッチング素子をさらに備え、前記制御回路は、前記昇圧同期整流スイッチング素子を前記昇圧スイッチング素子と相補にオンオフを繰り返すように駆動する駆動回路を有する請求項 1 から請求項 1 3 のいずれか 1 項に記載の昇降圧 D C / D C コンバータ。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

この発明は、直流入力電圧に関係なく所望の直流出力電圧を得ることができる昇降圧 D C / D C コンバータに関するものである。

【背景技術】

【0 0 0 2】

入力電圧  $V_{in}$  を出力電圧  $V_{out}$  に変換する昇降圧 D C / D C コンバータにおいて、降圧回路のスイッチング素子のみスイッチングする降圧動作、昇圧回路のスイッチング素子のみスイッチングする昇圧動作があり、 $V_{out}$  側に電圧源を接続した場合、昇圧動作は  $V_{in}$  をある電圧より低く、降圧動作は  $V_{in}$  をある電圧より高くしかできないため、動作の切り替えが必要である。この切り替えのため、出力電圧がある基準電圧より高くなつたときに降圧動作から昇圧動作に切り替える方法が開示されている（例えば、特許文献 1 参照）。

【先行技術文献】

【特許文献】

【0 0 0 3】

【特許文献 1】特開 2 0 0 2 1 0 1 6 4 7 号公報（段落 [ 0 0 3 6 ] ~ [ 0 0 3 8 ] 、図 1 ）

【発明の概要】

【発明が解決しようとする課題】

【0 0 0 4】

特許文献 1 の開示方法では、基準電圧と入力電圧の大小関係により切り替えるため、昇圧動作で入力電圧を上昇させることができるにもかかわらず降圧動作に切り替わって入力電圧が急に下降し、また昇圧動作ですでに入力電圧を上昇させることができない状態にもかかわらず降圧動作に切り替わらず入力電圧が上昇せず、昇圧動作と降圧動作の境界で入力電圧が不安定になる問題がある。

【0 0 0 5】

この発明は、上記のような問題点を解決するためになされたものであり、降圧動作と昇圧動作の切り替えの判定を不要とし、降圧動作と昇圧動作の境界で出力電圧が不安定にならない、昇降圧 D C / D C コンバータを提供することを目的とする。

10

20

30

40

50

## 【課題を解決するための手段】

## 【0006】

この発明に係る昇降圧DC/DCコンバータは、入力電圧を降圧するための降圧スイッチング素子を含む降圧回路、入力電圧を昇圧するための昇圧スイッチング素子を含む昇圧回路、降圧回路と昇圧回路とを接続する平滑リアクトル、降圧回路の入力に設けられた入力平滑コンデンサ、および昇圧回路の出力に設けられた出力平滑コンデンサとから構成される主回路と、主回路の入力電圧、電流を取り込むとともに、入力電圧、電流の目標値を取り込み、および／または、主回路の出力電圧、電流を取り込むとともに、出力電圧、電流の目標値を取り込み、取り込んだ電圧、電流値から算出される現在の電力変換状態と取り込んだ電圧、電流値の目標値から算出される目標の電力変換状態とを比較する比較器と、降圧回路のオンデューティと昇圧回路のオンデューティの両方のオンデューティを算出でき、降圧回路の降圧スイッチング素子と昇圧回路の昇圧スイッチング素子の両方が同時にスイッチングすることはない関数を生成する第1制御器と、生成した関数から降圧回路のオンデューティを算出する第2制御器と、生成した関数から昇圧回路のオンデューティを算出する第3制御器と、降圧回路の降圧スイッチング素子と昇圧回路の昇圧スイッチング素子をスイッチング制御する制御回路とを備えたものである。

10

## 【発明の効果】

## 【0007】

この発明に係る昇降圧DC/DCコンバータは、入力電圧を降圧するための降圧スイッチング素子を含む降圧回路、入力電圧を昇圧するための昇圧スイッチング素子を含む昇圧回路、降圧回路と昇圧回路とを接続する平滑リアクトル、降圧回路の入力に設けられた入力平滑コンデンサ、および昇圧回路の出力に設けられた出力平滑コンデンサとから構成される主回路と、主回路の入力電圧、電流を取り込むとともに、入力電圧、電流の目標値を取り込み、および／または、主回路の出力電圧、電流を取り込むとともに、出力電圧、電流の目標値を取り込み、取り込んだ電圧、電流値から算出される現在の電力変換状態と取り込んだ電圧、電流値の目標値から算出される目標の電力変換状態とを比較する比較器と、降圧回路のオンデューティと昇圧回路のオンデューティの両方のオンデューティを算出でき、降圧回路の降圧スイッチング素子と昇圧回路の昇圧スイッチング素子の両方が同時にスイッチングすることはない関数を生成する第1制御器と、生成した関数から降圧回路のオンデューティを算出する第2制御器と、生成した関数から昇圧回路のオンデューティを算出する第3制御器と、降圧回路の降圧スイッチング素子と昇圧回路の昇圧スイッチング素子をスイッチング制御する制御回路とを備えたものであるため、降圧動作と昇圧動作の切り替えの判定が不要となり、降圧動作と昇圧動作の境界で出力電圧が不安定にならない効果を有する。

20

## 【図面の簡単な説明】

## 【0008】

【図1】この発明の実施の形態1の昇降圧DC/DCコンバータに係る基本構成図である。

30

【図2】この発明の実施の形態1の昇降圧DC/DCコンバータに係る制御回路の基本構成図である。

40

【図3】この発明の実施の形態1の昇降圧DC/DCコンバータに係るシステム構成図である。

【図4】この発明の実施の形態1に係る交流発電機の出力電圧・出力電力特性図である。

【図5】この発明の実施の形態1の昇降圧DC/DCコンバータに係る制御回路のブロック図である。

【図6】この発明の実施の形態1の昇降圧DC/DCコンバータに係る制御回路のスイッチング動作説明図である。

【図7】この発明の実施の形態1の昇降圧DC/DCコンバータに係る制御回路のスイッチング動作説明図である。

【図8】この発明の実施の形態1の昇降圧DC/DCコンバータに係る動作説明図である

50

。

【図9】この発明の実施の形態1の昇降圧DC/DCコンバータに係る他の実施例の制御フローチャートである。

【図10】この発明の実施の形態2の昇降圧DC/DCコンバータに係る制御回路のブロック図である。

【図11】この発明の実施の形態3の昇降圧DC/DCコンバータに係るシステム構成図である。

【図12】この発明の実施の形態3の昇降圧DC/DCコンバータに係る制御回路のブロック図である。

【図13】この発明の実施の形態3の昇降圧DC/DCコンバータに係る動作説明図である。

【図14】この発明の実施の形態4の昇降圧DC/DCコンバータに係る制御回路のブロック図である。

【発明を実施するための形態】

【0009】

実施の形態1.

実施の形態1は、入力に交流発電機と整流器を接続し、出力にバッテリと負荷を接続し、出力電圧と出力電圧の目標値を比較して、降圧回路と昇圧回路の両方のオンデューティを算出でき、両方同時にスイッチングすることがない関数を生成し、この関数から降圧回路のオンデューティと昇圧回路のオンデューティを算出する制御回路を備えた昇降圧DC/DCコンバータに関するものである。

【0010】

以下、本願発明の実施の形態1の構成、動作について、昇降圧DC/DCコンバータの基本構成図である図1、制御回路の基本構成図である図2、システム構成図である図3、交流発電機の出力電圧-出力電力特性図である図4、制御回路のブロック図である図5、制御回路のスイッチング動作説明図である図6、図7、動作説明図である図8、他の実施例の制御フローチャートである図9に基づいて説明する。

【0011】

以下の説明では、昇降圧DC/DCコンバータの基本構成と制御回路の基本構成を説明した後、実施の形態1の具体的な昇降圧DC/DCコンバータのシステム構成および動作について説明する。

【0012】

まず、図1、2に基づいて、昇降圧DC/DCコンバータの基本構成と制御回路の基本構成を説明する。

図1において、直流入力電圧 $V_{in}$ を直流出力電圧 $V_{out}$ に変換する昇降圧DC/DCコンバータ1は、降圧スイッチング素子を備える降圧回路2と、昇圧スイッチング素子を備える昇圧回路3と、降圧回路2の出力と昇圧回路3の入力を接続する平滑リアクトル4と、降圧回路2の降圧スイッチング素子および昇圧回路3の昇圧スイッチング素子のスイッチングを制御する制御回路7から構成される。さらに降圧回路2の入力には入力平滑コンデンサ5が接続され、昇圧回路3の出力には出力平滑コンデンサ6が接続されている。なお、以降の説明では、降圧回路2、昇圧回路3、平滑リアクトル4、入力平滑コンデンサ5および出力平滑コンデンサ6をまとめて、適宜、昇降圧DC/DCコンバータ1の主回路という。

図1は、制御回路7は出力電圧 $V_{out}$ を取り込み、降圧回路2の降圧スイッチング素子および昇圧回路3の昇圧スイッチング素子のスイッチングを制御して入力電圧 $V_{in}$ を所望の出力電圧 $V_{out}$ に変換する場合の構成例を示している。

【0013】

図2において、制御回路7は、現在の電力変換状態を表す信号とこの信号の目標値を比較する比較器21と、現在値と目標値との偏差である比較器21の出力から降圧回路2と昇圧回路3の両方のオンデューティを算出でき、両方同時にスイッチングすることがない

10

20

30

40

50

関数  $V_{pi}$  を生成する第 1 制御器 22 と、この関数  $V_{pi}$  から降圧回路 2 のオンデューティ  $V_{buck}$  を算出する第 2 制御器 23 と、昇圧回路 3 のオンデューティ  $V_{boost}$  を算出する第 3 制御器 24 を備える。

なお、図 2 では、現在の電力変換状態を表す信号として、昇降圧 DC / DC コンバータ 1 の出力電圧  $V_{out}$  を用い、この信号の目標値として出力電圧の目標値  $V_{out*}$  を用いている。

また、図 2 では、降圧回路 2 のオンデューティ  $V_{buck}$  および昇圧回路 3 のオンデューティ  $V_{boost}$  から、キャリア信号を用いて降圧回路 2 および昇圧回路 3 をスイッチング制御して駆動する回路については省略している。降圧回路 2 および昇圧回路 3 をスイッチング制御して駆動する駆動回路については後述する。

#### 【0014】

次に、本願発明の実施の形態 1 の昇降圧 DC / DC コンバータ 1 に係るシステム構成について、図 3 に基づいて説明する。

昇降圧 DC / DC コンバータ 1 の主回路の入力側である降圧回路 2 の入力には、交流発電機 8 の出力が整流器 9 を介して接続されている。昇降圧 DC / DC コンバータ 1 の主回路の出力側である昇圧回路 3 の出力には、蓄電デバイスであるバッテリ 10 と負荷 11 が接続されている。

降圧回路 2 は、降圧スイッチング素子 26 と降圧同期整流スイッチング素子 27 から構成される。昇圧回路 3 は、昇圧スイッチング素子 29 と昇圧同期整流スイッチング素子 28 から構成される。

本実施の形態 1 の昇降圧 DC / DC コンバータ 1 に係るシステムは、交流発電機 8 によって発電された電力をバッテリ 10 と負荷 11 に供給するもので、昇降圧 DC / DC コンバータ 1 の入力電圧すなわち交流発電機 8 の出力電圧を調節することにより、交流発電機 8 の出力電力を調節するものである。

#### 【0015】

ここで交流発電機 8 は、図 4 に示す出力電圧 - 出力電力特性を持つものとする。図 4 の横軸が交流発電機 8 の出力電圧、縦軸が交流発電機 8 の出力電力であり、出力電圧 0V と開放電圧である  $V_o$  で出力電力 0W となり、出力電圧  $V_{pmax}$  で出力電力が最大の  $P_{max}$  となる垂下特性を持つものとする。すなわち、交流発電機 8 は、負荷の増加に伴い出力電圧が減少して出力電力が増加し、出力電圧  $V_{pmax}$  で最大電力動作点の最大電力  $P_{max}$  となり、さらに出力電圧を減少させると出力電力が減少する特性を有する。

#### 【0016】

本実施の形態 1 では、昇降圧 DC / DC コンバータ 1 の入力電圧が、交流発電機 8 の最大電力動作点である  $V_{pmax}$  より低い電圧で制御される場合を想定しており、交流発電機 8 の  $V_{pmax}$  は、昇降圧 DC / DC コンバータ 1 の出力電圧の目標値  $V_{out*}$  の 2 倍の電圧より高い電圧とする。

#### 【0017】

次に、図 5 に交流発電機 8 の出力電圧を 0V から昇降圧 DC / DC コンバータ 1 の出力電圧の 2 倍まで調節できる昇降圧 DC / DC コンバータ 1 の制御回路 7 のブロック図を示す。

図 5 の制御回路 7 の構成および動作概要を、図 2 で説明した制御回路基本構成と対比して説明する。

現在の電力変換状態を表す信号である昇降圧 DC / DC コンバータ 1 の出力電圧  $V_{out}$  と、この信号の目標値である  $V_{out*}$  が、この発明における比較器 21 に対応する減算器 31 に入力されている。減算器 31 の出力が、この発明における第 1 制御器 22 に対応する PI 制御器 32 で処理され、降圧回路 2 と昇圧回路 3 の両方のオンデューティを算出でき、両方同時にスイッチングすることがない関数  $V_{pi}$  を生成する。

この関数  $V_{pi}$  から、この発明における第 2 制御器 23 に対応する降圧デューティリミッタ 33 と降圧デューティ演算器 34 で、降圧回路 2 のオンデューティ  $V_{buck}$  が算出される。また、関数  $V_{pi}$  から、この発明における第 3 制御器 24 に対応する昇圧デュ-

10

20

30

40

50

ティリミッタ 4 0 と昇圧デューティ演算器 4 1 で、昇圧回路 3 のオンデューティ  $V_{buck}$  が算出される。

なお、降圧デューティリミッタと昇圧デューティリミッタをまとめているときは、デューティリミッタと記載する。

【0018】

降圧デューティ演算器 3 4 の出力である  $V_{buck}$  とキャリア波発生器 3 5 からのキャリア波  $V_c$  を用いて、コンパレータ 3 6、遅延回路 3 7、AND 回路 3 8 および NOR 回路 3 9 が降圧回路 2 の降圧スイッチング素子 2 6 および降圧同期整流スイッチング素子 2 7 を制御する信号  $V_{gs1}$  および  $V_{gs2}$  を生成する。

【0019】

さらに、図 5 の制御回路 7 の動作について詳細に説明する。

なお、以下の実施の形態 1 の説明では、関数  $V_{pi}$  をより具体的な制御電圧  $V_{pi}$  と記載する。

図 3 における降圧スイッチング素子 2 6 と降圧同期整流スイッチング素子 2 7 を駆動するゲート信号  $V_{gs1}$  および  $V_{gs2}$  は、図 5 の降圧デューティリミッタ 3 3、降圧デューティ演算器 3 4、キャリア波発生器 3 5、コンパレータ 3 6、遅延回路 3 7、AND 回路 3 8 および NOR 回路 3 9 を通して生成される。

なお、この発明における降圧回路 2 の降圧スイッチング素子 2 6 と降圧同期整流スイッチング素子 2 7 を駆動する駆動回路は、キャリア波発生器 3 5、コンパレータ 3 6、遅延回路 3 7、AND 回路 3 8 および NOR 回路 3 9 が対応する。

【0020】

PI 制御器 3 2 の出力である制御電圧  $V_{pi}$  は降圧デューティリミッタ 3 3 に入力され、降圧デューティリミッタ 3 3 では、制御電圧  $V_{pi}$  の最大値を  $2V_{out}^*$ 、最小値を  $V_{out}^*$  に制限する。これにより、降圧回路 2 のオンデューティ  $V_{buck}$  の最大値を 1、最小値を 0.5 とすることができる。

降圧デューティリミッタ 3 3 の出力は、降圧デューティ演算器 3 4 に入力される。降圧デューティ演算器 3 4 の計算式は、制御電圧  $V_{pi}$  を入力電圧と考えると一般的降圧 DC/DC コンバータのオンデューティと入出力電圧の関係式 ( $V_{buck} = V_{out}^* / V_{pi}$ ) になっており、降圧回路 2 のオンデューティ  $V_{buck}$  を求めることができる。

【0021】

$V_{buck}$  とキャリア波発生器 3 5 からのキャリア波  $V_c$  を、コンパレータ 3 6 で比較して方形波を出力し、その方形波を遅延回路 3 7、AND 回路 3 8 および NOR 回路 3 9 を通して、デッドタイム付きの相補の信号  $V_{gs1}$  と  $V_{gs2}$  が生成される。 $V_{gs1}$  が降圧スイッチング素子 2 6 を駆動するゲート信号となり、 $V_{gs2}$  が降圧同期整流スイッチング素子 2 7 を駆動するゲート信号となる。

【0022】

図 6 に降圧回路 2 のオンデューティ  $V_{buck}$ 、キャリア波  $V_c$ 、方形波  $V_1$ 、 $V_2$ 、ゲート信号  $V_{gs1}$ 、 $V_{gs2}$  の関係を示す。

まず、降圧回路 2 のオンデューティ  $V_{buck}$  とキャリア波  $V_c$  の大小関係から、方形波  $V_1$  を出力する。そして、方形波  $V_1$  を遅延回路 3 7 で時間  $t_d$  だけ遅らせて、方形波  $V_2$  を出力する。この方形波  $V_1$  と  $V_2$  を AND 回路 3 8 に入力して  $V_{gs1}$ 、NOR 回路 3 9 に入力して  $V_{gs2}$  を生成する。

この方法は、デッドタイムを作成するひとつ的方法であり、別の方針を用いてもよい。

【0023】

図 3 における昇圧スイッチング素子 2 9 と昇圧同期整流スイッチング素子 2 8 を駆動するゲート信号  $V_{gs4}$  および  $V_{gs3}$  は、図 5 の昇圧デューティリミッタ 4 0、昇圧デューティ演算器 4 1、キャリア波発生器 4 2、コンパレータ 4 3、遅延回路 4 4、AND 回路 4 5 および NOR 回路 4 6 を通して生成される。

なお、この発明における昇圧回路 3 の昇圧スイッチング素子 2 9 と昇圧同期整流スイッチング素子 2 8 を駆動する駆動回路は、キャリア波発生器 4 2、コンパレータ 4 3、遅延

10

20

30

40

50

回路44、AND回路45およびNOR回路46が対応する。

【0024】

PI制御器32の出力である制御電圧 $V_{pi}$ は昇圧デューティリミッタ40に入力される。昇圧デューティリミッタ40は最大値を $V_{out}^*$ 、最小値を0と制限する。これにより、昇圧回路3のオンデューティ $V_{boost}$ の最大値を1、最小値を0とすることができます。

昇圧デューティリミッタ40の出力は、昇圧デューティ演算器41に入力される。昇圧デューティ演算器41の計算式は、制御電圧 $V_{pi}$ を入力電圧と考えると、一般的昇圧DC/DCコンバータのオンデューティと入出力電圧の関係式( $V_{boost} = 1 - V_{pi} / V_{out}^*$ )になっており、昇圧回路3のオンデューティ $V_{boost}$ を求めることが可能である。10

【0025】

$V_{boost}$ とキャリア波発生器42からのキャリア波 $V_c$ を、コンパレータ43で比較して方形波を出力する。その方形波を遅延回路44、AND回路45およびNOR回路46を通して、デッドタイムつきの相補の信号 $V_{gs4}$ と $V_{gs3}$ が生成される。

$V_{gs4}$ が昇圧スイッチング素子29を駆動するゲート信号となり、 $V_{gs3}$ が昇圧同期整流スイッチング素子28を駆動するゲート信号となる。

【0026】

図7に昇圧回路3のオンデューティ $V_{boost}$ 、キャリア波 $V_c$ 、方形波 $V_3$ 、 $V_4$ 、ゲート信号 $V_{gs4}$ 、 $V_{gs3}$ の関係を示す。20

昇圧回路3のオンデューティ $V_{boost}$ からゲート信号 $V_{gs4}$ 、 $V_{gs3}$ を生成する方法は、図6と同様であるため、説明は省略する。

【0027】

次に、制御電圧 $V_{pi}$ の変化に対する昇降圧DC/DCコンバータ1の降圧、昇圧動作の関係を、図8を用いて説明する。

図8は、出力電圧の目標値 $V_{out}^*$ が、100のときの制御電圧 $V_{pi}$ と降圧回路2のオンデューティ $V_{buck}$ および昇圧回路3のオンデューティ $V_{boost}$ の関係を示す。

制御電圧 $V_{pi}$ が100より小さいときは、 $V_{buck}$ は1であり、 $V_{boost}$ は0より大きく1より小さい値を取り、昇圧動作を行う。制御電圧 $V_{pi}$ が100より大きいときは、 $V_{boost}$ は0であり、 $V_{buck}$ は0より大きく1より小さい値を取り、降圧動作を行う。30

なお、制御電圧 $V_{pi}$ が0のときは、 $V_{buck}$ および $V_{boost}$ を両方同時に1となり、交流発電機8の出力を短絡させて、交流発電機8の出力電力を0Wまで調節できる。

【0028】

実施の形態1においては、昇降圧DC/DCコンバータ1の入力に交流発電機8を接続したが、交流発電機に限らず電流源であればよい。

昇降圧DC/DCコンバータ1の出力に接続したバッテリ10についても、電気2重層コンデンサなど電圧源であればよい。

昇降圧DC/DCコンバータについても、降圧するためのスイッチング素子と昇圧するためのスイッチング素子を備え、それらのデューティによって、入出力の比を連続的に変化させることができるものであればよい。

また、スイッチング素子はすべてMOSFET(Metal-Oxide-Semiconductor Field-Effect Transistor)を使用しているが、IGBT(Insulated Gate Bipolar Transistor)やSiC(Silicon Carbide)のMOSFETなど他のスイッチング素子でもよい。

【0029】

実施の形態1においては、図3に示すように降圧回路2に降圧同期整流スイッチング素

10

20

30

40

50

子27を使用し、昇圧回路3に昇圧同期整流スイッチング素子28を使用する構成としたが、この降圧同期整流スイッチング素子27および昇圧同期整流スイッチング素子28は必ずしも必要ではない。これらの降圧、昇圧同期整流スイッチング素子を使用すると昇降圧DC/DCコンバータの変換効率は向上するが、これらの降圧、昇圧同期整流スイッチング素子を削除することで、制御回路を含めた昇降圧DC/DCコンバータの回路構成を簡素化することができる。

#### 【0030】

実施の形態1においては、出力電圧とその目標値の偏差からPI制御で制御電圧V<sub>pi</sub>を生成したが、制御電圧V<sub>pi</sub>すなわち関数V<sub>pi</sub>の生成方法は、これに限らない。例えば、PI制御に代えてPID制御を用いることができる。また、主回路の入力電圧や主回路内の電流とその目標値の偏差を用いて、関数V<sub>pi</sub>を生成することができる。

また、交流発電機のV<sub>pmax</sub>に追従するように、主回路内の電圧電流より交流発電機の出力電力を求め、現在の出力電圧と一定時間前の出力電圧を比較して、その大小関係により制御電圧V<sub>pi</sub>を変化させる方法など、制御電圧V<sub>pi</sub>を変化させて要求される発電状態にする方法を用いることができる。

#### 【0031】

次に、実施の形態1における他の実施例として、上記で説明した交流発電機のV<sub>pmax</sub>に制御電圧V<sub>pi</sub>を追従する制御する方法について説明する。

図9に、MPPT (Maximum Power Point Tracking) 法を適用して、交流発電機の出力電圧を0Vから昇降圧DC/DCコンバータの出力電圧の2倍まで調節できる昇降圧DC/DCコンバータの制御回路の制御フローチャートを示す。

この制御フローチャートは、昇降圧DC/DCコンバータの現在の出力電力P<sub>out</sub>と一つ前の制御周期の出力電力P<sub>out\_1</sub>を比較して、制御電圧V<sub>pi</sub>を出力電力P<sub>out</sub>が大きくなるように動かして、昇降圧DC/DCコンバータの入力電圧V<sub>in</sub>が交流発電機の最大電力点V<sub>pmax</sub>になるように制御するものである。

#### 【0032】

なお、以下の説明では、現在の制御周期の出力電力をP<sub>out</sub>、P<sub>out</sub>の1制御周期前のP<sub>out</sub>をP<sub>out\_1</sub>と定義する。また、V<sub>pi\_up</sub>は、前回の制御周期で制御電圧V<sub>pi</sub>を大きくした場合は1、小さくした場合は0とする。

#### 【0033】

まずステップS1で制御電圧V<sub>pi</sub>の初期値として0を代入する。

ステップS2で出力電圧V<sub>out</sub>、出力電流I<sub>out</sub>を取得する。

ステップS3で現在の制御周期での出力電力P<sub>out</sub>を算出する。

ステップS4、ステップS5、ステップS6で制御電圧V<sub>pi</sub>を大きくするか、もしくは小さくするかを判定する。

まず、ステップS4で現在の制御周期の出力電力P<sub>out</sub>と1つ前の制御周期の出力電力P<sub>out\_1</sub>の大小を比較する。出力電力P<sub>out</sub>の方が大きければ、制御電圧V<sub>pi</sub>を前回と同じ方向に動かすためにステップS5に進む。

P<sub>out\_1</sub>の方が大きければ、制御電圧V<sub>pi</sub>を前回と逆の方向に動かすためにステップS6に進む。

#### 【0034】

ステップS5でV<sub>pi\_up</sub>=1かどうかを判定する。

V<sub>pi\_up</sub>=1の場合は、制御電圧V<sub>pi</sub>を大きくするためにステップS7に、V<sub>pi\_up</sub>=0の場合は、制御電圧V<sub>pi</sub>を小さくするためにステップS9に進む。

ステップS7で制御電圧V<sub>pi</sub>をV<sub>pi</sub>だけ大きくする。

ステップS8で制御電圧V<sub>pi</sub>を大きくしたので、V<sub>pi\_up</sub>に1を代入する。

ステップS9で制御電圧V<sub>pi</sub>をV<sub>pi</sub>だけ小さくする。

ステップS10で制御電圧V<sub>pi</sub>を小さくしたので、V<sub>pi\_up</sub>に0を代入する。

#### 【0035】

10

20

30

40

50

ステップ S 1 1 で  $V_{buck}$  の演算をする。これは図 5 の降圧デューティ演算器 3 4 と同じ役割である。

ステップ S 1 2 で  $V_{boost}$  の演算をする。これは図 5 の昇圧デューティ演算器 4 1 と同じ役割である。

ステップ S 1 3 で出力電力  $P_{out}$  を  $P_{out\_1}$  に代入して、前回の制御周期の出力電力を記憶する。

ステップ S 2 からステップ S 1 3 を繰り返すことにより、発電機の出力電圧すなわち昇降圧 DC / DC コンバータの入力電圧  $V_{in}$  は、 $V_{pmax}$  に収束する。

#### 【0036】

なお、ゲート信号の生成方法は、図 5 で説明したように  $V_{buck}$  と  $V_{boost}$  をキヤリア波  $V_c$  と比較して生成する。

#### 【0037】

以上説明したように、実施の形態 1 に係る昇降圧 DC / DC コンバータは、入力に交流発電機と整流器を接続し、出力にバッテリと負荷を接続し、出力電圧と出力電圧の目標値を比較して、降圧回路と昇圧回路の両方のオンデューティを算出でき、両方同時にスイッチングすることがない関数を生成し、この関数から降圧回路のオンデューティと昇圧回路のオンデューティを算出する制御回路を備えているため、降圧動作と昇圧動作の切り替えの判定が不要となり、降圧動作と昇圧動作の境界で出力電圧が不安定にならないという効果を有する。

#### 【0038】

また、実施の形態 1 に係る昇降圧 DC / DC コンバータでは、昇降圧 DC / DC コンバータの入力電圧すなわち交流発電機の出力電圧を、0 V から出力電圧の目標値の 1 / 2 まで、交流発電機の  $V_{pmax}$  より低い電圧で動作させて、所望の直流電圧を負荷に供給することができる。

さらに、実施の形態 1 に係る昇降圧 DC / DC コンバータは、装置の小型化および変換効率の向上による省エネルギー効果がある。

#### 【0039】

#### 実施の形態 2 .

実施の形態 1 では、昇降圧 DC / DC コンバータの入力電圧を、交流発電機の  $V_{pmax}$  より低い電圧で動作させていたが、本実施の形態 2 では、昇降圧 DC / DC コンバータの入力電圧を  $V_{pmax}$  より高い電圧で動作させることを想定しており、また、交流発電機の出力電圧を昇降圧 DC / DC コンバータの出力電圧の 2 分の 1 から交流発電機の開放電圧まで調節できるようにしたものである。

#### 【0040】

以下、本願発明の実施の形態 2 の構成、動作について、昇降圧 DC / DC コンバータ 101 の制御回路 107 のブロック図である図 10 に基づいて、実施の形態 1 との差異を中心説明する。

実施の形態 2 に係る昇降圧 DC / DC コンバータ 101 のシステム構成図は、実施の形態 1 に係る昇降圧 DC / DC コンバータのシステム構成図である図 3 と同じであるため、図は省略している。また、交流発電機の出力電圧 - 出力電力特性図も図 4 と同じである。

図 10 において、実施の形態 1 の昇降圧 DC / DC コンバータの制御回路 7 のブロック図である図 5 と同一あるいは相当部分には、同一の符号を付している。

なお、実施の形態 1 と区別するため、実施の形態 2 では、昇降圧 DC / DC コンバータ 101 および制御回路 107 とする。

#### 【0041】

図 10 の制御回路 107 のブロック図において、図 5 のブロック図との差異は減算器 5 1、降圧デューティリミッタ 5 2 および昇圧デューティリミッタ 5 3 である。

減算器 5 1 において、電圧出力  $V_{out}$  と出力電圧の目標値  $V_{out*}$  の正負が逆になっている。こうすることで、実施の形態 1 では、電圧出力  $V_{out}$  が出力電圧の目標値  $V_{out*}$  に達していない場合、昇降圧 DC / DC コンバータの入力電圧を上げていたが、

10

20

30

40

50

実施の形態 2 では、昇降圧 DC / DC コンバータの入力電圧を下げるよう制御電圧  $V_{p_i}$  は変動する。

次に、降圧デューティリミッタ 52、昇圧デューティリミッタ 53 の値が実施の形態 1 とは異なる。降圧デューティリミッタ 52 の最大値を  $V_o$  にすることで、交流発電機 8 の出力電圧を交流発電機 8 の開放電圧  $V_o$  まで調節することができる。

また、昇圧デューティリミッタ 53 の最小値を  $V_{out*}/2$  にすることで、交流発電機 8 の出力電圧を昇降圧 DC / DC コンバータ 101 の出力電圧の 2 分の 1 より小さくならないよう制御できる。

#### 【0042】

以上説明したように、実施の形態 2 に係る昇降圧 DC / DC コンバータでは、入力に交流発電機と整流器を接続し、出力にバッテリと負荷を接続し、出力電圧と出力電圧の目標値を比較して、降圧回路と昇圧回路の両方のオンデューティを算出でき、両方同時にスイッチングする事がない関数を生成し、この関数から降圧回路のオンデューティと昇圧回路のオンデューティを算出する制御回路を備えているため、降圧動作と昇圧動作の切り替えの判定が不要となり、降圧動作と昇圧動作の境界で出力電圧が不安定にならないという効果を有する。

#### 【0043】

また、実施の形態 2 に係る昇降圧 DC / DC コンバータでは、昇降圧 DC / DC コンバータの入力電圧すなわち交流発電機の出力電圧を、交流発電機の出力電圧を出力電圧の目標値の 1/2 から交流発電機の開放電圧  $V_o$  まで交流発電機の  $V_{pmax}$  より高い電圧で動作させて、所望の直流電圧を負荷に供給することができる。

#### 【0044】

実施の形態 3 。

実施の形態 3 は、入力にバッテリを接続し、出力に負荷を接続し、出力電圧と出力電圧の目標値を比較して、降圧回路と昇圧回路の両方のオンデューティを算出でき、両方同時にスイッチングする事がない関数を生成し、この関数から昇圧回路のオンデューティと降圧回路のオンデューティを算出する制御回路を備えた昇降圧 DC / DC コンバータに関するものである。

#### 【0045】

以下、本願発明の実施の形態 3 の構成、動作について、昇降圧 DC / DC コンバータ 201 のシステム構成図である図 11、制御回路 207 のブロック図である図 12 および動作説明図である図 13 に基づいて、実施の形態 1 との差異を中心に説明する。

図 11において、図 3 と同一あるいは相当部分には、同一の符号を付している。また、図 12において、図 5 と同一あるいは相当部分には、同一の符号を付している。

なお、実施の形態 1 と区別するため、実施の形態 3 では、昇降圧 DC / DC コンバータ 201 および制御回路 207 とする。

#### 【0046】

本願発明の実施の形態 3 の昇降圧 DC / DC コンバータ 201 に係るシステム構成について、図 11 に基づいて説明する。

昇降圧 DC / DC コンバータ 201 の主回路の入力側である降圧回路 2 の入力には、蓄電デバイスであるバッテリ 12 が接続されている。昇降圧 DC / DC コンバータ 201 の主回路の出力側である昇圧回路 3 の出力には、負荷 13 が接続されている。

本実施の形態 3 の昇降圧 DC / DC コンバータ 201 に係るシステムは、バッテリ 12 の電圧を出力電圧の目標値  $V_{out*}$  に変換して、負荷 13 に供給するものである。

#### 【0047】

図 12 に、出力電圧を 0V からバッテリの電圧の 2 倍まで調節できる昇降圧 DC / DC コンバータ 201 の制御回路 207 の制御ブロック図を示す。図 5 のブロック図との差異は、降圧デューティリミッタ 61、降圧デューティ演算器 62、昇圧デューティリミッタ 63 および昇圧デューティ演算器 64 である。降圧デューティ演算器 62 と昇圧デューティ演算器 64 の入力電圧の目標値  $V_{in*}$  は、ここではバッテリ 12 の定格電圧値とする

10

20

30

40

50

。 制御電圧  $V_{pi}$  を出力電圧とすると、降圧デューティ演算器 6 2 の計算式は、一般的降圧 DC / DC コンバータのオンデューティと入出力電圧の関係式 ( $V_{buck} = V_{pi} / V_{in}^*$ ) となる。

昇圧デューティ演算器 6 4 の計算式は、一般的昇圧 DC / DC コンバータのオンデューティと入出力電圧の関係式 ( $V_{boost} = 1 - V_{in}^* / V_{pi}$ ) となる。

また、降圧デューティリミッタ 6 1 で制御電圧  $V_{pi}$  の最小値を 0 にすることで、出力電圧を 0 V まで降圧することができる。昇圧デューティリミッタ 6 3 では最大値を  $2V_{in}^*$  にすることで、出力電圧をバッテリ 1 2 の電圧の 2 倍まで昇圧することができる。また、降圧スイッチング素子と昇圧スイッチング素子の両方のオンデューティが 1 となり、バッテリが短絡しないようになっている。

10

#### 【0048】

図 13 に  $V_{in}^*$  が 100 のときの制御電圧  $V_{pi}$  と降圧回路 2 のオンデューティ  $V_{buck}$  および昇圧回路 3 のオンデューティ  $V_{boost}$  の関係を示す。

制御電圧  $V_{pi}$  が 100 より小さいときは、 $V_{boost}$  は 0、 $V_{buck}$  は 0 より大きく、1 より小さい値を取り、降圧動作を行う。制御電圧  $V_{pi}$  が 100 より大きいときは、 $V_{buck}$  は 1、 $V_{boost}$  は 0 より大きく、1 より小さい値を取り、昇圧動作を行う。

なお、 $V_{buck}$  および  $V_{boost}$  は、制御電圧  $V_{pi}$  の取り得る範囲内において同時に 1 とならないため、入力に接続したバッテリ 1 2 を短絡させることはない。

また、制御電圧  $V_{pi}$  が 0 のときは、 $V_{buck}$  および  $V_{boost}$  を両方同時に 0 となり、バッテリ 1 2 からの供給電力を 0 W まで調節できる。

20

#### 【0049】

実施の形態 3 においては、昇降圧 DC / DC コンバータ 201 の入力にバッテリ 1 2 を接続したが、バッテリに限らず電気 2 重層コンデンサなど電圧源であればよい。

昇降圧 DC / DC コンバータについても、降圧するためのスイッチング素子と昇圧するためのスイッチング素子を備え、それらのデューティによって、入出力の比を連続的に変化させることができるものであればよい。

また、スイッチング素子はすべて MOSFET を使用しているが、IGBT や SiC の MOSFET など他のスイッチング素子でもよい。

30

#### 【0050】

以上説明したように、実施の形態 3 に係る昇降圧 DC / DC コンバータでは、入力にバッテリを接続し、出力に負荷を接続し、出力電圧と出力電圧の目標値を比較して、降圧回路と昇圧回路の両方のオンデューティを算出でき、両方同時にスイッチングすることができない関数を生成し、この関数から降圧回路のオンデューティと昇圧回路のオンデューティを算出する制御回路を備えているため、降圧動作と昇圧動作の切り替えの判定が不要となり、降圧動作と昇圧動作の境界で出力電圧が不安定にならないという効果を有する。

#### 【0051】

また、実施の形態 3 に係る昇降圧 DC / DC コンバータでは、昇降圧 DC / DC コンバータの入力電圧すなわちバッテリの電圧を、0 V からバッテリの電圧の 2 倍の範囲内で希望の直流電圧に変換して負荷に供給することができる。

40

#### 【0052】

実施の形態 4 。

実施の形態 3 の昇降圧 DC / DC コンバータは、出力電圧を 0 V からバッテリの電圧の 2 倍まで調節できるようにしていたが、本実施の形態 4 では、バッテリの電圧を降圧する場合、5 分の 1 以下の降圧比にはならないにしたものである。すなわち、昇降圧 DC / DC コンバータの出力電圧を、バッテリの電圧の 1 / 5 から 2 倍に変換して、負荷に供給するようにしたものである。

#### 【0053】

以下、本願発明の実施の形態 4 の構成、動作について、昇降圧 DC / DC コンバータ 301 の制御回路 307 のブロック図である図 14 に基づいて、実施の形態 3 との差異を中

50

心に説明する。

実施の形態4に係る昇降圧DC/DCコンバータ301のシステム構成図は、実施の形態3に係る昇降圧DC/DCコンバータ201のシステム構成図である図11と同じであるため、図は省略している。

図14において、実施の形態3の昇降圧DC/DCコンバータ201の制御回路207のブロック図である図11と同一あるいは相当部分には、同一の符号を付している。

なお、実施の形態3と区別するため、実施の形態4では、昇降圧DC/DCコンバータ301および制御回路307とする。

#### 【0054】

図14に、出力電圧をバッテリの電圧の5分の1からバッテリの電圧の2倍まで調節できる昇降圧DC/DCコンバータの制御回路の制御ブロック図を示す。図11のブロック図との差異は、降圧デューティリミッタ71の値である。

降圧デューティリミッタ71の最小値を $V_{in}^* / 5$ とすることで、昇降圧DC/DCコンバータ301の出力電圧をバッテリ12の電圧の5分の1より低くならないように制御できる。

#### 【0055】

以上説明したように、実施の形態4に係る昇降圧DC/DCコンバータでは、入力にバッテリを接続し、出力に負荷を接続し、出力電圧と出力電圧の目標値を比較して、降圧回路と昇圧回路の両方のオンデューティを算出でき、両方同時にスイッチングするがないう関数を生成し、この関数から降圧回路のオンデューティと昇圧回路のオンデューティを算出する制御回路を備えているため、降圧動作と昇圧動作の切り替えの判定が不要となり、降圧動作と昇圧動作の境界で出力電圧が不安定にならないという効果を有する。

#### 【0056】

また、実施の形態4に係る昇降圧DC/DCコンバータでは、昇降圧DC/DCコンバータの入力電圧すなわちバッテリの電圧を、バッテリの電圧の1/5から2倍の範囲内で所望の直流電圧に変換して負荷に供給することができる。

#### 【0057】

なお、本発明は、その発明の範囲内において、各実施の形態を自由に組み合わせたり、各実施の形態を適宜、変形、省略したりすることが可能である。

#### 【符号の説明】

#### 【0058】

- 1, 101, 201, 301 昇降圧DC/DCコンバータ、2 降圧回路、
- 3 昇圧回路、4 平滑リアクトル、5 入力平滑コンデンサ、
- 6 出力平滑コンデンサ、7, 107, 207, 307 制御回路、8 交流発電機、
- 9 整流器、10, 12 バッテリ、11, 13 負荷、21 比較器、
- 22 第1制御器、23 第2制御器、24 第3制御器、
- 26 降圧スイッチング素子、27 降圧同期整流スイッチング素子、
- 28 昇圧同期整流スイッチング素子、29 昇圧スイッチング素子、
- 31, 51 減算器、32 PI制御器、
- 33, 52, 61, 71 降圧デューティリミッタ、
- 34, 62 降圧デューティ演算器、35, 42 キャリア波発生器、
- 36, 43 コンパレータ、37, 44 遅延器、38, 45 AND回路、
- 39, 46 NOR回路、40, 53, 63 昇圧デューティリミッタ、
- 41, 64 昇圧デューティ演算器。

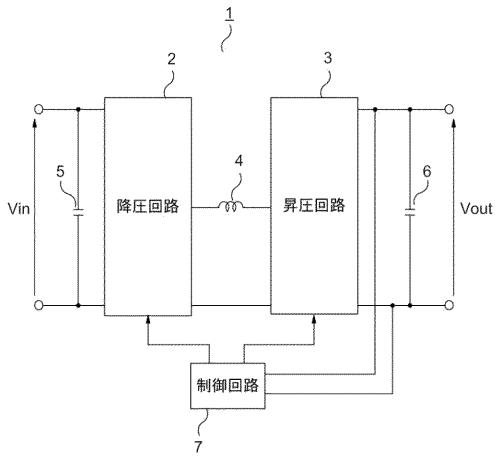
10

20

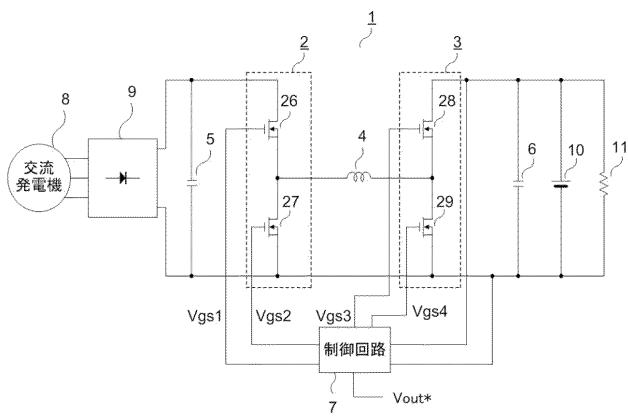
30

40

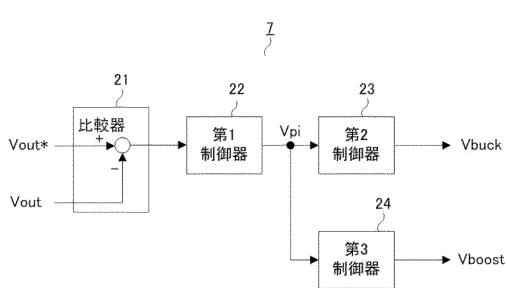
【図1】



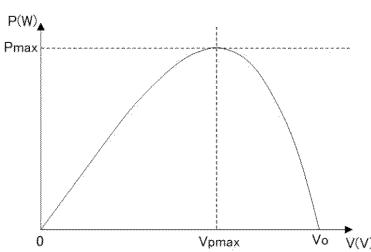
【図3】



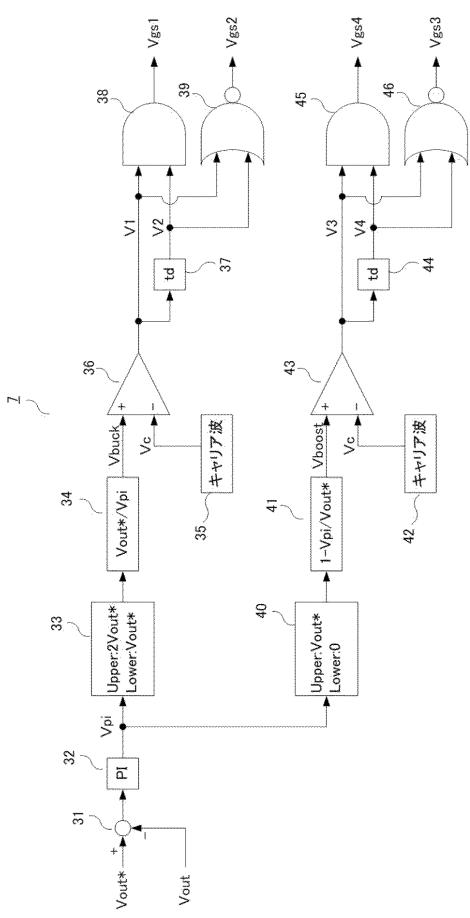
【図2】



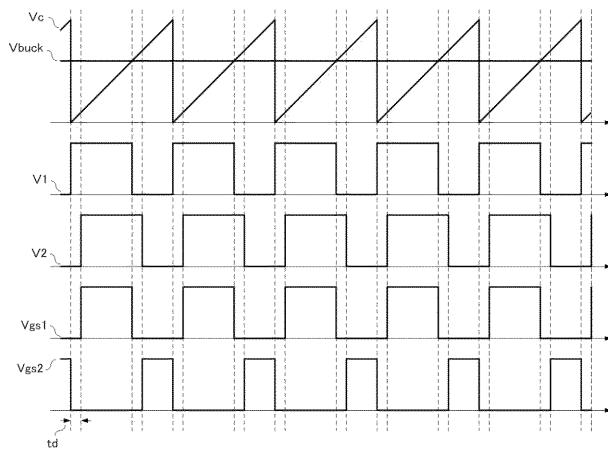
【図4】



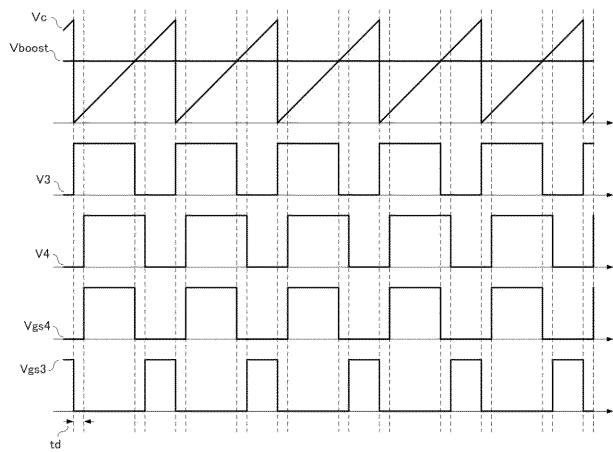
【図5】



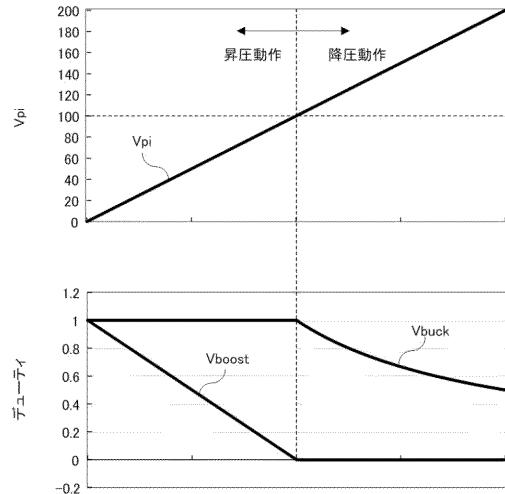
【図6】



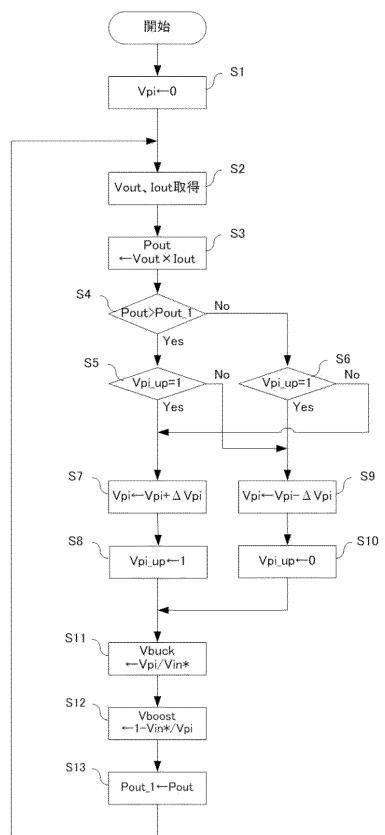
【図7】



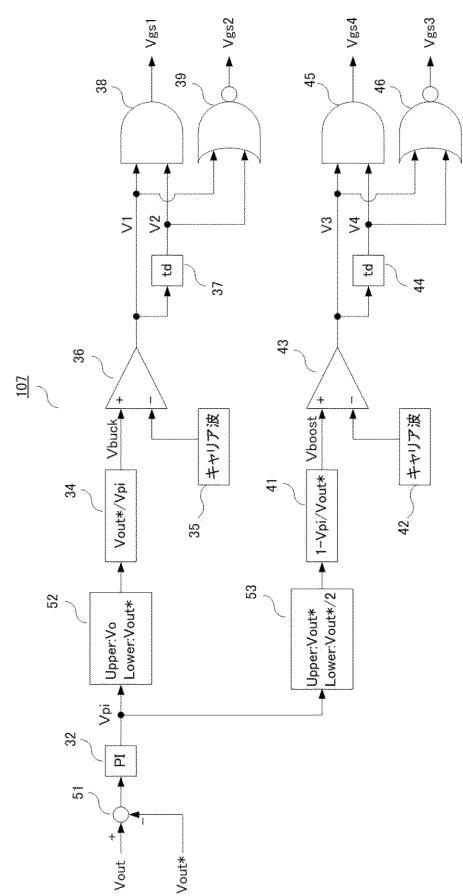
【図8】



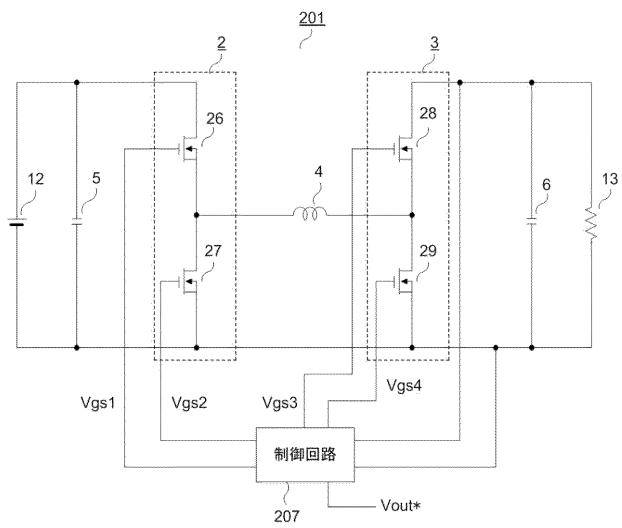
【図9】



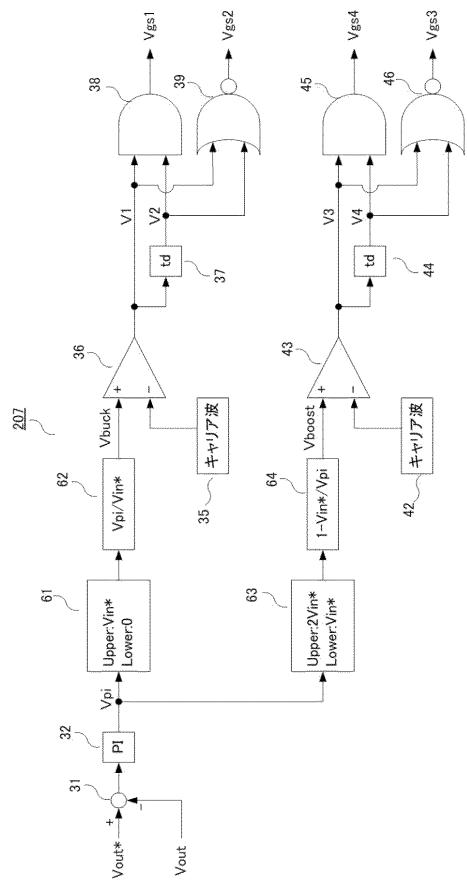
【図10】



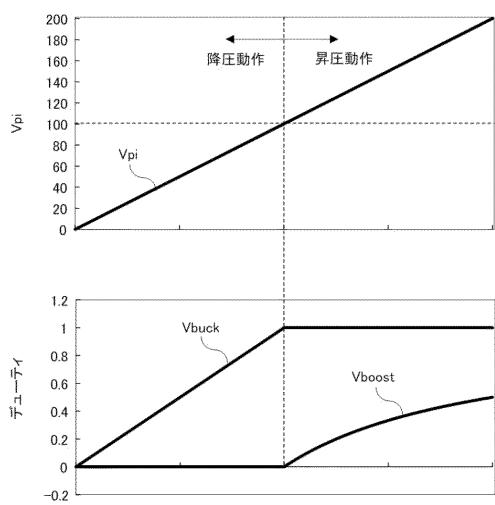
【図 1 1】



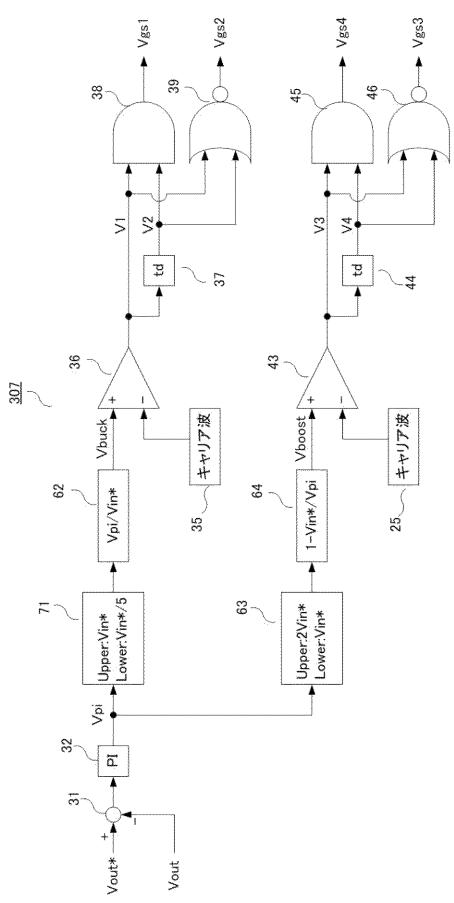
【図 1 2】



【図 1 3】



【図 1 4】



## フロントページの続き

(72)発明者 山田 正樹

東京都千代田区丸の内二丁目 7 番 3 号 三菱電機株式会社内

(72)発明者 原田 茂樹

東京都千代田区丸の内二丁目 7 番 3 号 三菱電機株式会社内

(72)発明者 糸井 直樹

東京都千代田区丸の内二丁目 7 番 3 号 三菱電機株式会社内

F ターム(参考) 5H730 AA04 AS01 BB13 BB14 BB57 BB80 CC02 DD04 EE13 EE57

EE59 FD01 FD11 FD31 FD41 FG05