



(12) 发明专利申请

(10) 申请公布号 CN 105144293 A

(43) 申请公布日 2015. 12. 09

(21) 申请号 201480022547. X

代理人 鄂迅 张昊

(22) 申请日 2014. 03. 12

(51) Int. Cl.

(30) 优先权数据

13/833, 278 2013. 03. 15 US

G11C 5/06(2006. 01)

H01L 23/498(2006. 01)

H01L 25/065(2006. 01)

(85) PCT国际申请进入国家阶段日

2015. 10. 20

H01L 23/13(2006. 01)

H01L 29/40(2006. 01)

(86) PCT国际申请的申请数据

PCT/US2014/024534 2014. 03. 12

H01L 23/31(2006. 01)

(87) PCT国际申请的公布数据

W02014/150918 EN 2014. 09. 25

(71) 申请人 伊文萨思公司

地址 美国加利福尼亚州

(72) 发明人 R·D·克里斯普 W·佐尼 B·哈巴

陈勇

(74) 专利代理机构 北京市金杜律师事务所

11256

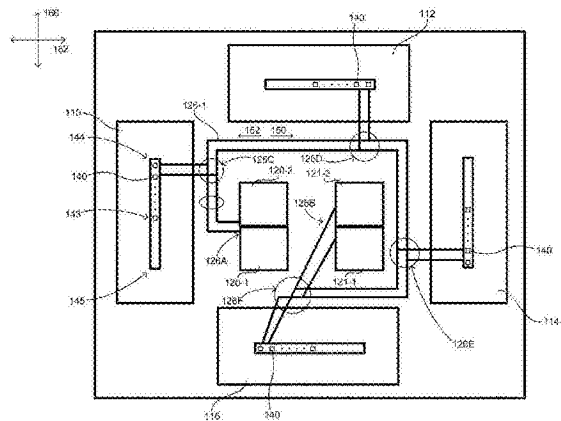
权利要求书3页 说明书12页 附图13页

(54) 发明名称

封装内飞越式信令

(57) 摘要

可以在多芯片微电子封装件(100)中设置封装内飞越式信令,其中该封装件具有位于封装衬底(102)上的地址线(126),其被配置为将地址信息承载到衬底上的具有来自封装件的端子(120)的第一延迟的第一连接区域(126C),并且地址线被配置为将超出第一连接区域(126C)外的地址信息至少承载至具有来自端子(120)的大于第一延迟的第二延迟的第二连接区域(126D)。例如半导体芯片的第一微电子元件(110)的地址输入(140)可以与第一连接区域(126C)处的每条地址线耦合,并且第二微电子元件(112)的地址输入(140)可以与第二连接区域(126D)处的每条地址线耦合。



1. 一种微电子封装件,包括:

封装衬底,具有用于与所述封装件外的部件连接的多个第一端子,所述多个第一端子被配置为承载地址信息;以及

第一微电子元件和第二微电子元件,每个微电子元件均具有面对所述衬底的第一表面的面,每个微电子元件均包括存储器存储阵列,并且每个微电子元件均具有用于接收指定相应微电子元件的存储器存储阵列内的位置的地址信息的地址输入,

所述封装衬底还具有多条地址线,所述多条地址线与所述多个第一端子电连接并且被配置为将地址信息承载到所述衬底上的第一连接区域,所述第一连接区域具有来自所述多个第一端子的第一延迟,所述地址线被配置为将超出所述第一连接区域外的所述地址信息至少承载到所述衬底上的具有来自所述多个第一端子的第二延迟的第二连接区域,其中所述第一微电子元件的地址输入与所述第一连接区域处的多条地址线中的每一条耦合,并且所述第二微电子元件的地址输入与所述第二连接区域处的多条地址线中的每一条耦合,其中所述第二延迟大于所述第一延迟。

2. 根据权利要求 1 所述的微电子封装件,其中所述衬底可具有与所述第一表面相对的第二表面,其中所述多个第一端子位于所述衬底的所述第二表面处。

3. 根据权利要求 1 所述的微电子封装件,其中所述地址输入和在相应连接区域处与所述地址输入耦合的多条地址线之间的距离小于 2 毫米。

4. 根据权利要求 1 所述的微电子封装件,其中所述封装衬底还包括通过所述多条地址线与所述多个第一端子电耦合的多个第二端子,其中所述多条地址线被配置为朝向所述多个第二端子承载超出所述第二连接区域外的所述地址信息。

5. 一种微电子组件,包括权利要求 4 所述的微电子封装件,还包括部件,所述部件具有与所述微电子封装件的所述多个第一端子连接的多个接触件,并且所述部件包括被配置为驱动所述地址信息的驱动器。

6. 根据权利要求 5 所述的微电子封装件,其中所述多个第二端子被配置为与所述部件的对应第二接触件连接,从而在这种连接的状态下,所述第二接触件将所述第二端子与所述微电子封装件外的对应端接电路耦合。

7. 根据权利要求 4 所述的微电子封装件,其中从所述多个第二端子到所述第二连接区域,在第一电路路径方向上沿所述多条地址线的所述第一延迟与在第二电路路径方向上沿所述多条地址线的第三延迟相同。

8. 根据权利要求 1 所述的微电子封装件,其中所述第一微电子元件的地址输入被设置在第一方向上延伸的行内的位置处,其中所述多条地址线的与所述第一微电子元件相邻的第一部分在所述第一方向上延伸。

9. 根据权利要求 8 所述的微电子封装件,其中所述第一部分的至少一些覆盖所述第一微电子元件的面。

10. 根据权利要求 9 所述的微电子封装件,其中所述多条地址线的部分为所述第一部分,并且所述多条地址线的第二部分朝向所述第一微电子元件的地址输入远离所述第一部分在第二方向上延伸,每个第二部分均具有小于所述微电子元件的宽度的一半的长度。

11. 根据权利要求 10 所述的微电子封装件,其中所述地址输入和在相应连接区域处与所述地址输入耦合的所述第一部分之间的距离小于 2 毫米。

12. 根据权利要求 10 所述的微电子封装件,其中所述第二部分的至少一些部分覆盖所述第一微电子元件和所述第二微电子元件中的给定微电子元件的面,并且所述至少一些部分包括在所述给定微电子元件的面处电连接至给定接触件并与所述多条地址线中的地址线耦合的接合线。

13. 根据权利要求 10 所述的微电子封装件,其中所述第二部分的至少一些部分覆盖所述第一微电子元件和所述第二微电子元件中的给定微电子元件的面,并且所述至少一些部分包括面对所述给定微电子元件的接触件中的相应接触件并与相应接触件接合的导电衬底接触件。

14. 根据权利要求 1 所述的微电子封装件,其中所述第一微电子元件和所述第二微电子元件在平行于所述第一表面的方向上相互隔开。

15. 根据权利要求 14 所述的微电子封装件,其中所述第一微电子元件和所述第二微电子元件中分别设置所述地址输入的面布置在单个平面中。

16. 一种系统,包括根据权利要求 1 所述的微电子封装件,还包括具有与所述多个第一端子电连接的接触件的电路板。

17. 根据权利要求 16 所述的系统,还包括一个壳体,所述微电子封装件或所述电路板中的至少一个。

18. 根据权利要求 1 所述的微电子封装件,还包括第三微电子元件和第四微电子元件,每个微电子元件均包括存储器存储阵列并具有用于接收指定相应微电子元件的存储器存储阵列内的位置的地址信息的地址输入,并且每个微电子元件均具有面对所述第一表面的面,

所述多条地址线还具有第三连接区域和第四连接区域,所述第三连接区域具有来自所述第一端子的第三延迟,所述第四连接区域具有来自所述多个第一端子的第四延迟,其中所述多条地址线被配置为将超出所述第二连接区域外的地址信息承载到第三连接区域并且被配置为将超出所述第三连接区域外的地址信息承载到所述第四连接区域,其中所述第三微电子元件的地址输入与所述第三连接区域处的多条地址线中的每一条耦合,并且所述第四微电子元件的地址输入与所述第四连接区域处的地址线中的每一条耦合,其中所述第四延迟大于所述第三延迟,所述第三延迟大于所述第二延迟,并且所述第二延迟大于所述第一延迟。

19. 根据权利要求 18 所述的微电子封装件,其中所述封装衬底还包括通过地址线与所述多个第一端子电耦合的第二端子,其中所述地址线被配置为朝向所述第二端子承载超出所述第二连接区域外的地址信息。

20. 一种微电子封装件,包括:

封装衬底,具有相对的第一表面和第二表面、多个第一端子和多个第二端子,所述多个第一端子和所述多个第二端子位于所述封装衬底的所述第二表面处并且被配置为承载地址信息并被配置为与超出所述微电子封装件外的部件连接,

其中所述多个第一端子包括其第一组和第二组,并且所述多个第二端子包括其第一组和第二组,所述多个第一端子的第一组与所述多个第二端子的第一组耦合,并且所述第一端子的第二组与所述第二端子的第二组耦合,

第一微电子元件、第二微电子元件、第三微电子元件和第四微电子元件均具有面朝所

述衬底的第一表面的面,每个微电子元件均结合存储器存储阵列,并且每个微电子元件均具有用于接收指定相应微电子元件的存储器存储阵列内的位置的地址信息的地址输入,

其中所述第一微电子元件和所述第二微电子元件与所述多个第一端子的第一组耦合,并且所述第三微电子元件和所述第四微电子元件与所述多个第一端子的第二组耦合。

21. 根据权利要求 20 所述的微电子封装件,其中所述封装衬底其上可具有地址线的第一组和地址线的第二组,其中所述多个第一端子的第一组通过所述地址线的第一组与所述多个第二端子的第一组耦合,并且所述多个第一端子的第二组通过所述地址线的第二组与所述第二端子的第二组耦合。

22. 根据权利要求 21 所述的微电子封装件,其中所述第一微电子元件和所述第二微电子元件被配置为每个时钟循环对地址线的第一组和第二组上的信号采样不多于一次。

23. 根据权利要求 21 所述的微电子封装件,其中所述第一微电子元件和所述第二微电子元件被配置为在至少一些时钟循环期间的每个时钟循环对地址线的第一组和第二组上的信号采样至少两次。

24. 根据权利要求 21 所述的微电子封装件,其中所述地址线延伸到覆盖所述第一微电子元件、所述第二微电子元件、所述第三微电子元件和所述第四微电子元件的面的区域。

25. 根据权利要求 20 所述的微电子封装件,其中所述第一微电子元件、所述第二微电子元件、所述第三微电子元件和所述第四微电子元件在平行于所述第一表面的至少一个方向上相互隔开。

26. 根据权利要求 25 所述的微电子封装件,其中在单个平面中布置分别设置有所述地址输入的所述第一微电子元件、所述第二微电子元件、所述第三微电子元件和所述第四微电子元件的面。

27. 根据权利要求 20 所述的微电子封装件,其中所述地址输入和在相应连接区域处与所述地址输入耦合的地址线之间的距离小于 2 毫米。

28. 一种系统,包括根据权利要求 20 所述的微电子封装件,还包括具有与所述多个第一端子电连接的接触件的电路板。

29. 根据权利要求 28 所述的系统,还包括一个壳体,所述微电子封装件或所述电路板中的至少一个。

封装内飞越式信令

[0001] 相关申请的交叉参考

[0002] 本申请是 2013 年 3 月 15 日提交的名称为 In-package Fly-By Signaling 的美国专利申请第 13/833, 278 号的继续申请, 其内容以引用的方式引入本申请。

技术领域

[0003] 本申请的主题涉及微电子封装, 更具体地, 涉及多芯片微电子存储器封装, 诸如在同一封装件中包括多个动态随机存取存储器 (“DRAM”) 芯片。

背景技术

[0004] 微电子元件通常包括半导体材料 (诸如硅或砷化镓) 的薄板, 统称为裸片或半导体芯片。半导体芯片通常以微电子封装件的形式设置为独立的封装单元。在一些设计中, 半导体芯片被安装至衬底或芯片载体, 衬底或芯片载体又安装在诸如印刷电路板的电路板上。

[0005] 在半导体芯片的第一面 (例如, 前面或前表面) 中制造有源电路装置。为了促进到有源电路装置的电连接, 芯片在同一面上设置有接合焊盘。接合焊盘通常放置在裸片的边缘周围或者对于许多存储芯片来说为裸片中心的规则阵列中。接合焊盘通常由导电金属 (诸如铜或铝) 制成为大约 0.5 微米 (μm) 厚。接合焊盘可以包括单个金属层或多个金属层。接合焊盘的大小将根据芯片的具体类型而变化, 但是通常一侧为几十至几百微米。

[0006] 大小是芯片的任何物理布置的重要考虑因素。随着便携式电子设备的快速发展, 对更紧凑的芯片的物理布置的需求变得越来越强烈。仅通过示例, 通常被称为 “智能手机” 和 “平板电脑” 的设备将蜂窝电话的功能与强力有的数据处理器、存储器和辅助设备 (诸如全球定位系统接收器、电子相机和局域网连接) 以及高分辨率显示器和相关联的图像处理芯片进行集成。这种设备可以在封装件大小的设备中提供诸如全因特网连接、娱乐 (包括全分辨率视频)、导航、电子银行等的功能。复杂的便携式设备要求将多个芯片封装到小空间中。此外, 一些芯片具有许多输入和输出连接, 通称为 “I/O”。这些 I/O 必须与其他芯片的 I/O 互连。形成互连的部件不应该显著增加组件的尺寸。在其他应用中也存在类似需求, 例如诸如在因特网搜索引擎中所使用的数据服务器中。例如, 在复杂芯片之间提供大量短互连的结构可以增加搜索引擎的带宽并降低其功耗。

[0007] 鉴于上述内容, 可以有利地在多芯片存储封装件中组装多个芯片, 尤其是诸如 DRAM 的存储芯片。可以对多芯片存储封装件的结构和功能进行进一步的改进。

发明内容

[0008] 根据本发明一个方面的微电子封装件可以包括: 封装衬底, 具有用于与封装件外的部件连接的多个第一端子, 第一端子被配置为承载地址信息。该封装件可以包括第一和第二微电子元件, 每个微电子元件均具有面对衬底的第一表面的面。每个微电子元件均可包括存储器存储阵列, 并且每个微电子元件均可具有用于接收指定相应微电子元件的存储

器存储阵列内的位置的地址信息的地址输入。

[0009] 封装衬底可具有多条地址线,多条地址线与多个第一端子电连接并且被配置为将地址信息承载到衬底上的第一连接区域,第一连接区域具有来自多个第一端子的第一延迟。地址线可被配置为将超出第一连接区域外的地址信息至少承载到衬底上的具有来自第一端子的第二延迟的第二连接区域。第一微电子元件的地址输入可与第一连接区域处的多条地址线中的每一条耦合,并且第二微电子元件的地址输入可与第二连接区域处的多条地址线中的每一条耦合,并且第二延迟大于第一延迟。

[0010] 在一个或多个示例中,衬底可具有与第一表面相对的第二表面,端子可位于衬底的第二表面处。

[0011] 在一个或多个示例中,地址输入和在相应连接区域处与地址输入耦合的多条地址线之间的距离小于 2 毫米。

[0012] 在一个或多个示例中,封装衬底可进一步包括通过地址线与第一端子电耦合的第二端子。地址线可被配置为朝向第二端子承载超出第二连接区域外的地址信息。

[0013] 在一个或多个示例中,一种微电子组件可包括权利要求 1 所述的微电子封装件以及附加部件,该部件具有与微电子封装件的第一端子连接的多个接触件,并且部件包括被配置为驱动地址信息的驱动器。

[0014] 在一个或多个示例中,第二端子可被配置为与部件的对应第二接触件连接,从而在这种连接的状态下,第二接触件可将第二端子与微电子封装件外的对应端接电路耦合。

[0015] 在一个或多个示例中,从第二端子到第二连接区域,在第一电路路径方向上沿地址线的第一延迟与在第二电路路径方向上沿地址线的第三延迟相同。

[0016] 在一个或多个示例中,第一微电子元件的地址输入可被设置在第一方向上延伸的行内的位置处,其中地址线的与第一微电子元件相邻的第一部分在第一方向上延伸。

[0017] 在一个或多个示例中,第一部分的至少一些可覆盖第一微电子元件的面。

[0018] 在一个或多个示例中,地址线的第二部分朝向第一微电子元件的地址输入远离第一部分在第二方向上延伸。在具体示例在,每个第二部分均可具有小于微电子元件的宽度的一半的长度。

[0019] 在一个或多个示例中,地址输入和在相应连接区域处与每个地址输入耦合的对应第一部分之间的距离小于 2 毫米。

[0020] 在一个或多个示例中,第二部分的至少一些部分覆盖第一和第二微电子元件中的给定微电子元件的面。至少一些部分可包括在给定微电子元件的面处电连接至给定接触件并与多条地址线中的地址线耦合的接合线。

[0021] 在一个或多个示例中,第二部分的至少一些部分覆盖第一和第二微电子元件中的给定微电子元件的面,并且至少一些部分包括面对给定微电子元件的接触件中的相应接触件并与相应接触件接合的导电衬底接触件。

[0022] 在一个或多个示例中,第一微电子元件和第二微电子元件在平行于第一表面的方向上相互隔开。

[0023] 在一个或多个示例中,第一微电子元件和第二微电子元件中分别设置地址输入的面可布置在单个平面中。

[0024] 在一个或多个示例中,一种系统可包括上述微电子封装件,并且可以包括具有与

第一端子电连接的接触件的电路板。

[0025] 在一个或多个示例中,该系统可进一步包括壳体。在一个或多个示例中,微电子封装件或电路板中的至少一个可以安装有或安装至壳体。

[0026] 在一个或多个示例中,微电子封装件可进一步包括第三和第四微电子元件,每个微电子元件均包括存储器存储阵列并具有用于接收指定相应微电子元件的存储器存储阵列内的位置的地址信息的地址输入,并且每个微电子元件均具有面对第一表面的面。

[0027] 在这种情况下,地址线可进一步具有第三连接区域和第四连接区域,第三连接区域具有来自第一端子的第三延迟,第四连接区域具有来自第一端子的第四延迟。地址线可被配置为将超出第二连接区域外的地址信息承载到第三连接区域并且可被配置为将超出第三连接区域外的地址信息承载到第四连接区域。第三微电子元件的地址输入可与第三连接区域处的多条地址线中的每一条耦合,并且第四微电子元件的地址输入可与第四连接区域处的地址线中的每一条耦合。在这种情况下,第四延迟可大于第三延迟,第三延迟可大于第二延迟,并且第二延迟可大于第一延迟。

[0028] 在一个或多个示例中,封装衬底可进一步包括通过地址线与第一端子电耦合的第二端子。在这种情况下,地址线可被配置为朝向第二端子承载超出第二连接区域外的地址信息。

[0029] 根据本发明一个方面的一种微电子封装件可包括:封装衬底,具有相对的第一表面和第二表面、多个第一端子和多个第二端子。第一端子和第二端子可位于封装衬底的第二表面处并且可被配置为承载地址信息并可被配置为与超出微电子封装件外的部件连接。

[0030] 在这种微电子封装件中,第一端子可包括其第一组和第二组,并且第二端子可包括其第一组和第二组。第一端子的第一组可与第二端子的第一组耦合,并且第一端子的第二组可与第二端子的第二组耦合。

[0031] 在这种微电子封装件中,第一、第二、第三和第四微电子元件均可具有面朝衬底的第一表面的面。每个微电子元件均可结合存储器存储阵列,并且每个微电子元件均可具有用于接收指定相应微电子元件的存储器存储阵列内的位置的地址信息的地址输入。在这种微电子封装件中,第一和第二微电子元件可与第一端子的第一组耦合,并且第三和第四微电子元件可与第一端子的第二组耦合。

[0032] 在一个或多个示例中,封装衬底其上可具有地址线的第一组和地址线的第二组,第一端子的第一组可通过地址线的第一组与第二端子的第一组耦合,并且第一端子的第二组可通过地址线的第二组与第二端子的第二组耦合。

[0033] 在一个或多个示例中,第一和第二微电子元件可被配置为每个时钟循环对地址线的第一组和第二组上的信号采样不多于一次。

[0034] 在一个或多个示例中,第一和第二微电子元件可被配置为在至少一些时钟循环期间的每个时钟循环对地址线的第一组和第二组上的信号采样至少两次。

[0035] 在一个或多个示例中,地址线可延伸到覆盖第一、第二、第三和第四微电子元件的面的区域。

[0036] 在一个或多个示例中,第一、第二、第三和第四微电子元件在平行于第一表面的至少一个方向上可相互隔开。

[0037] 在一个或多个示例中,可在单个平面中布置分别设置有地址输入的第一、第二、第

三和第四微电子元件的面。

[0038] 在一个或多个示例中,衬底可具有与第一表面相对的第二表面,并且端子可位于衬底的第二表面处。

[0039] 在一个或多个示例中,地址输入和在相应连接区域处与地址输入耦合的地址线之间的距离小于 2 毫米。

[0040] 在一个或多个示例中,系统可包括上述微电子封装件,并且可进一步包括具有与第一端子电连接的接触件的电路板。可以设置壳体,这种电路板可以安装至壳体或安装在壳体内。

附图说明

[0041] 图 1A 是根据本发明实施例的多芯片微电子封装件的顶视图;

[0042] 图 1B 是在图 1A 中也看到的根据本发明实施例的多芯片微电子封装件的底视图;

[0043] 图 1C 是在图 1A 和图 1B 中也看到的穿过根据本发明实施例的多芯片微电子封装件的图 1B 的线 1C-1C 截取的截面图;

[0044] 图 2 是进一步示出在图 1A 至图 1C 中也看到的根据本发明实施例的多芯片微电子封装件的简化示意框图;

[0045] 图 3 是示出在系统中进一步互连的根据本发明实施例的多芯片微电子封装件的示意性框图;

[0046] 图 4A 和图 4B 是进一步示出根据本发明实施例的多芯片微电子封装件中的地址线和端子的可能布置的平面图;

[0047] 图 5 是示出根据图 1A 至图 1C 和图 2 中看到的本发明实施例的变化的多芯片微电子封装件中的地址线的可能布置的平面图;

[0048] 图 6A、图 6B、图 6C 和图 6D 是进一步示出根据本发明实施例的多芯片微电子封装件中的地址线的具体布置的部分示图;

[0049] 图 7A 是示出布置根据本发明实施例的第一和第二多芯片微电子封装件并与翻盖式结构的电路板互连在一起的实施例的截面图;

[0050] 图 7B 是示出多芯片封装件上的端子的可能布置的示意性平面图,诸如还用于图 7A 中看到的实施例;

[0051] 图 8 是进一步示出在系统中互连的多芯片封装件的翻盖式布置的示意图;

[0052] 图 9 是根据本发明实施例的多芯片封装件的顶视图;

[0053] 图 10 是示出根据图 1A 至图 1C 和图 2 看到的本发明实施例的变化的多芯片微电子封装件中的地址线的可能布置的平面图;以及

[0054] 图 11 是示出根据本发明实施例的系统的示意图。

具体实施方式

[0055] 为了支持增加数据带宽和速度以及在一定程度上减小尺寸的前述目标,多个微电子元件(诸如半导体芯片)可以在一个公共微电子封装件中组装到一起,其中这一个公共微电子封装件具有耦合至多芯片的至少一些公共端子,用于连接封装件与另一部件(诸如电路板或平板)的对应接触件。然而,随着在系统(诸如上面讨论的计算机和其他处理器

使能的设备)中增加操作速度和数据传送率而出现具体的挑战,其中加载到公共信令总线(诸如命令地址总线)会影响信令速度,从而影响系统性能。本文所描述的本发明实施例可以通过减小各个微电子元件和总线之间的连接长度而帮助减少加载到公共信令总线上。在本文提供的示例中,提供多芯片封装件,其中地址信息(通常还有命令信息)在封装件的支持封装件的多个芯片的衬底上延伸的总线上路由,每个芯片都在总线延伸通过的相应连接区域处耦合至总线。

[0056] 在以下描述中,除非另有指定,否则两个以上的导电部件“电连接”、“耦合”、“电耦合”或具有“电连接”等的表述应该表示这两个部件被电耦合以允许交流电流(“AC 电流”)在两个部件之间流动,并且可能允许直流电流(“DC 电流”)在两个部件之间流动,而无论是否存在或不存在被两个部件共享的直接物理连接。

[0057] 根据本发明的实施例设置微电子封装件,其中至少第一和第二微电子元件(例如半导体芯片)在单个微电子封装件(在封装衬底上具有公共地址线的集合)中进行组合。在示例中,封装衬底可以具有聚合物材料或者聚合和无机介电材料的组合(诸如聚酰亚胺、环氧树脂、玻璃环氧材料,例如“FR-4”、BT(胺三嗪)树脂等)的介电元件,或者可以具有其他无机组成材料(诸如玻璃或陶瓷材料)。这种封装衬底通常可以在垂直于芯片表面的方向上具有几十微米到几百微米的厚度。地址线被配置为将在组件的第一端上接收的地址信息沿着公共地址线相对于第一端以第一和第二对应延迟耦合至第一和第二微电子元件。如本文所使用的,本文中导电结构(诸如导电焊盘、迹线、互连件,尤其是地址线)设置在部件(例如,封装衬底或芯片载体、中介片、电路板等)“上”是指这些焊盘、迹线、互连等被互连部件直接机械支持,无论导电结构是否位于互连部件的暴露表面处或者部分地嵌入到暴露表面下方的互连部件内或完全嵌入到互连部件内。

[0058] 示意性地,微电子封装件可以是表面安装技术(“SMT”)封装件,其具有端子(诸如连接盘网格阵列、球栅阵列)或者任何数量的可用于将端子安装至电路板(例如,母板、子系统板、模块电路板或卡、柔性电路板等)的对应接触件的其他适当端子,其中模块电路板可具有用于与系统的使用模块的另一电路板连接的又一些端子。

[0059] 图 1A、图 1B 和图 1C 示出了根据本发明实施例的微电子封装件 100。如图 1A 所示,在一个示例中,微电子封装件包括多个微电子元件 110、112、114 和 116,每一个都是裸半导体芯片。典型地,每个微电子元件都包括存储器存储阵列,并且可以是存储器存储阵列功能是其主要功能的半导体芯片的类型。这种微电子元件的具体示例为或者包括动态随机存取存储器(DRAM)芯片。这种存储器芯片的普通示例是符合用于前代和后代的双数据率(“DDR”)版本 3、版本 4 的 JEDEC 规则以及符合用于前代和后代的低功率双数据率(“LPDDR”)版本 3(以下称为“LPDDR_x”)的 JEDEC 规则、前代和后代的图形双数据率(“GDDR_x”)的 JEDEC 规则的芯片。

[0060] 如图 1A、图 1B 和图 1C 所示,微电子元件在微电子元件的面对衬底的表面 102 的表面处具有接触件 140,接触件 140 通过引线(可以是接合线 142 或者可以与沿着衬底 101 延伸的迹线集成)耦合至衬底的端子 120、121、124。如本文参照部件(例如,中介片、微电子元件、电路板、衬底等)所使用的,导电元件位于部件的表面处的表述表明,当部件不与任何其他元件组装时,导电元件可用于与从部件外部朝向部件表面在垂直于部件表面的方向上移动的理论点接触。因此,位于衬底表面处的端子或其他导电元件:可以从该表面凸

出;可以与该表面平齐;或者可以相对于该表面凹陷到衬底中的孔或凹部中。接触件 140 包括用作微电子元件的地址输入(可以接收地址信息或者地址信息输入至微电子元件)的部分。接触件 140 还包括数据接触件,通过其使得数据被输入或输出至微电子元件,或者更常见地可以通过相同的数据接触件输入和输出。其他接触件 140 可用于将封装件 100 耦合至时钟信号、命令信号(诸如写使能、行地址选通、列地址选通、电源和地)以及可能的多电源和地参考等。

[0061] 在另一示例中,微电子元件可以是半导体芯片,其具有沿着该芯片的表面延伸的与芯片的接触件连接的一个或多个附加布线层。

[0062] 在图 1A、图 1B 和图 1C 中,与第一表面 102 平行的方向在本文被称为“水平”或“横”向,而垂直于第一表面的方向在本文被称为向上或向下方向并且在本文还称为“垂直”方向。本文所指的方向在所指结构的参考坐标系中。因此,这些方向可以相对于常规参考坐标系或重力参考坐标系处于任何定向。一个部件被设置在比另一部件更高高度的“表面上方”的表述表示一个部件相对于另一部件在远离表面的同一垂直方向上具有更大距离。相反,一个部件被设置在比另一部件更小高度的“表面上方”的表述表示一个部件相对于另一部件在远离表面的同一垂直方向上具有更小距离。

[0063] 从图 1B 和图 1C 进一步看出,封装件 100 可在封装件与表面 102 相对面向的表面 104 处具有多个端子 120、121、124。如图 1B 所示,端子可以设置在区域阵列中,其具有在平行于衬底的表面 104 的同一方向(即,在诸如平行于表面 104 的“垂直”封装布局方向 160 或“水平”封装布局方向 162 的方向)上延伸的多于三行的端子。在一个示例中,端子可以是任何类型的端子,诸如前面所述。端子包括第一端子 120 的集合和第二端子 121 的集合,它们可以主要或完全设置在表面 104 的中心区域内,分别位于微电子元件 110、112、114、116 的相邻和最接近边缘 130、132、134、136 之间。在一个示例中,第一和第二端子可以被配置为承载地址信息,例如其可耦合至封装件内的芯片的地址输入并且可用于指定封装件内的两个以上的芯片的存储器存储阵列内的位置。第三端子 124(设置在衬底的中心区域外)可以包括用于在去向或来自微电子元件的一个或多个方向上承载数据的端子,并且可以包括耦合至微电子元件上的各个接触件的端子,诸如用于连接至电源和地。

[0064] 在一个示例中,如图 1C 所示,第一端子和第二端子可以耦合至地址线 126 的集合。如本文所使用的,“地址线的集合”表示衬底上的导电元件(诸如迹线和互连件,它们一起可用于路由来自端子的地址信息)以及衬底上的第一和第二微电子元件耦合至地址线的至少第一和第二连接区域中的每一个的集合。在一些情况下,“地址线”可被配置为将地址信息(另外还有命令信息,诸如前述 WE、RAS 和 CAS 信息或信号)承载到微电子元件的对应接触件 140。图 2 示出了互连的原理,其在为了说明和示出的目的而简化的附图中支持封装内“飞越式(fly-by)”信令结构。在图 1A、图 1B、图 1C 和图 2 的示例中,地址线被配置为将地址信息承载到封装件中的微电子元件 110、112、114、116。进一步参照图 2,在一个示例中,可以配置封装件,使得第一端子 120-1、120-2 分别在第一区域 126A 处耦合至地址线 126-1、126-2,其中第一区域 126A 远离地址线的第二区域 126B(第二端子在此处耦合至地址线 126-1、126-2)。微电子元件耦合至地址线的两个以上的连接区域(示意性表示为 126C、126D、126E 和 126F)设置在第一连接区域之间且超过第二区域。地址线 126 提供沿第一路径方向 150 从第一端子通过两个以上的连接区域的信号路径或者提供沿与第一路径

方向相反的第二路径方向 152 从第二端子通过两个以上的连接区域到达第一端子的信号路径。如以下在附加示例中进一步解释的,地址信息在封装件内流动的方向 150、152 可以取决于微电子封装件与高级组件(诸如电路板上或系统中)中的其他元件组装的结构。

[0065] 在图 1A、图 1B、图 1C 以及图 2 中提供的示例中,地址信息被配置为在第一端子 120 和第二端子 121 之间沿着地址线 126 通过每一个连接区域 126C、26D、126E 和 126F 传送,其中地址信息分别耦合至第一、第二、第三和第四微电子元件。地址信息在封装件内沿地址线的流动沿着地址线的部分,地址线在与一行接触件 140 在每个相应微电子元件上延伸的同一方向上延伸。例如,地址线的包括连接区域 126C 的部分在垂直封装布局方向 160(平行于微电子元件 110 上的一行接触件 140 延伸的方向)上延伸。此外,地址线的包括连接区域 126D 的部分在水平封装布局方向 162(平行于微电子元件 112 上的一行接触件 140 延伸的方向)上延伸。这种关系还适用于地址线的包括连接区域 126E 的部分(其在平行于微电子元件 114 的一行接触件 140 的垂直封装布局方向 160 上延伸),并且还适用于地址线的包括连接区域 126F 的部分(其在平行于微电子元件 116 的一行接触件 140 的水平封装布局方向上延伸)。

[0066] 在图 1B 进一步所示的具体示例中,地址线 126 可以覆盖封装件 100 中的微电子元件 110、112、114、116 中的一个或多个的面。在图 1B 的示例中,至少一些地址线 126 覆盖微电子元件 110、112、114、116,其可以是覆盖每个微电子元件的相同地址线 126,或者在一些情况下,地址线 126 的公共集合中的不同地址线可以覆盖每个微电子元件。

[0067] 参照图 2,每个连接区域 126C、126D、126E 和 126F 可以沿着地址线具有相对于封装件 100 的第一端子 120 确定的相应延迟。如本文所使用的,关于组件内的诸如地址线的信号线(诸如封装件内的封装衬底上),“延迟”是指沿着信号线的电路长度。因此,连接区域 126C 可以具有相对于第一端子 120 的第一延迟,以及连接区域 126D 可以具有相对于第一端子 120 的第二延迟,第二延迟大于第一延迟。可以根据图 1A-图 1C 和图 2 看到的实施例而实现的一种特性为提供封装内飞越式地址信令,其中沿地址线的第一和第二延迟之间的差大于第一端子与第一微电子元件的任何两个地址输入之间的,或者例如第一端子与第二微电子元件的任何两个地址输入之间的沿地址线的延迟。如图 2 进一步所示,每个微电子元件上被配置为接收地址信息的接触件 140 通常被设置在接触件的行的中心 143 以及与微电子元件的外围边缘相邻的行的第一端 144 之间,并且没有设置在中心 143 与第一端 144 相对的行的第二端 145 之间。

[0068] 图 3 提供了包括附加电路元件的系统 176 内的封装件 100 的互连的具体示例。如图 3 所示,驱动器 170-1、170-2(可以作为封装件 100 外的一个或多个部件 175 的元件)可以被配置为将地址信息传输至封装件 100 的相应第一端子 120-1 和 120-2。在具体示例中,驱动器 170-1 和 170-2 可以是作为或者包括微处理器或微控制器的部件 175 的元件,驱动器 170-1 和 170-2 被配置为分别在封装件外的部件上沿着相应路径 172-1 和 172-2 将地址信息驱动至第一端子 120-1 和 120-2。如上所述,该地址信息可在第一端子 120-1 和 120-2 处接收,然后被封装件 100 的相应地址线 126-1 和 126-2 承载至微电子元件 110、112、114、116(参见图 1A-图 1C 和图 2)。

[0069] 如图 3 进一步所示,封装件 100 的第二端子 121-1 和 121-2 与相应的地址线 126-1 和 126-2 耦合。如安装在系统 176 中,第二端子 121-1 和 121-2 可以与封装件 100 外的相

应端接电路 178-1 和 178-2 耦合。示意性地,端接电路可以包括相应的端子电阻器或电阻电路 177-1、177-2,它们耦合至参考电位 179-1、179-2(每一个都可以是系统的电源或地参考)的相应源或者例如被配置为施加电源或参考电位的电路。其他端接电路布置也可能包括在根据该实施例预期的范围内,并且所有这些端接电路布置都认为是可应用的,除非另有明确指定。因此,在图 3 所示的这种布置中,地址信息可以通过封装件 100 外的驱动器 170-1、170-2 驱动至相应的第一端子 120-1 和 120-2,然后耦合至封装衬底上的地址线 126-1、126-2,其中地址信息随后被顺次路由至封装件 100 的每个相应连接区域,例如路由至连接区域 126C(图 2),然后路由至连接区域 126D,然后路由至连接区域 126E 以及然后路由至连接区域 126F,在连接区域处地址信息耦合至相应的微电子元件(例如,微电子元件 110、112、114 和 116)。在图 3 所示实施例中,在到达连接区域 126F 之后,地址信息分别在第二端子 121-1 和 122-2 以及耦合至第二端子的端接电路 178-1 和 178-2 处离开封装件 100,提供用于封装件 100 的相应地址线 126-1 和 126-2 的端子以减少或消除地址信息中不想要的反射在与主电路路径方向 150(地址信息被配置在封装件 100 内流动的方向)相反的电路路径方向 152 上传播。

[0070] 图 4A 示出了微电子封装件 100 内的地址线的可能布置。如图所示,可以通过匹配封装衬底上的迹线和其他导体的长度来控制沿着每条地址线 126 到连接区域(诸如连接区域 126C)的延迟。在这种配置中,可以基于为微电子封装件的操作所选的循环时间来在可接受的容限内控制任何接触件 140(图 2)之间的最大相对延迟(其是每个微电子元件的地址输入)。因此,在一个示例中,在一个这种接触件 140 与其另一个接触件 140 处接收的地址信息之间的在一个微电子元件的接触件 140 处看到的最大相对延迟可以是微电子封装件 100 被配置为以最大额定可用速度操作的一个时钟循环的一半的一小部分。在这些条件下,在一个微电子元件的接触件 140 处到达的地址信息的这种容限内的相对延迟可以在本文被称为“无延迟”。在图 4A 所示的具体示例中,如上所述,从“a”到“b”顺次布置的八条地址线的集合在其上以第一连接区域 126C 开始,然后顺次到连接区域 126D、126E 和 126F 路由地址信息。如表示图 4A 的简化版本的图 4B 所示(示出被称为线“126-1”的单个地址线),从称为“120a”的第一端子到称为“121a”的第二端子的地址线的电路路径可以沿垂直和水平封装布局方向 160、162 中的每一个具有迹线长度,其在封装件的每条地址线 126(图 4A)之间是相对均匀的。通过跟随通过连接区域 126C、126D 等的图 4A 所示地址线 126 的示例性电路路径,可以看出每条地址线(例如地址线 126-1)可以在垂直封装布局方向 160 和水平封装布局方向 162 上延伸。

[0071] 因此,通过图 4B 所示地址线 126-1 和图 4A 所示每一条其他地址线 126 之间的比较,可以看出每条地址线的每个部分都可以在垂直和水平封装布局方向 160、162(图 2)上偏移,作为帮助从第一端子到第二端子沿着地址线提供相同电路路径长度的一种方式。

[0072] 可以以各种方式来设置地址线 126 和每个微电子元件 110、112、114、116 之前的电互连。由于封装衬底上的地址线 126 表示向封装件的每个微电子元件 110、112、114、116 提供地址信息的总线,所以有利地减小了地址线上的负载。具体地,有利地减少了远离地址线 126 延伸的接头(stub)(诸如将地址线耦合至每个微电子元件上的接触件 140)的长度。如参照图 1B 所讨论的,减小接头长度的一种方式,对于一些或所有地址线 126 来说覆盖微电子元件的设置接触件 140 的表面。

[0073] 参照图 5,减小接头长度的另一种方式为,在地址线 126 中插入突出端 (jog),使得相应地址线的第二部分在朝向接触件 140 远离与其耦合的第一部分(例如地址线的部分 226-1)的方向上延伸,使得耦合第二部分和接触件 140 的接头的长度变短。如图 5 所示,即使当地址线 126 的第一部分 226-1 在平行于最近的微电子元件的接触件 140 的行的方向 160 上延伸时,该部分也可以不覆盖微电子元件的表面。第二部分 226-2A 在第一部分和与其耦合的接触件 140 之间的方向上延伸,以及另一第二部分 226-2B 在与其耦合的接触件 140 与耦合部分 226-2B 的地址线的第一部分 226-1B 之间的方向上延伸。

[0074] 图 6A、图 6B、图 6C 和图 6D 示出了可以减小地址线和微电子元件的接触件之间的接头长度的结构的又一示例。因此,图 6A 示出了在地址线 26 之间具有长度 47 的接头 46,其中长度 47 小于与接头 46 耦合的微电子元件 110 的宽度 W 的一半。然而,图 6A 中地址信息向接触件 140 的流动从地址线 26 开始,然后通过接头 46 到达接触件 140。图 6B 示出了接头 48 的长度 49 可以通过在地址线中插入突出端 50、51(在地址线的第一部分 52A、52B 与接触件 140 之间的方向上延伸)而显著减小的示例。突出端 50、51 可以表示封装件上的迹线或其他布线,地址信息通过其在封装件的地址总线的方向上被路由。

[0075] 在这种情况下,地址信息的流动为通过第一部分 52A、通过第二部分 50 和 51,然后沿着第一部分 52B。接头 48 短于接头 46,并且可以不太导电,使得与图 6A 所示的接头相比,图 6B 中的接头 48 向地址线 26 提供较少的负载。在图 6C 所示的又一示例中,可以通过在地址线中具有突出端 53、54(每一个都在衬底的表面处耦合至接合焊盘 55)来进一步减小接头长度,这种接合焊盘 55 通过接合线(例如单条接合线 56)又与微电子元件的对应接触件 140 耦合。在图 6D 所示的又一示例中,可以通过在地址线中具有突出端 63、64(每一个都在衬底的表面处耦合至相应的接合焊盘 57、58)来进一步减小接头长度,每个这种接合焊盘 57、58 又通过接合线 59 与微电子元件的对应接触件 140 耦合,使得具有形成包括突出端 63、64 以及接合焊盘 57、58 的地址线的一部分的两条接合线。

[0076] 通过如图 6A、图 6B、图 6C 或图 6D 所示和讨论的地址信息的路由,可以看出,可以减小地址输入和相应地址线之间的距离。在具体示例中,图 6A 至图 6C 的示例中的接头长度可以减小为小于一毫米,并且在一些情况下小于 0.5 毫米,或者甚至小于 0.1 毫米。还可以假设用作地址输入的微电子元件的接触件与地址线的相应第一部分(例如,诸如部分 26 的第一部分(图 6A),或者类似定位的第一部分 52A、52B(图 6B)等)之间的距离可以在一些情况下减小到小于 1 毫米,或者在其他示例中减小到小于 0.5 毫米或小于 0.1 毫米。

[0077] 图 7A 示出了根据本发明实施例的封装件 200 以及电路板 202 的具体互连布置,每个封装件 200 都例如根据上面参照图 1A 至图 1C、图 2、图 4A-4B、图 5 以及图 6A 至图 6D 描述的本发明的一个或多个实施例。图 7A 中看到的布置可以称为“翻盖式”布置,因为覆盖电路板 202 的相对侧的封装件 200 与电路板 202 的表面 204 的相同区域或近似相同的区域对齐,使得图 7A 中看到的上封装件 200 的第一端子 220 的集合(具有到板 202 的连接“A”)与图 7A 中看到的下封装件 200 的对应第二端子 221(示出具有到板 202 的连接“B”)对齐。类似地,图 7A 中的上封装件 200 的第二端子 221 的集合(具有到板 202 的连接“B”)与图 7A 中的下封装件 200 的对应第一端子 220(示出具有到板 202 的连接“A”)对齐。

[0078] 图 7B 还示出了封装件 200 的表面处的端子的可能“取球(ballout)”结构,其可以有利地用于图 7A 中看到的封装件的翻盖式布置。如图所示,第一端子 220 的集合可以

包括被配置为接收地址信息的端子,例如具有分配 A0 至 A15 和 BA0 至 BA2。第一端子还可以被配置为接收其他信息(诸如被配置为对地址信息进行采样的时钟(CK))和用于输入至微电子元件的命令(诸如写使能(WE)、行地址选通(RAS)、列地址选通(CAS)和可能的参考电位(诸如 VDD 等))。第二端子 221 可以被配置为承载与第一端子相同的所有信息。如图 7B 所示,第一端子 220 的信号分配可以与第二端子 221 的信号分配镜像对称,使得例如具有信号分配 A10 的第一端子 220 的位置与对应第二端子 221(可以具有相同的信号分配“A10”)关于理论轴 232 对称。图 7B 中所示的这些信号分配(诸如“A10”)对应于微电子元件(例如微电子元件 110、112、114、116)的接触件处的信号指定,而无论封装件的外表面处的端子是否给出不同的名称。

[0079] 图 7B 还示出了位于外封装表面处的第三端子 224 的布置,其被配置为承载除地址信息或上述命令 WE、RAS、CAS 和采样时钟 CK 之外的信息。例如,如图 7B 所示,一些或所有第三端子 224 还可以在垂直封装布局方向上相对于第四端子 225 关于理论轴 232 显示出镜像对称,并且一些或所有的第五端子 225 的组可以在水平封装布局方向上相对于第六端子 227 关于第二理论轴 234 显示出镜像对称。

[0080] 在图 8 中进一步示意性示出了系统 208 内的封装件 200、200' 的翻盖式互连布置。如图所示,驱动器 270 被配置为将地址线 272 上的地址信息驱动至图 8 所示上封装件 200 的与其耦合的表示为“A”的第一端子 220,并且还将地址线 272 上的地址信息驱动至图 8 所示下封装件 200' 的与其耦合的表示为“B”的第二端子 221。一旦在上封装件 200 的这些端子 220 以及下封装件的端子 221 处接收到地址信息,地址信息就可以沿着上封装件 200 内的方向 150 上的地址线流动以及沿着下封装件 200' 中的方向 152 上的地址线流动,以穿过耦合至每个封装件中的微电子元件的每个连接区域。在这种情况下,下封装件 200' 中地址信息的流动从第二端子(由第二端子 221 表示)通过耦合至微电子元件 116 的连接区域 226F,然后通过耦合至微电子元件 114 的连接区域 226E,然后通过耦合至微电子元件 112 的连接区域 226D,然后通过耦合至微电子元件 110 的连接区域 226C。

[0081] 在这种情况下,如果每个对应的封装件被配置为使得沿着从第一端子到第一连接区域的第一电路路径方向上的地址线的第一延迟与在与第一电路路径方向相反的第二电路路径方向上沿着从第二端子到与其相邻的连接区域 126F 的地址线相同,则可以有利地用于翻盖式布置。这种布置还可以适用于从第一端子到第二连接区域 126D 的沿着第一电路路径方向上的地址线的第二延迟,其与从第二端子到连接区域 126E 的沿着第二电路路径方向上的地址线的延迟相同。

[0082] 图 9 示出了上述实施例的变化例,其中封装件 300 可以仅包含两个微电子元件(可以被称为第一和第二微电子元件)。在这种情况下,结构和操作可以与每个上述实施例和变化例中描述的结构和操作相同,除了仅具有分别耦合至第一和第二微电子元件的第一和第二端子集合之间的地址线的第一和第二连接区域之外。封装件内的地址信息的典型流动从接收其的第一端子到地址线耦合至第一微电子元件 310 的第一连接区域,然后从第一连接区域到地址线耦合至第二微电子元件 312 的第二连接区域,然后到封装件 300 的第二端子。

[0083] 图 10 示出了根据上面参照图 1A 至图 1C 和图 2 描述的实施例的特定变化例的实施例。在该实施例中,每个微电子元件都可以是(比上述示例)利用更少数量的地址输入

(用于接收需要在这种微电子元件内执行存储位置的地址信息)的类型。因此,微电子元件 410、412、414 和 416 可以是 LPDDR_x 类型,其中这种微电子元件被配置为以操作期间对于至少一些时钟循环的每个时钟循环的至少两次的速率接收其上采样的多路复用地址信息或多路复用地址和命令信息。这不同于其他类型的存储器(诸如 DDR_x),其地址信息和命令信息通常以每个时钟循环一次的速率来采样。根据这种布置,这些具体类型的微电子元件 410、412、414、416 可需要仅与可设置在封装衬底上的一些地址线耦合。因此,在图 10 所示的布置中,微电子元件 410 和 412 与地址线 426A 的第一集合耦合,并且微电子元件 414 与地址线 426B 的第二集合耦合。

[0084] 在又一其他变化例中,封装件中的微电子元件其上可以包括再分布结构,诸如用于将微电子元件的接触件再分布至第二位置作为例如可用于线接合的接合焊盘。

[0085] 在又一其他变化例中,上文描述的任何封装件都可以实施为“晶圆级封装件”、“晶圆工艺封装件”等。在这种示例中,地址线可以为导电迹线,例如镀或蚀刻金属迹线或者设置在封装件的介电层(其覆盖微电子元件的表面,并且介电层金属通孔穿过其可延伸,将迹线与微电子元件的接触件耦合)上的其他导电材料。

[0086] 本文描述的封装件可以包括其他部件,诸如覆盖微电子元件远离封装衬底的表面的成型(overmold)或其他密封材料。可以可选地设置散热器或者还可以将散热器设置为覆盖微电子元件的这种表面。

[0087] 在“晶圆级封装件”中,诸如地址线和其他导电结构的迹线可以延伸到微电子元件的边缘外到达覆盖成型或密封材料的表面的区域,其可以与微电子元件的接触承载面共面。在这种封装件中,在一个示例中,至少一些端子可以覆盖成型或密封材料的表面。在一个示例中,至少一些端子可以覆盖微电子元件的表面。

[0088] 参照图 1C,在又一其他变化例中,其中具有存储器存储阵列的微电子元件 110、112、114 和 116(尤其是半导体芯片)的接触件可以面对衬底的对应接触件(诸如设置在衬底的表面 102 处的接触件)并与其接合。

[0089] 上面讨论的结构提供了非凡的三维互连能力。这些能力可以被任何类型的芯片所使用。上面讨论的结构可用于不同电子系统的结构。例如,根据本发明又一实施例的系统 500 包括上述结构 506 连通其他电部件 508 和 510。在所示示例中,部件 508 是半导体芯片而部件 510 是显示屏,但是可以使用任何其他部件。当然,尽管为了说明的清楚在图 11 中仅示出了两个附加部件,但该系统可以包括任何数量的这种部件。上述结构 506 例如可以为上面讨论的任何微电子封装件。结构 506 以及部件 508 和 510 被安装在公共壳体 501,其以虚线示意性示出并且根据需要相互电互连以形成期望电路。在所示示例性系统中,系统包括电路板 502(诸如柔性印刷电路板),并且电路板包括将部件彼此互连的多个导体 504(在图 11 中仅示出一个)。然而,这仅仅是示例性的;可以使用用于进行电连接的任何适当的结构。壳体 501 被示为例如可在智能手机或其他蜂窝电话、平板电脑或笔记本电脑中使用的类型的便携式壳体,并且屏幕 510 在壳体的表面处露出。在结构 506 包括光敏元件(诸如成像芯片)的情况下,透镜 511 或其他光学设备还可以被设置用于将光路由至结构。再次,图 11 所示的简化系统仅仅是示例性的;可以使用上述结构制造其他系统,包括通常认为是固定结构的系统(诸如桌上型计算机、路由器等)。

[0090] 在不背离本发明的精神的情况下可以使用上述特性的这些和其他变型和组合,应

该通过说明来进行优选实施例的描述而不用于限制权利要求所限定的本发明。

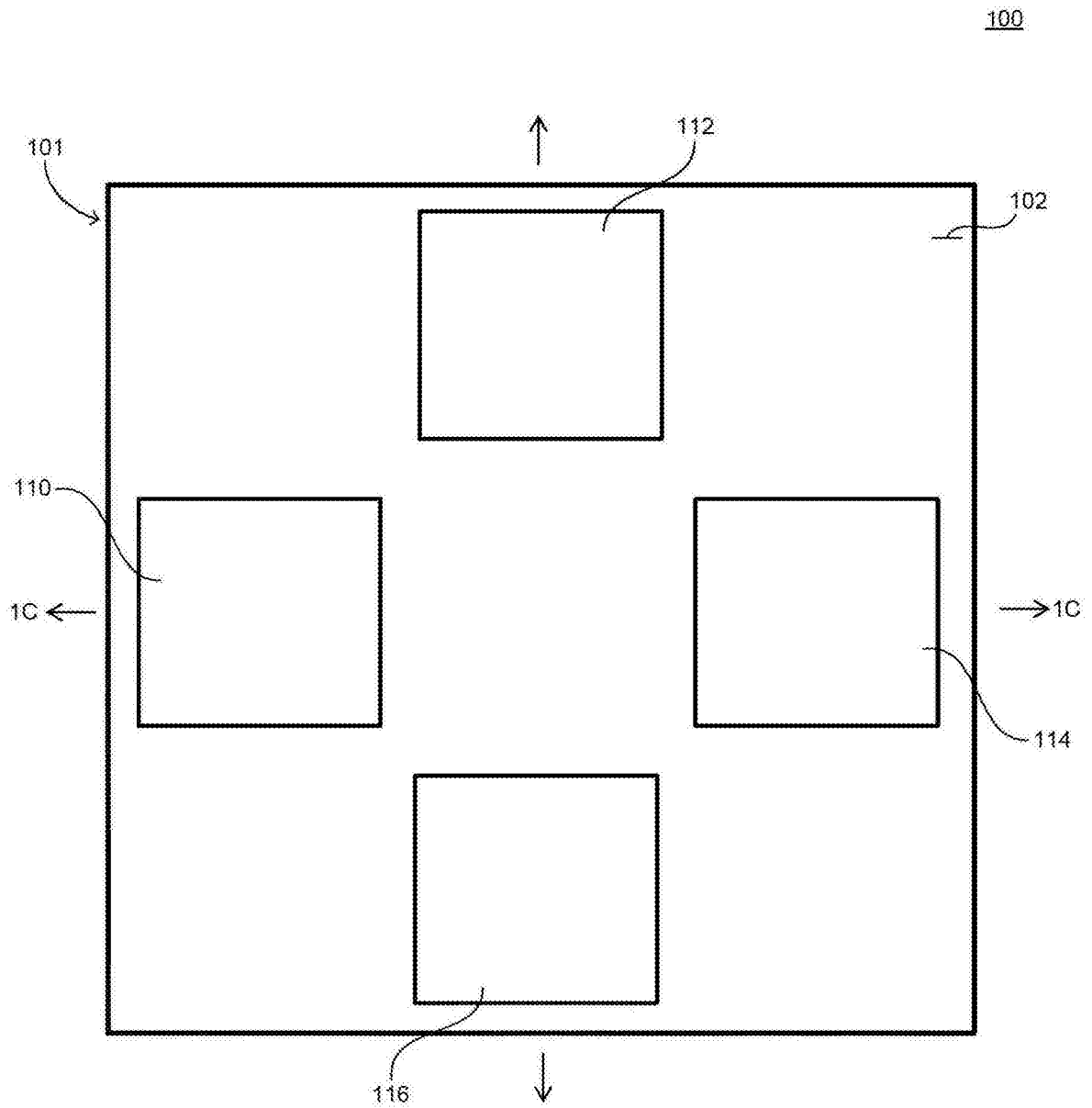


图 1A

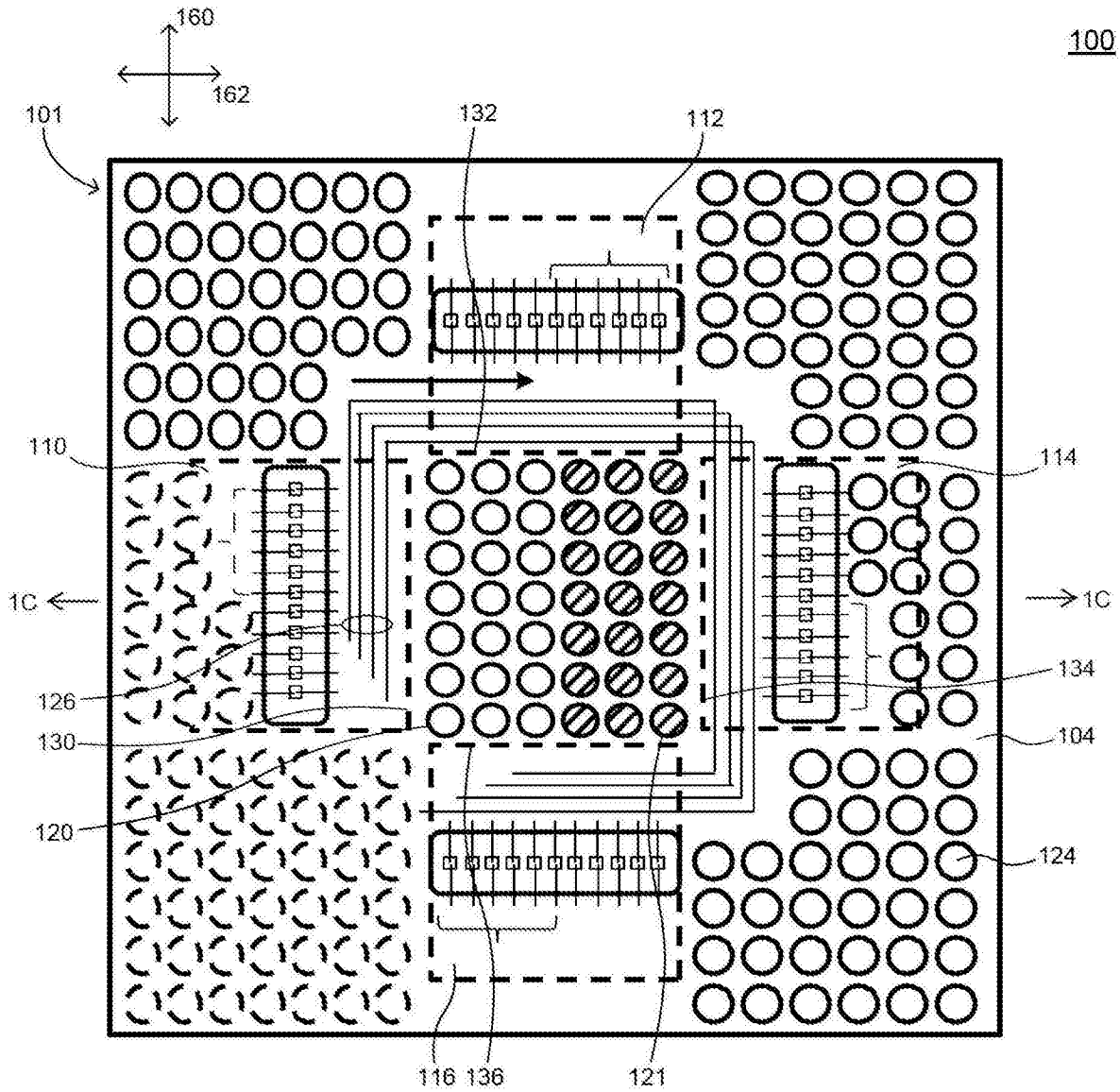


图 1B

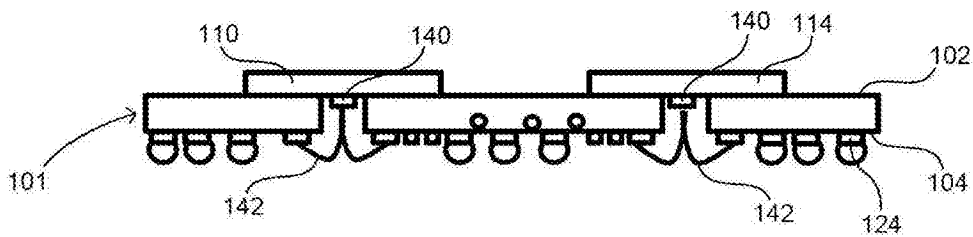


图 1C

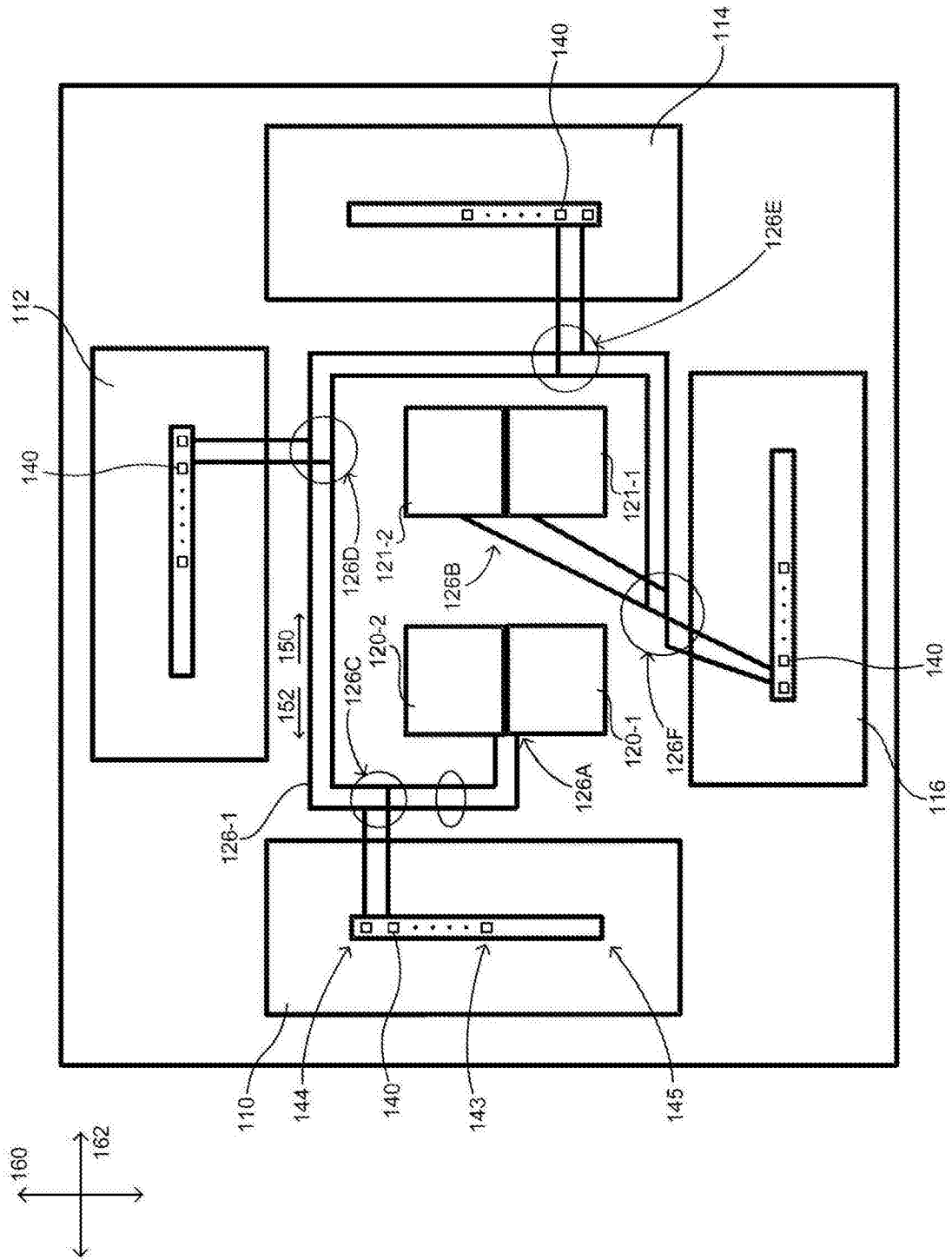


图 2

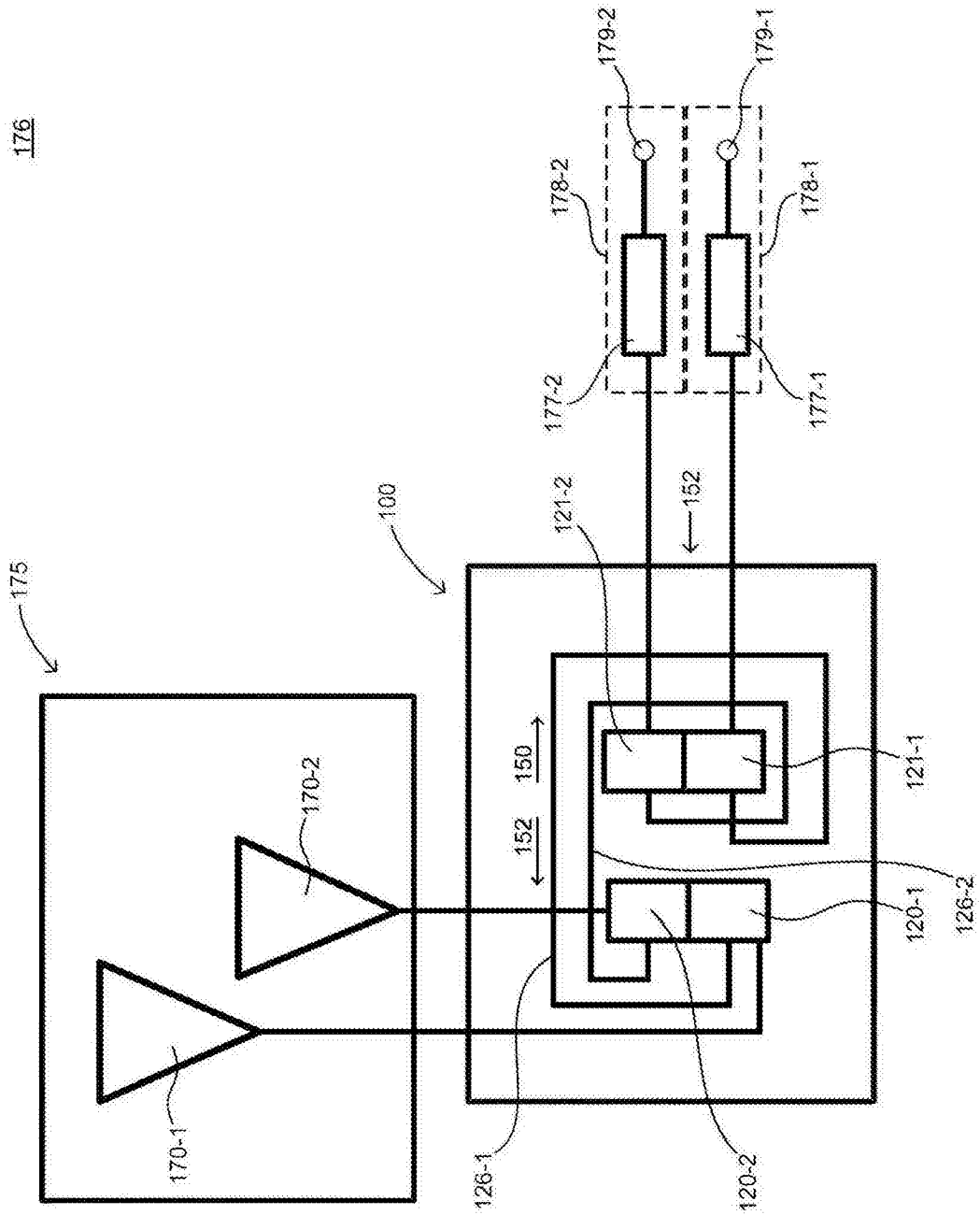


图 3

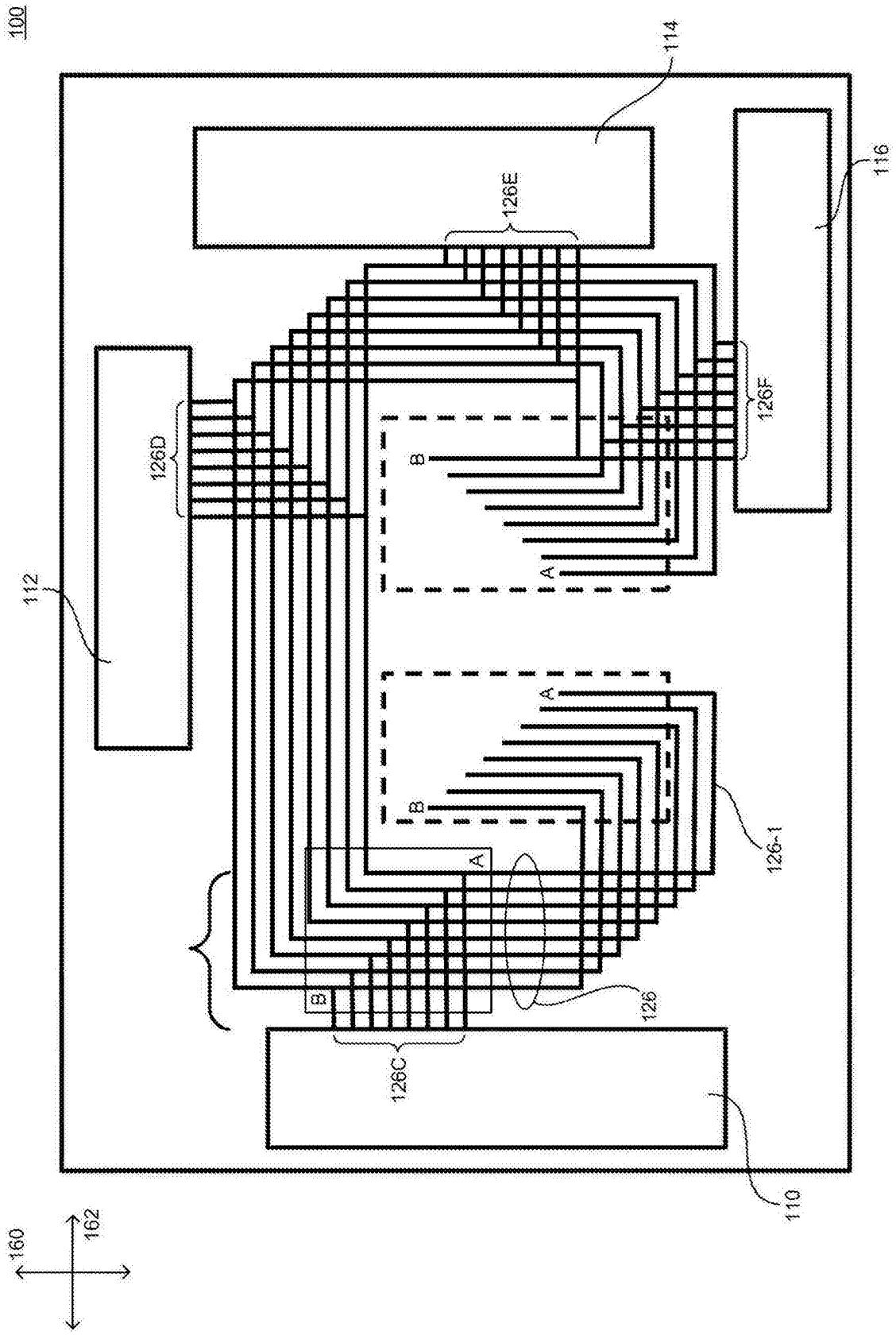


图 4A

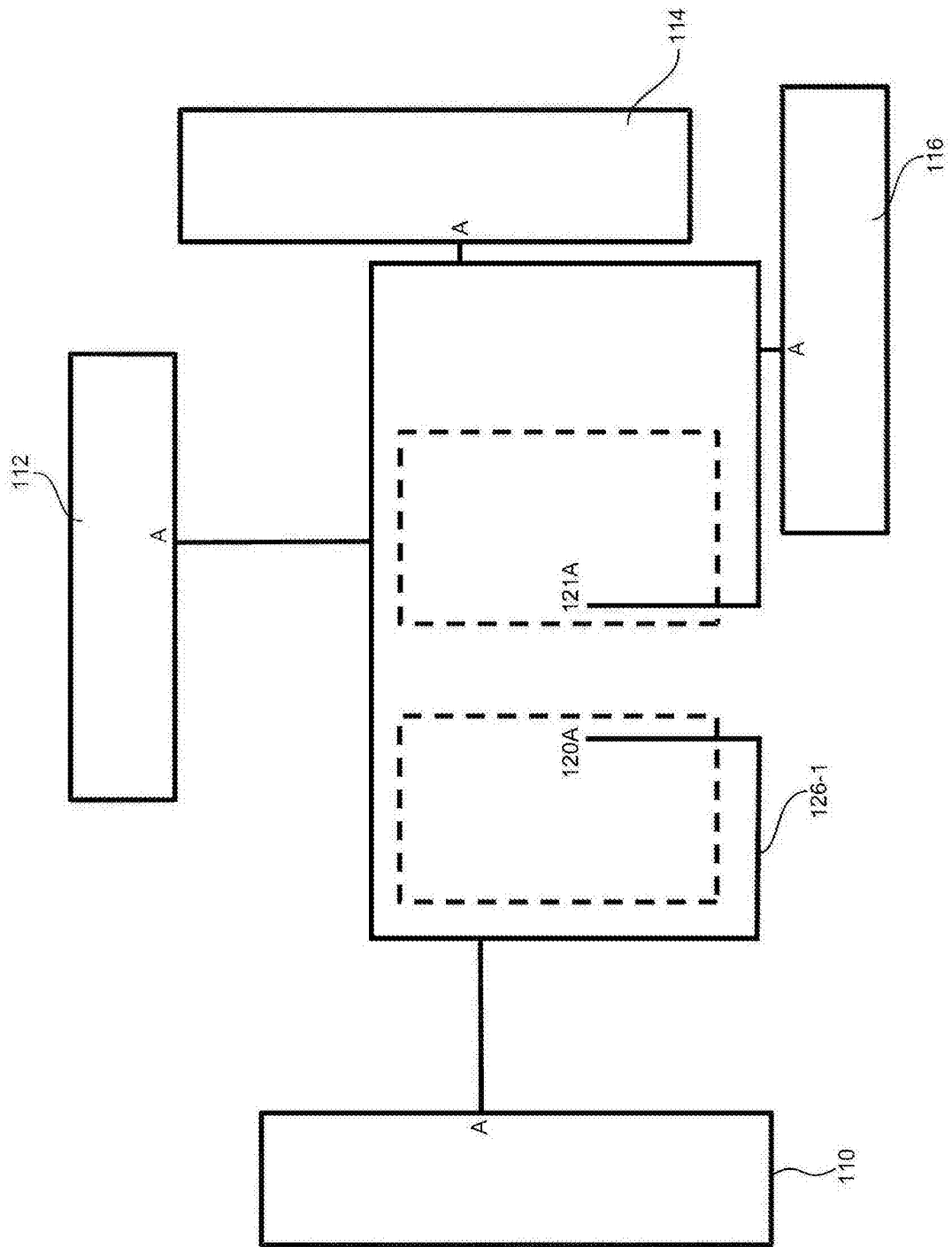


图 4B

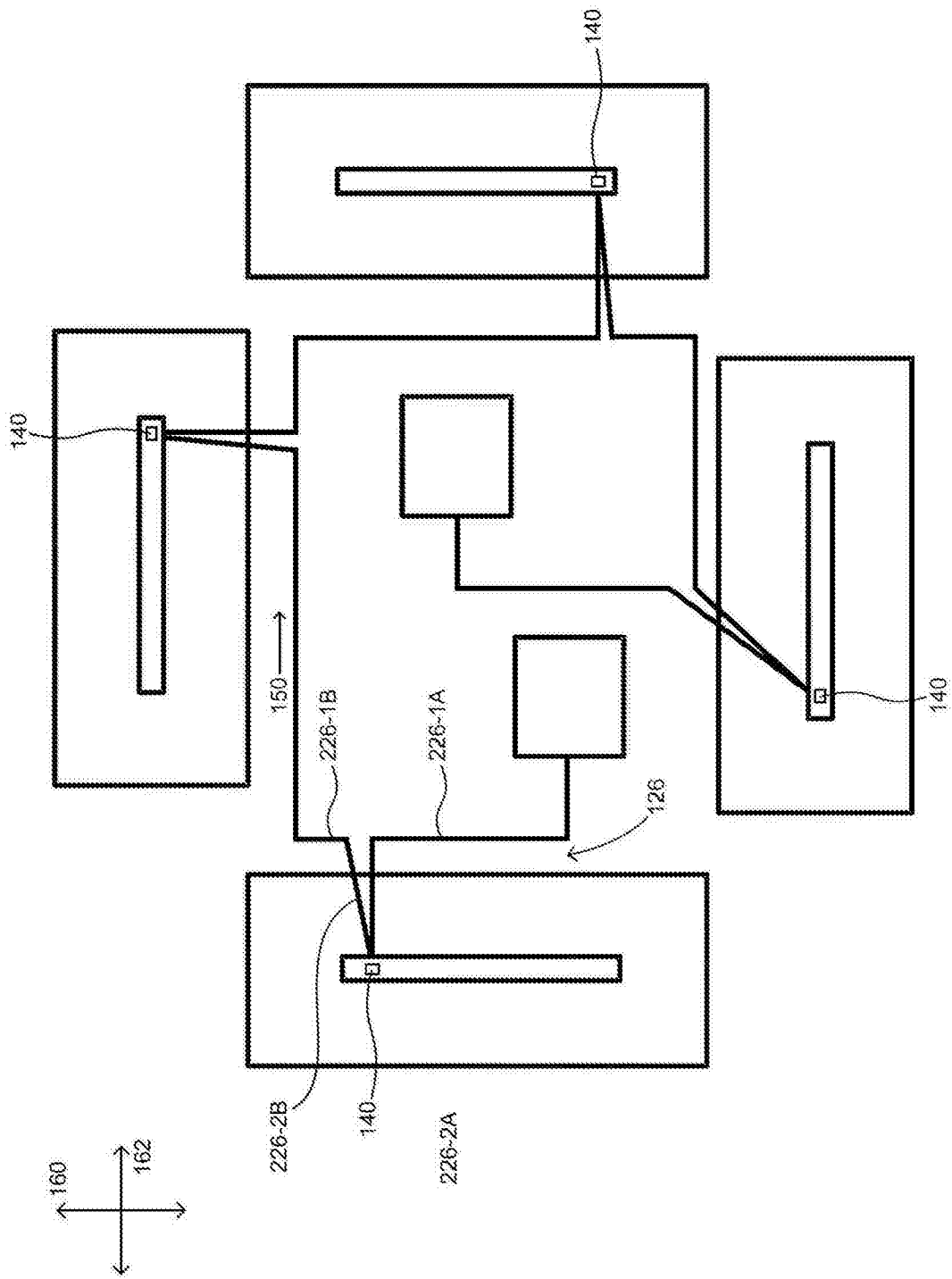


图 5

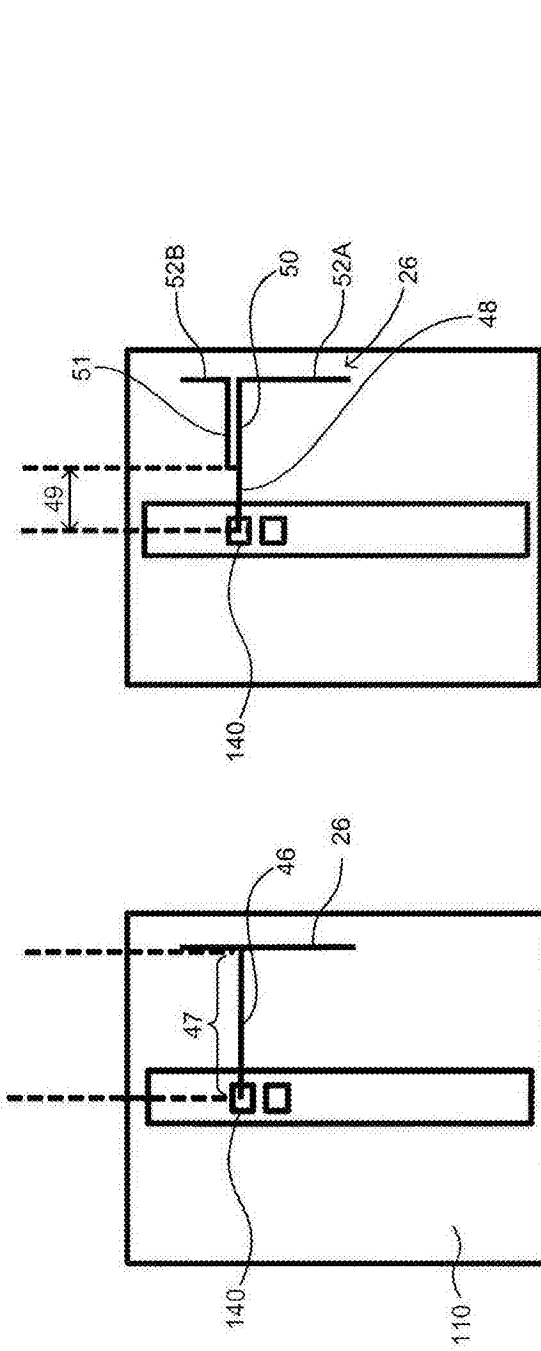


图 6A

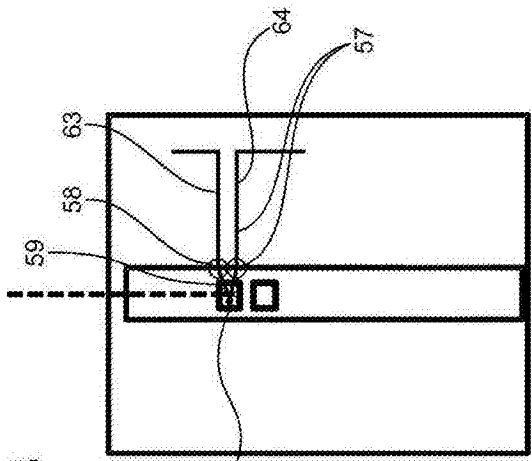


图 6B

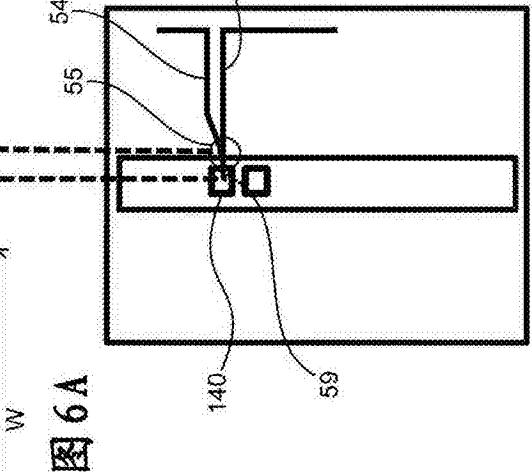


图 6C

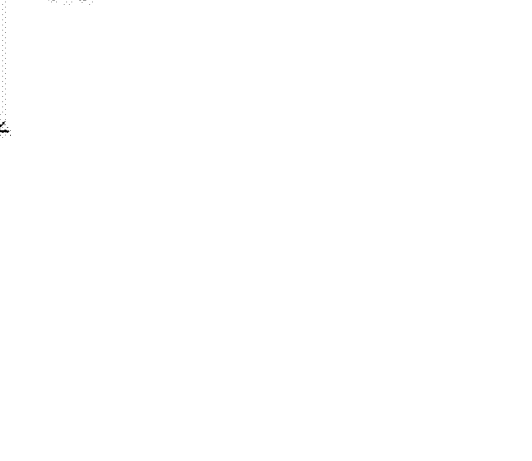


图 6D

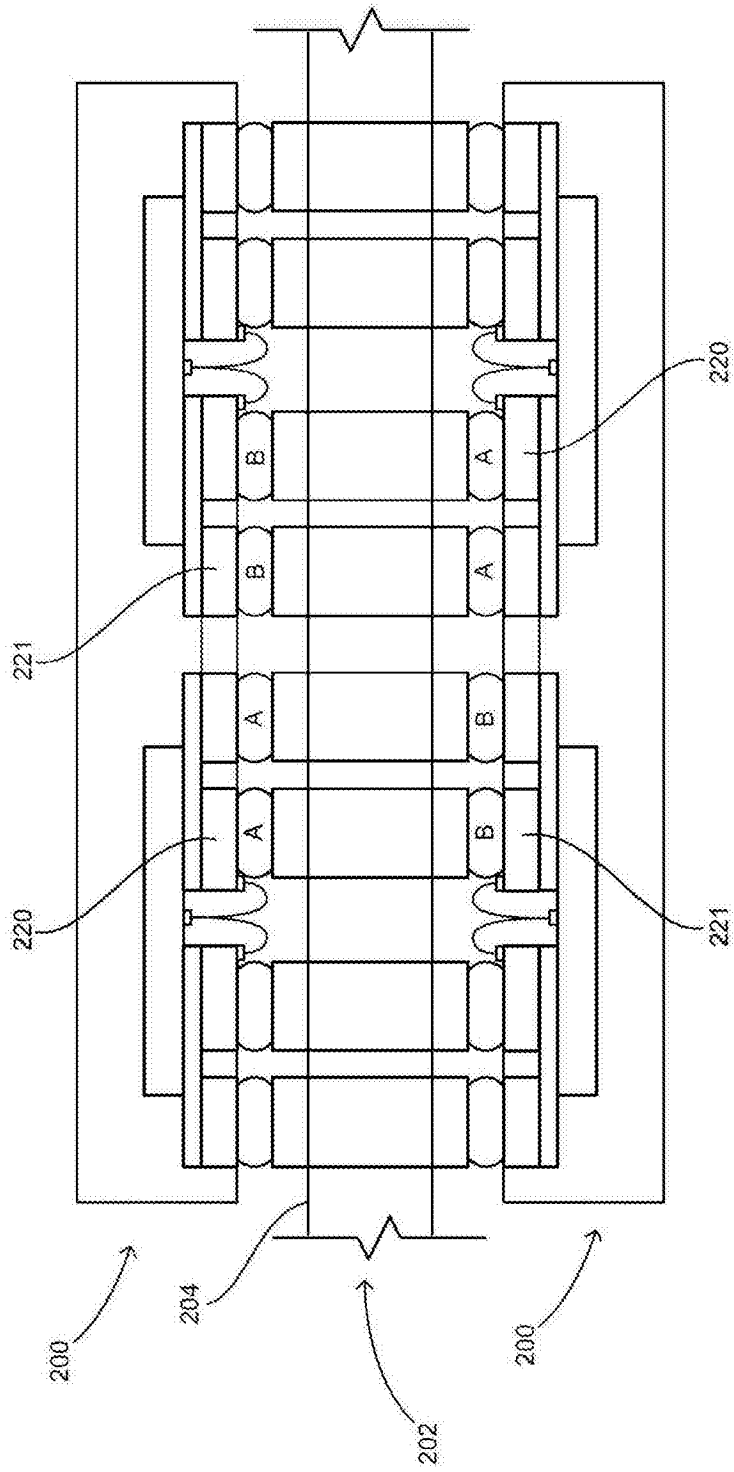


图 7A

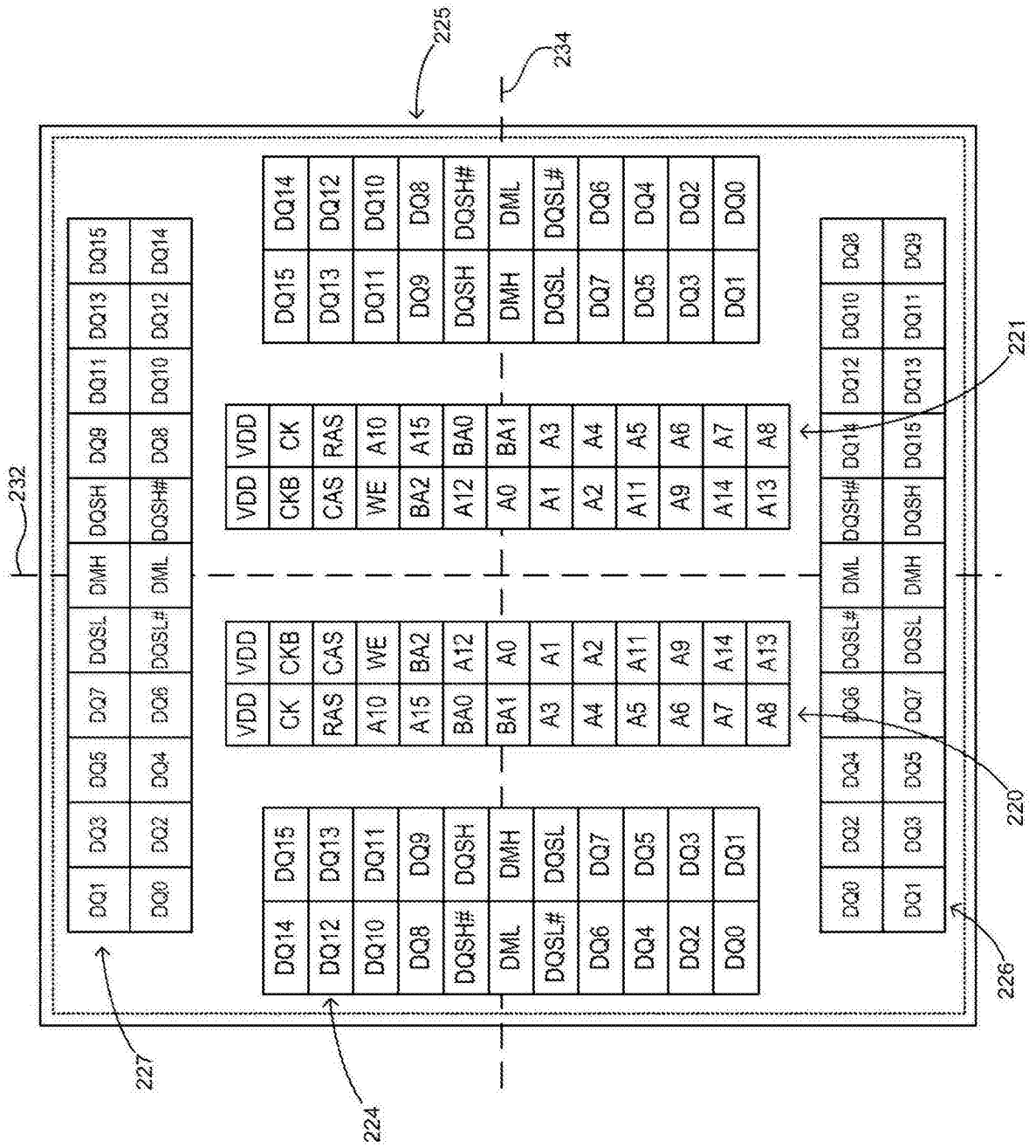


图 7B

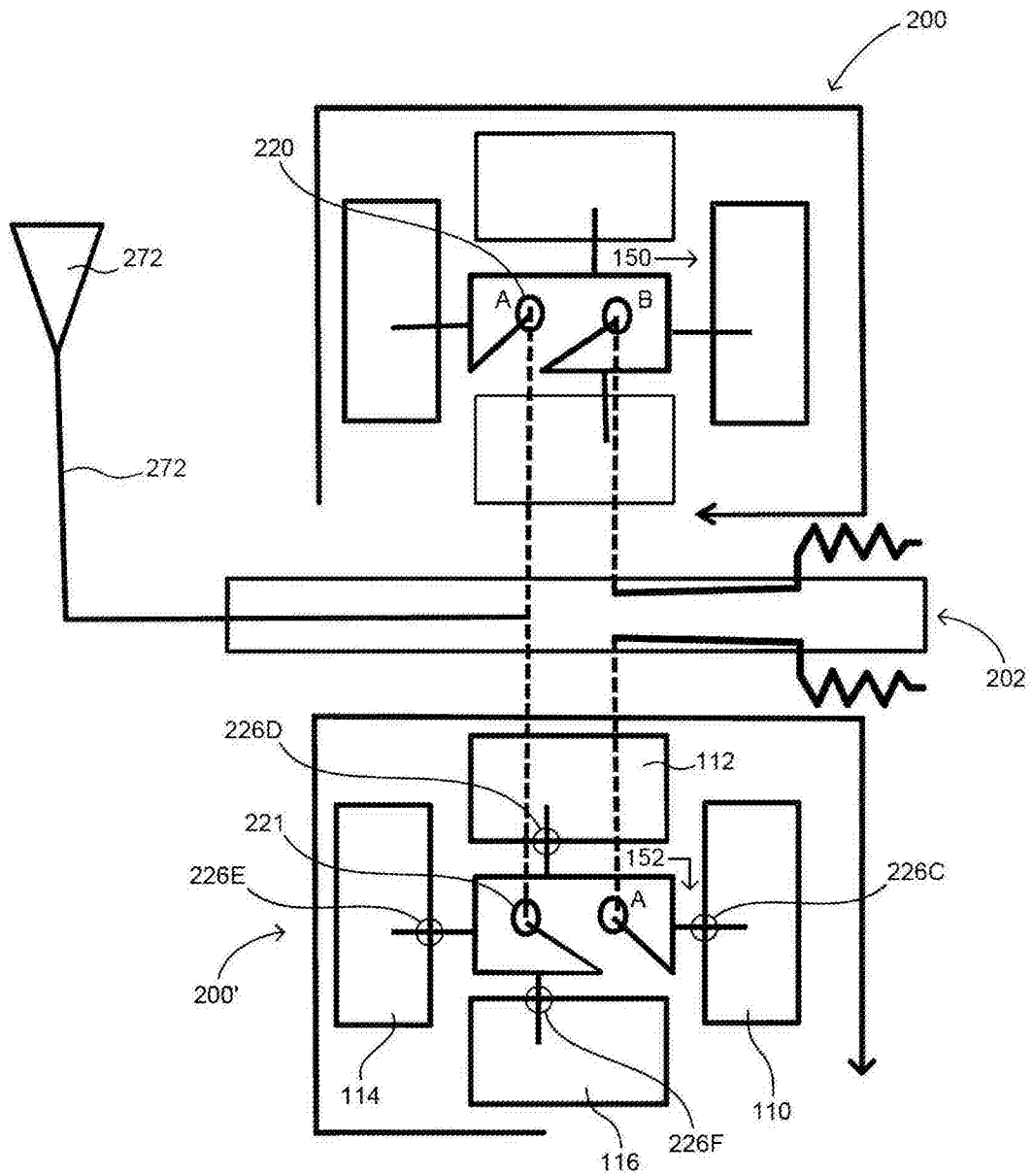


图 8

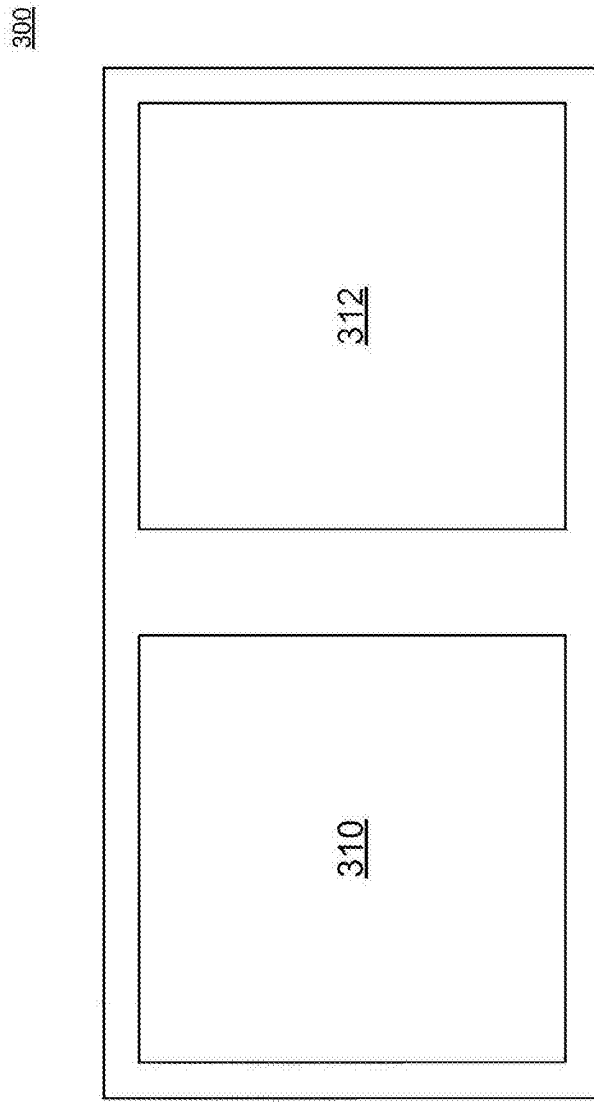


图 9

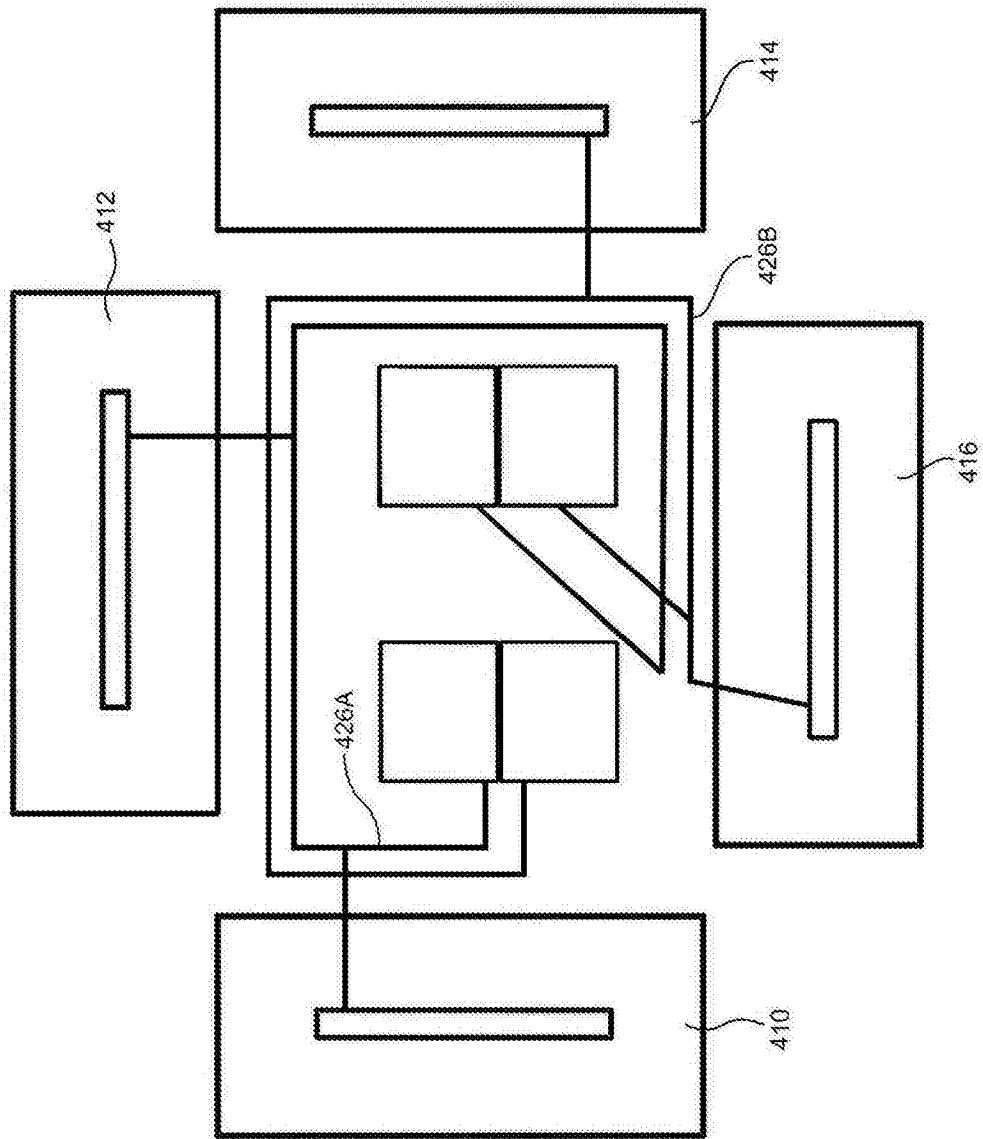


图 10

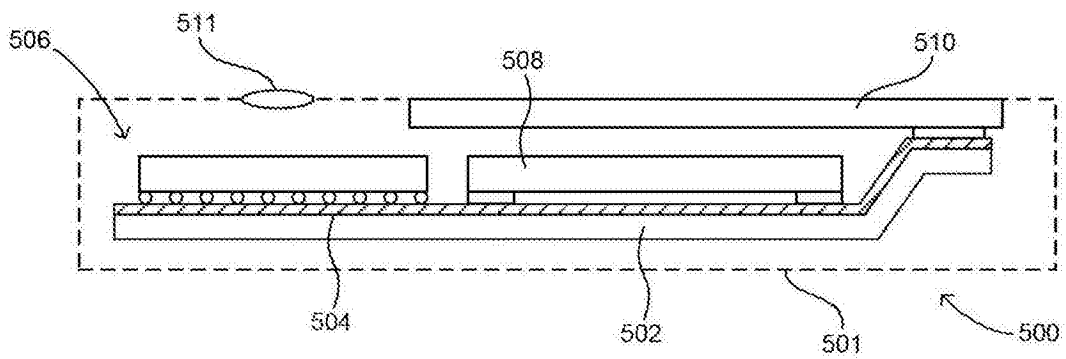


图 11