(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年5月23日(23.05.2024)

WIPO | PCT

(10) 国際公開番号
WO 2024/105497 A1

(51) 国際特許分類:
H10B 12/00 (2023.01) *H10B 41/70* (2023.01)
H01L 29/786 (2006.01)

(21) 国際出願番号： PCT/IB2023/061251

(22) 国際出願日： 2023年11月8日(08.11.2023)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2022-182247 2022年11月15日(15.11.2022) JP

(71) 出願人: 株式会社半導体エネルギー研究所 (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) [JP/JP]; 〒2430036 神奈川県厚木市長谷398 Kanagawa (JP).

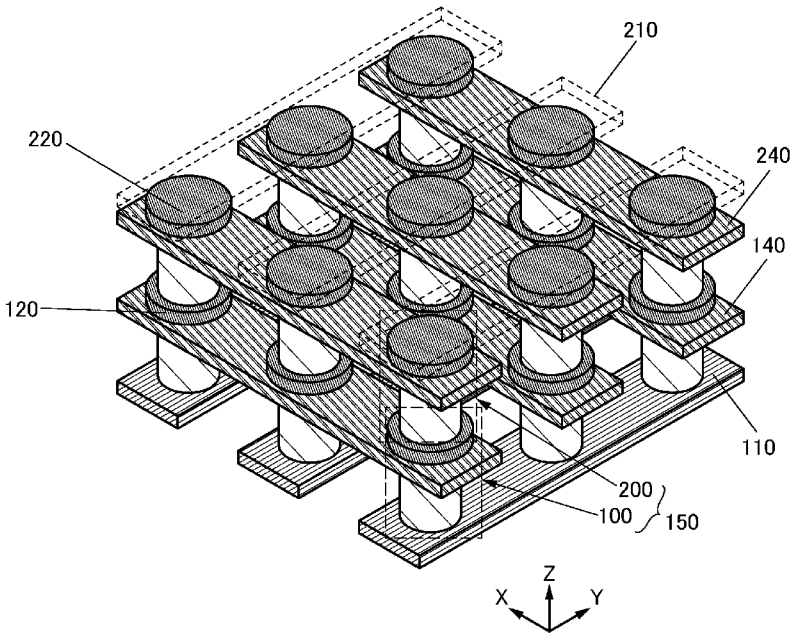
(72) 発明者: 井上広樹 (INOUE, Hiroki); 〒2430036 神奈川県厚木市長谷398株式会社半導体エネルギー研究所内 Kanagawa (JP). 松嵜隆徳 (MATSUZAKI, Takanori); 〒2430036 神奈川県厚木市長谷398株式会社半導体エネルギー研究所内 Kanagawa (JP). 楠本直人 (KUSUMOTO, Naoto); 〒2430036 神奈川県厚木市長谷398株式会社半導体エネルギー研究所内 Kanagawa (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC,

(54) **Title:** STORAGE DEVICE

(54) 発明の名称： 記憶装置

図1



(57) **Abstract:** Provided is a storage device with high data-reading reliability. The storage device has a first transistor and a second transistor in a memory cell, wherein for the two transistors, vertical transistors, which occupy a small area and have a channel formation region on a side surface of an opening provided in an insulating layer, are used. By appropriately configuring the transistors and wiring used in the memory cell, it is possible to reduce the parasitic capacitance generated between a data holding node and wiring, and improve the reliability of data reading.

WO 2024/105497 A1

[続葉有]

EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能):ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一　国際調査報告(条約第21条(3))

(57) 要約:データ読み出しの信頼性の高い記憶装置を提供する。メモリセルに第１のトランジスタおよび第２のトランジスタを有する記憶装置であって、二つのトランジスタには、絶縁層に設けた開口部の側面にチャネル形成領域を有する占有面積の小さい縦型トランジスタが用いられる。メモリセルに用いられるトランジスタおよび配線を適切な構成とすることで、データ保持ノードと配線間に生じる寄生容量の静電容量を小さくすることができ、データ読み出しの信頼性を向上させることができる。

明細書

発明の名称

記憶装置

技術分野

［０００１］

本発明の一態様は、トランジスタ、半導体装置、記憶装置、および電子機器に関する。または、本発明の一態様は、記憶装置、または半導体装置の作製方法に関する。または、本発明の一態様は、半導体ウエハ、およびモジュールに関する。

［０００２］

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能し得る装置全般を指す。トランジスタなどの半導体素子をはじめ、半導体回路、演算装置、記憶装置は、半導体装置の一態様である。表示装置（液晶表示装置、発光表示装置など）、投影装置、照明装置、電気光学装置、蓄電装置、記憶装置、半導体回路、撮像装置、電子機器などは、半導体装置を有すると言える場合がある。

［０００３］

また、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の一態様は、物、方法、または、製造方法に関するものである。また、本発明の一態様は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関するものである。

背景技術

［０００４］

ＬＳＩ、ＣＰＵ、メモリなどの半導体回路（ＩＣチップ）は、プリント配線基板などに実装され、様々な電子機器の部品の一つとして用いられている。また、半導体薄膜を用いてトランジスタを構成する技術が注目されている。当該トランジスタは、画像表示装置（単に表示装置とも表記する）のような電子デバイスとして実用化されているが、上述の半導体回路にも適用されることが期待されている。

［０００５］

トランジスタに適用可能な半導体薄膜としてシリコン系半導体材料が広く知られているが、その他の材料として酸化物半導体が注目されている。酸化物半導体を用いたトランジスタは、非導通状態（オフ状態）において流れる電流が極めて小さいことが知られている。

［０００６］

例えば、酸化物半導体を用いたトランジスタのリーク電流が小さいという特性を応用して、長期にわたり記憶内容を保持することができる記憶装置などが特許文献１に開示されている。

［０００７］

また、近年では電子機器の小型化、軽量化に伴い、集積回路のさらなる高密度化への要求が高まっている。例えば、特許文献２および非特許文献１では、酸化物半導体膜を用いる第１のトランジスタと、酸化物半導体膜を用いる第２のトランジスタを積層させることで、メモリセルを複数重畳して設けることにより、集積回路の高密度化を図る技術が開示されている。

［０００８］

さらに、トランジスタを縦型とすることができれば、集積回路の高密度化を図ることができる。例えば、特許文献３には、酸化物半導体の側面が、ゲート絶縁体を介してゲート電極に覆われている

縦型のトランジスタが開示されている。

［先行技術文献］

［特許文献］

［０００９］

［特許文献１］特開２０１１－１５１３８３号公報

［特許文献２］国際公開第２０２１／０５３４７３号

［特許文献３］特開２０１３－２１１５３７号公報

［非特許文献］

［００１０］

［非特許文献１］Ｍ．Ｏｏｔａ　ｅｔ．ａｌ，“３Ｄ－Ｓｔａｃｋｅｄ　ＣＡＡＣ－Ｉｎ－Ｇａ－Ｚｎ　Ｏｘｉｄｅ　ＦＥＴｓ　ｗｉｔｈ　Ｇａｔｅ　Ｌｅｎｇｔｈ　ｏｆ　７２ｎｍ”，ＩＥＤＭ　Ｔｅｃｈ．　Ｄｉｇ．，２０１９，ｐｐ．５０－５３

発明の概要

発明が解決しようとする課題

［００１１］

特許文献１に開示されているメモリセルは、書き込み用トランジスタおよび読み出し用トランジスタを有し、読み出し用トランジスタがゲートに保持されたデータ電位に応じた電流を流すことによりビット線（読み出し線）の電位を変化させる。

［００１２］

当該メモリセルは、ＤＲＡＭのようにセル内に容積の大きい容量素子を設ける必要がなく、集積度の高い記憶装置（メモリ）を形成することが可能である。メモリセルが有する要素を２次元的および３次元的に適切に配置することで、さらに集積度を高めることができ、記憶容量の高い記憶装置（メモリ）を形成することができる。

［００１３］

一方で、メモリセルの微細化かつ集積度を高めることで、配線の重なりなどに起因する寄生容量の影響が大きくなる。寄生容量による容量結合で保持されているデータ電位が変動し、データ読み出しの信頼性を低下させる場合がある。

［００１４］

したがって、本発明の一態様は、データ読み出しの信頼性の高い記憶装置を提供することを課題の一つとする。または、高集積化が可能な記憶装置を提供することを課題の一つとする。または、良好な電気特性を有する記憶装置を提供することを課題の一つとする。または、信頼性が良好な記憶装置を提供することを課題の一つとする。または、低消費電力の記憶装置を提供することを課題の一つとする。または、新規の記憶装置を提供することを課題の一つとする。または、新規の半導体装置等を提供することを課題の一つとする。

［００１５］

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

課題を解決するための手段

［００１６］

本発明の一態様は、メモリセルと、第１の配線と、第２の配線と、第３の配線と、を有し、メモリセルは、第１のトランジスタおよび第２のトランジスタを有し、第２のトランジスタは、第１のトランジスタの上方に設けられ、第１のトランジスタは、第１の半導体と、第１の絶縁体と、第１の導電体と、を有し、第１の半導体は、第１の配線、第２の絶縁体および第２の配線を貫通する第１の開口部の側面に形成された領域を有し、第１の絶縁体は、第１の半導体と接して第１の開口部を覆う領域を有し、第１の導電体は、第１の絶縁体と接して第１の開口部を埋め込むように設けられ、第２のトランジスタは、第２の半導体を有し、第２の半導体は、第３の絶縁体および第３の配線を貫通する第２の開口部の側面に設けられた領域を有し、第２の半導体は、第２の開口部の底部において第１の導電体と接する領域を有する記憶装置である。

［００１７］

第２の配線は第２の絶縁体上に設けられ、第２の絶縁体は第１の配線上に設けることができる。

［００１８］

第２のトランジスタは、第４の絶縁体と、第２の導電体と、を有し、第４の絶縁体は、第２の半導体と接して第２の開口部を覆う領域を有し、第２の導電体は、第４の絶縁体と接して第２の開口部を埋め込むように設けることができる。

［００１９］

第３の配線は第３の絶縁体上に設けられ、第３の絶縁体は第１の導電体上に設けることができる。

［００２０］

第１の配線は、第１のトランジスタのソース電極またはドレイン電極の一方として機能する領域を有し、第２の配線は、第１のトランジスタのソース電極またはドレイン電極の他方として機能する領域を有し、第３の配線は、第２のトランジスタのソース電極またはドレイン電極の一方として機能する領域を有し、第１の導電体は、第１のトランジスタのゲート電極として機能する領域、および第２のトランジスタのソース電極またはドレイン電極の他方として機能する領域を有することができる。

［００２１］

本発明の他の一態様は、メモリセルと、第１の配線と、第２の配線と、第３の配線と、を有し、メモリセルは、第１のトランジスタおよび第２のトランジスタを有し、第２のトランジスタは、第１のトランジスタの上方に設けられ、第１のトランジスタは、第１の半導体と、第１の絶縁体と、第１の導電体と、を有し、第１の半導体は、第１の配線、第２の絶縁体、第２の配線、および第３の絶縁体を貫通する第１の開口部の側面に形成された領域を有し、第１の絶縁体は、第１の半導体と接して第１の開口部を覆う領域を有し、第１の導電体は、第１の絶縁体と接して第１の開口部を埋め込むように設けられ、第２のトランジスタは、第２の半導体を有し、第２の半導体は、第４の絶縁体および第３の配線を貫通する第２の開口部の側面に設けられた領域を有し、第２の半導体は、第２の開口部の底部において第１の導電体と接する領域を有する記憶装置である。

［００２２］

第３の絶縁体は第２の配線上に設けられ、第２の配線は第２の絶縁体上に設けられ、第２の絶縁体は第１の配線上に設けることができる。

［００２３］

第２のトランジスタは、第５の絶縁体と、第２の導電体と、を有し、第５の絶縁体は、第２の半導

体と接して第２の開口部を覆う領域を有し、第２の導電体は、第５の絶縁体と接して第２の開口部を埋め込むように設けることができる。

［００２４］

第３の配線は第４の絶縁体上に設けられ、第４の絶縁体は第１の導電体上に設けることができる。

［００２５］

第１の配線は、第１のトランジスタのソース電極またはドレイン電極の一方として機能する領域を有し、第２の配線は、第１のトランジスタのソース電極またはドレイン電極の他方として機能する領域を有し、第３の配線は、第２のトランジスタのソース電極またはドレイン電極の一方として機能する領域を有し、第１の導電体は、第１のトランジスタのゲート電極として機能する領域、および第２のトランジスタのソース電極またはドレイン電極の他方として機能する領域を有することができる。

［００２６］

本発明の他の一態様は、メモリセルと、第１の配線と、第２の配線と、第３の配線と、第４の配線と、を有し、メモリセルは、第１のトランジスタ、第２のトランジスタおよび容量素子を有し、容量素子は、第１のトランジスタと第２のトランジスタとの間に設けられ、第１のトランジスタは、第１の半導体と、第１の絶縁体と、第１の導電体と、を有し、第１の半導体は、第１の配線、第２の絶縁体および第２の配線を貫通する第１の開口部の側面に形成された領域を有し、第１の絶縁体は、第１の半導体と接して第１の開口部を覆う領域を有し、第１の導電体は、第１の絶縁体と接して第１の開口部を埋め込むように設けられ、容量素子は、第３の絶縁体と、第２の導電体と、を有し、第３の絶縁体は、第４の絶縁体および第３の配線を貫通する第２の開口部の側面に形成された領域を有し、第２の導電体は、第３の絶縁体と接して第２の開口部を埋め込むように設けられ、第２の導電体は、第２の開口部の底部において、第１の導電体と接する領域を有し、第２のトランジスタは、第２の半導体を有し、第２の半導体は、第５の絶縁体および第４の配線を貫通する第３の開口部の側面に設けられた領域を有し、第２の半導体は、第３の開口部の底部において第２の導電体と接する領域を有する記憶装置である。

［００２７］

第２の配線は第２の絶縁体上に設けられ、第２の絶縁体は第１の配線上に設けられ、第３の配線は第４の絶縁体上に設けることができる。

［００２８］

第２のトランジスタは、第６の絶縁体と、第３の導電体と、を有し、第６の絶縁体は、第２の半導体と接して第３の開口部を覆う領域を有し、第３の導電体は、第６の絶縁体と接して第３の開口部を埋め込むように設けることができる。

［００２９］

第４の配線は第５の絶縁体上に設けられ、第５の絶縁体は第２の導電体上に設けることができる。

［００３０］

第１の配線は、第１のトランジスタのソース電極またはドレイン電極の一方として機能する領域を有し、第２の配線は、第１のトランジスタのソース電極またはドレイン電極の他方として機能する領域を有し、第３の配線は、容量素子の一方の電極として機能する領域を有し、第４の配線は、第２のトランジスタのソース電極またはドレイン電極の一方として機能する領域を有し、第１の導電体は、第１のトランジスタのゲート電極として機能する領域を有し、第２の導電体は、容量素子の

他方の電極として機能する領域、および第２のトランジスタのソース電極またはドレイン電極の他方として機能する領域を有することができる。

［００３１］

上記記憶装置において、第１の半導体および第２の半導体のそれぞれは酸化物半導体であり、酸化物半導体は、Ｉｎ、Ｇａ、およびＺｎの中から選ばれるいずれか一つまたは複数を有することが好ましい。

発明の効果

［００３２］

本発明の一態様により、データ読み出しの信頼性の高い記憶装置を提供することができる。または、高集積化が可能な記憶装置を提供することができる。または、良好な電気特性を有する記憶装置を提供することができる。または、信頼性が良好な記憶装置を提供することができる。または、低消費電力の記憶装置を提供することができる。または、新規の記憶装置を提供することができる。または、新規の半導体装置等を提供することができる。

［００３３］

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の効果を抽出することが可能である。

図面の簡単な説明

［００３４］

図１は、記憶装置を説明する図である。

図２Ａ乃至図２Ｃは、メモリセルを説明する回路図である。

図３は、メモリセルの動作を説明するタイミングチャートである。

図４は、メモリセルの動作を説明するタイミングチャートである。

図５は、メモリセルの動作を説明するタイミングチャートである。

図６Ａおよび図６Ｂは、メモリセルを説明する斜視図である。

図７Ａおよび図７Ｂは、メモリセルを説明する上面図である。図７Ｃ乃至図７Ｅは、メモリセルを説明する断面図である。

図８Ａは、メモリセルを説明する斜視図である。図８Ｂおよび図８Ｃは、メモリセルを説明する断面図である。

図９Ａは、メモリセルを説明する斜視図である。図９Ｂおよび図９Ｃは、メモリセルを説明する断面図である。

図１０Ａは、メモリセルを説明する断面斜視図である。図１０Ｂおよび図１０Ｃは、メモリセルを説明する断面図である。

図１１Ａおよび図１１Ｂは、メモリセルを説明する斜視図である。である。

図１２Ａは、メモリセルを説明する断面斜視図である。図１２Ｂおよび図１２Ｃは、メモリセルを説明する断面図である。

図１３Ａおよび図１３Ｂは、メモリセルを説明する斜視図である。

図１４Ａおよび図１４Ｂは、トランジスタを説明する図である。

図１５Ａおよび図１５Ｂは、記憶装置の構成例を説明する図である。

図１６Ａおよび図１６Ｂは、電子部品の一例を説明する図である。

図１７Ａおよび図１７Ｂは、電子機器の一例を説明する図である。図１７Ｃ乃至図１７Ｅは、大型計算機の一例を説明図である。

図１８は、宇宙用機器の一例を説明する図である。

図１９は、データセンターに適用可能なストレージシステムの一例を説明する図である。

発明を実施するための形態

［００３５］

以下、実施の形態について図面を参照しながら説明する。ただし、実施の形態は多くの異なる態様で実施することが可能であり、趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は、以下の実施の形態の記載内容に限定して解釈されるものではない。

［００３６］

また、図面において、同一部分または同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する場合がある。また、同様の機能を指す場合には、ハッチングパターンを同じくし、特に符号を付さない場合がある。

［００３７］

また、本明細書等において、酸化窒化物とは、その組成として、窒素よりも酸素の含有量が多いものである。酸化窒化物としては、酸化窒化シリコン、酸化窒化アルミニウム、および、酸化窒化ハフニウムなどが挙げられる。また、窒化酸化物とは、その組成として、酸素よりも窒素の含有量が多いものである。窒化酸化物としては、窒化酸化シリコン、窒化酸化アルミニウム、および、窒化酸化ハフニウムなどが挙げられる。

［００３８］

また、本明細書等において、「絶縁体」という用語を、絶縁膜または絶縁層と言い換えることができる。また、「導電体」という用語を、導電膜または導電層と言い換えることができる。また、「半導体」という用語を、半導体膜または半導体層と言い換えることができる。

［００３９］

また、本明細書等において、「平行」とは、二つの直線が－１０度以上１０度以下の角度で配置されている状態をいう。したがって、－５度以上５度以下の場合も含まれる。また、「概略平行」とは、二つの直線が－３０度以上３０度以下の角度で配置されている状態をいう。また、「垂直」とは、二つの直線が８０度以上１００度以下の角度で配置されている状態をいう。したがって、８５度以上９５度以下の場合も含まれる。また、「概略垂直」とは、二つの直線が６０度以上１２０度以下の角度で配置されている状態をいう。また、「直交」とは、二つの直線が８０°以上１００°以下の角度で交差または接続されている状態をいう。したがって、８５°以上９５°以下の場合も含まれる。また、「略直交」または「概略直交」とは、二つの直線が６０°以上１２０°以下の角度で交差または接続されている状態をいう。

［００４０］

また、本明細書に係る図面等において、Ｘ方向、Ｙ方向、およびＺ方向を示す矢印を付す場合がある。なお、本明細書等において、「Ｘ方向」とはＸ軸に沿う方向であり、明示する場合を除き順方向と逆方向を区別しない場合がある。「Ｙ方向」および「Ｚ方向」についても同様である。また、Ｘ方向、Ｙ方向、およびＺ方向は、それぞれが互いに交差する方向である。より具体的には、Ｘ方

向、Ｙ方向、およびＺ方向は、それぞれが互いに直交する方向である。本明細書等では、Ｘ方向、Ｙ方向、またはＺ方向の１つを「第１方向」または「第１の方向」と呼ぶ場合がある。また、他の１つを「第２方向」または「第２の方向」と呼ぶ場合がある。また、残りの１つを「第３方向」または「第３の方向」と呼ぶ場合がある。

［００４１］

また、本明細書等において、「上に」、「下に」などの配置を示す語句は、構成要素同士の位置関係を、図面を参照して説明するために、便宜上用いている。また、構成要素同士の位置関係は、各構成を描写する方向に応じて適宜変化するものである。したがって、明細書で説明した語句に限定されず、状況に応じて適切に言い換えることができる。

［００４２］

（実施の形態１）

本実施の形態では、本発明の一態様である記憶装置について説明する。本発明の一態様である記憶装置は、メモリセルに第１のトランジスタおよび第２のトランジスタを有する。

［００４３］

二つのトランジスタには、絶縁体に設けた開口部の側面に沿ってチャネル形成領域を有する縦型トランジスタが用いられる。縦型トランジスタはチャネル長を短く、チャネル幅を長くできる構成であることから、オン電流を高めることができる。また、縦型トランジスタは、上面視において占有面積を小さくすることができる。したがって、メモリセルに縦型トランジスタを用いることで、高速動作が可能、かつ集積度の高い記憶装置を形成することができる。

［００４４］

メモリセルには、複数の配線が接続され、それぞれの配線とメモリセルのデータ保持部との間には寄生容量が生じる。当該寄生容量による容量結合で、配線電位の変化とともにデータ保持部の電位が変動し、データ読み出しの信頼性を損なうことがある。本発明の一態様の記憶装置では、メモリセルを適切な構成とすることで当該寄生容量の静電容量を小さくすることができ、データ読み出しの信頼性を向上させることができる。

［００４５］

図１は、本発明の一態様の記憶装置の一部を示す斜視図であり、複数のメモリセル１５０（トランジスタ１００、トランジスタ２００）を図示している。トランジスタ１００およびトランジスタ２００は縦型トランジスタであり、トランジスタ１００の上方にトランジスタ２００が設けられる。メモリセル１５０は、配線１１０、配線１４０、配線２４０、および配線２１０と電気的に接続される。なお、図１では、明瞭化のため、層間膜などの絶縁体は図示せず、最上部に位置する配線２１０は破線で示している。

［００４６］

トランジスタ１００は、構成要素として配線１１０、配線１４０および導電体１２０を有する。トランジスタ２００は、構成要素として導電体１２０、配線２４０および導電体２２０を有する。

［００４７］

配線１１０は、トランジスタ１００のソース電極またはドレイン電極の一方として機能する領域を有する。配線１４０は、トランジスタ１００のソース電極またはドレイン電極の他方として機能する領域を有する。

［００４８］

導電体１２０は、トランジスタ１００のゲート電極として機能する領域、およびトランジスタ２００のソース電極またはドレイン電極の一方として機能する領域を有する。導電体１２０は、トランジスタ１００のゲート電極、およびトランジスタ２００のソース電極またはドレイン電極の一方を共有する領域を有すると換言することもできる。

［００４９］

配線２４０は、トランジスタ２００のソース電極またはドレイン電極の他方として機能する領域を有する。

［００５０］

導電体２２０は、トランジスタ２００のゲート電極として機能する領域を有し、導電体２２０上に形成される配線２１０と電気的に接続される。なお、導電体２２０と配線２１０を同一の要素として形成してもよい。各トランジスタの構成および接続形態の詳細は後述する。

［００５１］

なお、図１では、メモリセル１５０がＸ方向およびＹ方向に等間隔に配置された例を示しているが、メモリセル１５０を一つずつ交互にずらして配置する千鳥配置であってもよい。

［００５２］

図２Ａは、メモリセル１５０の回路図の一例を説明する図である。トランジスタ１００は、データを読み出す機能を有する。トランジスタ２００は、データを書き込む機能を有する。

［００５３］

トランジスタ２００のソースまたはドレインの一方は、トランジスタ１００のゲートと接続される。当該接続構成は、図１において、導電体１２０が担っている。導電体１２０は、図２Ａに示すメモリセル１５０において、データ電位を保持するノードＳＮの構成要素ということもできる。

［００５４］

トランジスタ２００のゲートと接続する配線２１０は、メモリセル１５０に書き込みワード信号を与える配線であり、書き込みワード線（ＷＷＬ）ともいう。書き込みワード信号は、メモリセル１５０にデータを書き込むタイミングを制御する信号である。

［００５５］

トランジスタ２００のソースまたはドレインの他方と接続する配線２４０は、メモリセル１５０にデータ信号（データ）に応じた電位を与える配線であり、書き込みビット線（ＷＢＬ）ともいう。データ信号は、メモリセル１５０に書き込まれるハイレベル（“１”またはV_Hともいう）またはローレベル（“０”またはV_Lともいう）の二値で表される信号である。

［００５６］

トランジスタ１００のソースまたはドレインの一方と接続する配線１１０は、メモリセル１５０に読み出しワード信号を与える配線であり、読み出しワード線（ＲＷＬ）ともいう。読み出しワード信号は、メモリセル１５０からデータを読み出すタイミングを制御する信号である。

［００５７］

トランジスタ１００のソースまたはドレインの他方と接続する配線１４０は、メモリセル１５０に保持されたデータ信号（データ）に応じた電位を読み出すための配線であり、読み出しビット線（ＲＢＬ）ともいう。メモリセル１５０に書き込まれたデータ（“１”または“０”）に応じてトランジスタ１００に電流が流れ、プリチャージされた配線１４０の電位を変化させる。当該電位をセンスアンプに入力することにより、データを読み出すことができる。

［００５８］

ここで、ノードＳＮと各配線間に生じる寄生容量について説明する。図１に示すように、ノードＳＮの構成要素である導電体１２０を中心に見ると、導電体１２０と各配線との間には図示していない絶縁体が設けられており、複数の寄生容量が形成されているといえる。

［００５９］

ここでは、説明を簡単にするために、ノードＳＮと一つの配線との間に生じる寄生容量を一つにまとめて説明する。図２Ｂに示すように、ノードＳＮと配線２１０との間には寄生容量Ｃｐ１が生じる。ノードＳＮと配線２４０との間には寄生容量Ｃｐ２が生じる。ノードＳＮと配線１１０との間には寄生容量Ｃｐ３が生じる。ノードＳＮと配線１４０との間には寄生容量Ｃｐ４が生じる。なお、各寄生容量の構成要素には、トランジスタ１００またはトランジスタ２００の構成要素も含まれる。

［００６０］

ノードＳＮはフローティングであるため、各配線の電位が変動すると、寄生容量Ｃｐ１乃至Ｃｐ４のいずれか一つまたは複数が影響し、容量結合によってノードＳＮの電位も変動する。ノードＳＮの電位の変動の幅は、各配線の電位の変動量と各寄生容量の静電容量によって異なるが、ノードＳＮの電位の変動が大きすぎるとトランジスタ１００が正常に動作しなくなり、データが正確に読み出せなくなる場合がある。

［００６１］

これらの寄生容量の影響への対策の一つとして、図２Ｃに示すようにトランジスタ２００のソースまたはドレインの一方、およびトランジスタ１００のゲートと一方の電極が接続される容量素子３００を設けることが挙げられる。容量素子３００の他方の電極は、固定電位が供給される配線と接続される。容量素子３００を設けることで寄生容量によるノードＳＮの電位変動を小さく抑えることができ、読み出しの精度を高めることができる。また、データの保持能力を高めることができる。

［００６２］

なお、本発明の一態様は、図２Ａに示す回路構成、および図２Ｃに示す回路構成のいずれにも適用することができる。

［００６３］

次に、図３を用いてメモリセル１５０の動作について説明する。ここでは、各寄生容量の影響を排除した理想的な動作について述べる。図３は、図２Ａに示すメモリセル１５０の動作例を説明するためのタイミングチャートである。

［００６４］

図３では、配線２１０（ＷＷＬ）、配線２４０（ＷＢＬ）、配線１１０（ＲＷＬ）に与える電位、配線１４０（ＲＢＬ）に読み出される電位、およびノードＳＮの電位を示している。なお、図３では配線２４０（ＷＢＬ）のスタンバイ状態をローレベル（V_L）としている。

［００６５］

期間Ｔ１はスタンバイ期間である。期間Ｔ２は書き込み期間である。期間Ｔ３はスタンバイ期間である。期間Ｔ４乃至Ｔ５は読み出し期間である。期間Ｔ６はスタンバイ期間である。なお、図３では、メモリセル１５０（ノードＳＮ）に配線２４０（ＷＢＬ）を介して書き込まれるデータ“１”または“０”を図示している。メモリセル１５０に書き込まれるデータは、ハイレベルのときデータ“１”とし、ローレベルのときデータ“０”とする。

［００６６］

図３では、メモリセル１５０から配線１４０（ＲＢＬ）を介して読み出されるデータ“１”または“０”を図示している。配線１４０（ＲＢＬ）は、読み出し期間においてハイレベルの電位（例えば、ＶＤＤなどの高電源電位）にプリチャージされ、プリチャージされた電位の変化に応じて配線１４０（ＲＢＬ）に接続された外部の読み出し回路にデータが読み出される。

［００６７］

メモリセル１５０（ノードＳＮ）に保持されているデータがデータ“１”のとき、トランジスタ１００を流れる電流が大きいため、配線１４０（ＲＢＬ）の電位が低下する。メモリセル１５０（ノードＳＮ）に保持されているデータがデータ“０”のとき、トランジスタ１００を流れる電流が小さいため、配線１４０（ＲＢＬ）の電位の変動が小さい。つまり、メモリセル１５０（ノードＳＮ）に保持されているデータがデータ“１”のとき、配線１４０（ＲＢＬ）の電位がローレベルとなる。また、メモリセル１５０（ノードＳＮ）に保持されているデータがデータ“０”のとき、配線１４０（ＲＢＬ）の電位がハイレベル（プリチャージされた電位）となる。

［００６８］

期間Ｔ１では、配線２１０（ＷＷＬ）はローレベル、配線２４０（ＷＢＬ）はローレベル（V_L）、配線１１０（ＲＷＬ）はハイレベル、配線１４０（ＲＢＬ）はハイレベルである。このとき、トランジスタ２００は、非導通状態となる。また、トランジスタ１００は、ソースまたはドレインとなる端子間が等電位となるため、電流が流れない。なお、トランジスタ１００のゲート（ノードＳＮ）の電位は、前の書き込み期間で書き込まれた電位V_HまたはV_Lである。

［００６９］

期間Ｔ２では、配線２１０（ＷＷＬ）はハイレベル、配線２４０（ＷＢＬ）はデータに応じた信号（V_HまたはV_L）、配線１１０（ＲＷＬ）はハイレベル、配線１４０（ＲＢＬ）はハイレベルである。このとき、トランジスタ２００は導通状態となり、トランジスタ１００のゲート（ノードＳＮ）の電位が、データに応じた電位となる。トランジスタ１００は、ソースまたはドレインとなる端子間が等電位となるため、ゲートの電位に関わらず、電流が流れない。

［００７０］

期間Ｔ３では、配線２１０（ＷＷＬ）はローレベル、配線２４０（ＷＢＬ）はローレベル（V_L）、配線１１０（ＲＷＬ）はハイレベル、配線１４０（ＲＢＬ）はハイレベルである。このとき、トランジスタ１００、２００共に、非導通状態となる。期間Ｔ３において、トランジスタ１００のゲート（ノードＳＮ）に書き込まれた電位が保持される。トランジスタ１００は、ソースまたはドレインとなる端子間が等電位となるため、ゲートの電位に関わらず、電流が流れない。

［００７１］

期間Ｔ４では、配線２１０（ＷＷＬ）はローレベル、配線２４０（ＷＢＬ）はローレベル（V_L）、配線１１０（ＲＷＬ）はハイレベルである。配線１４０（ＲＢＬ）は、ハイレベル（プリチャージ電位V_{PRE}ともいう）にプリチャージされる。このとき、トランジスタ２００は、非導通状態となる。プリチャージ電位V_{PRE}は、例えばＶＤＤであり、配線１４０（ＲＢＬ）のハイレベルと等電位である。トランジスタ１００は、ソースまたはドレインとなる端子間が等電位となるため、ゲート（ノードＳＮ）の電位に関わらず、電流が流れない。すなわち、配線１４０の電位は変化しない。

［００７２］

期間Ｔ５では、配線２１０（ＷＷＬ）はローレベル、配線２４０（ＷＢＬ）はローレベル（V_L）、配線１１０（ＲＷＬ）はローレベルである。このとき、トランジスタ２００は、非導通状態となる。

また、期間Ｔ５では、配線１４０（ＲＢＬ）が電気的に浮遊状態となる。つまりメモリセル１５０のトランジスタ１００に流れる電流によって電位が変動する状態となる。

［００７３］

期間Ｔ５では、トランジスタ１００のソースまたはドレインとなる端子間に電位差が生じるため、トランジスタ１００のゲート（ノードＳＮ）の電位に応じて電流が流れる。メモリセル１５０に保持されているデータがデータ“１”のとき、トランジスタ１００を流れる電流が大きいため、配線１４０（ＲＢＬ）の電位がローレベルに低下する。この配線１４０（ＲＢＬ）の電位の変化は、配線１４０（ＲＢＬ）に接続されたセンスアンプを活性化することで選択されたメモリセル１５０のデータを外部に読み出すことができる。

［００７４］

また、メモリセル１５０に保持されているデータがデータ“０”のとき、トランジスタ１００を流れる電流が小さいため、配線１４０（ＲＢＬ）の電位がハイレベル（プリチャージされた電位）からほとんど変化しない。

［００７５］

期間Ｔ５において、非選択行のメモリセル１５０では、配線１１０（ＲＷＬ）がハイレベルであり、トランジスタ１００のソースまたはドレインとなる端子間が等電位となるため、ゲートの電位に関わらず、電流が流れない。

［００７６］

期間Ｔ６では、配線２１０（ＷＷＬ）はローレベル、配線２４０（ＷＢＬ）はローレベル（V_L）、配線１１０（ＲＷＬ）はハイレベル、配線１４０（ＲＢＬ）はハイレベルである。このとき、トランジスタ２００は、非導通状態となる。トランジスタ１００は、ソースまたはドレインとなる端子間が等電位となるため、ゲートの電位に関わらず、電流が流れない。

［００７７］

以上の動作により、選択行のメモリセル１５０からデータを読み出すことができる。

［００７８］

次に、図４に示すタイミングチャートを用いて、図３と同様の動作における寄生容量Ｃｐ１乃至Ｃｐ４の影響を説明する。なお、寄生容量Ｃｐ１乃至Ｃｐ４において、それぞれの実際の静電容量は異なるが、ここでは、ほぼ同等として取り扱う。また、図４に示す寄生容量に起因するノードＳＮの電位変動の挙動は一例であり、変動の大小およびタイミングのずれなど、実際とは若干異なる場合がある。

［００７９］

期間Ｔ２におけるノードＳＮへのデータの書き込み動作までは、図３と同様である。なお、期間Ｔ１におけるノードＳＮの電位は、前の書き込み期間で書き込まれた電位に応じた電位である。

［００８０］

期間Ｔ２において、配線２１０（ＷＷＬ）がハイレベルのときに、ノードＳＮは配線２４０（ＷＢＬ）に供給されるデータに応じた電位（“１”（V_H）または“０”（V_L））となる。

［００８１］

そして、期間Ｔ３で配線２１０（ＷＷＬ）がローレベルに切り替わると、寄生容量Ｃｐ１（ノードＳＮと配線２１０（ＷＷＬ）との間の寄生容量）による容量結合で、ノードＳＮの電位が低下する。

［００８２］

さらに、データがデータ“１”であった場合、期間Ｔ３において、配線２４０（ＷＷＬ）はローレベル（V_L）に低下するため、寄生容量Ｃｐ２（ノードＳＮと配線２４０（ＷＢＬ）との間の寄生容量）による容量結合でデータ“１”に応じたノードＳＮの電位はさらに低下する。なお、データがデータ“０”であった場合は配線２４０（ＷＷＬ）の電位は変化しないため、ノードＳＮの電位は変化しない。

［００８３］

期間Ｔ５において、配線１１０（ＲＷＬ）の電位がハイレベルからローレベルに切り替わると、寄生容量Ｃｐ３（ノードＳＮと配線１１０（ＷＷＬ）との間の寄生容量）による容量結合でノードＳＮの電位が低下する。

［００８４］

さらに、データがデータ“１”であった場合、配線１４０（ＲＢＬ）はローレベル（V_L）に近づくように低下するため、寄生容量Ｃｐ４（ノードＳＮと配線１４０（ＷＢＬ）との間の寄生容量）による容量結合でデータ“１”に応じたノードＳＮの電位は徐々に低下する。なお、データがデータ“０”であった場合は配線１４０（ＷＷＬ）の電位は変化しないため、ノードＳＮの電位は変化しない。

［００８５］

さらに、配線１１０（ＲＷＬ）の電位がハイレベルに切り替わると、寄生容量Ｃｐ３による容量結合でノードＳＮの電位が上昇する。

［００８６］

また、データがデータ“１”であった場合、配線１４０（ＲＢＬ）がハイレベルになると、寄生容量Ｃｐ４による容量結合でデータ“１”に応じたノードＳＮの電位は上昇する。なお、データがデータ“０”であった場合は配線１４０（ＷＷＬ）の電位は変化しないため、ノードＳＮの電位は変化しない。

［００８７］

このように、ノードＳＮの電位は、寄生容量Ｃｐ１乃至Ｃｐ４の影響を受けて変動する。特に、データ“１”が書き込まれた場合は、データの読み出しまでに寄生容量Ｃｐ１乃至Ｃｐ４の全ての影響を受けてノードＳＮの電位が低下するため、読み出されたデータの信頼性を損なうことがある。

［００８８］

なお、図４では、配線２４０（ＷＢＬ）のスタンバイ状態をローレベル（V_L）としているが、スタンバイ状態をハイレベル（V_H）とすることで、一部の寄生容量の影響を回避することができる。

［００８９］

図５は、配線２４０（ＷＢＬ）のスタンバイ状態をハイレベル（V_H）とした場合のタイミングチャートである。

［００９０］

期間Ｔ３の始めにおいて、寄生容量Ｃｐ１による容量結合でノードＳＮの電位が低下するまでは、図４と同じである。

［００９１］

データがデータ“１”であった場合、期間Ｔ３において、配線２４０（ＷＷＬ）の電位は変化しないためノードＳＮの電位は変化しない。また、データがデータ“０”であった場合は、配線２４０（ＷＷＬ）はハイレベル（V_H）に切り替わるため、寄生容量Ｃｐ２による容量結合でデータ“０”

に応じたノードＳＮの電位は上昇する。

［００９２］

ここで、データ“０”の場合は、先に寄生容量Ｃｐ１による容量結合でノードＳＮの電位が低下しているため、寄生容量Ｃｐ２による容量結合は、寄生容量Ｃｐ１による電位低下分を相殺する方向に作用する。

［００９３］

その後の寄生容量に起因するノードＳＮの電位変動は図４の説明と同じである。したがって、配線２４０（ＷＢＬ）のスタンバイ状態をハイレベル（V_H）とすることで、ノードＳＮの電位変動を少なくすることができる。

［００９４］

データ“１”の場合は、データの読み出しまでに寄生容量Ｃｐ１、Ｃｐ３、Ｃｐ４の影響を受ける。また、データ“０”の場合は、データの読み出しまでに寄生容量Ｃｐ１、Ｃｐ２、Ｃｐ３の影響を受ける。ただし、データ“０”の場合において、寄生容量Ｃｐ１および寄生容量Ｃｐ２は、それぞれに起因するノードＳＮの電位変動が相殺するように作用するため、寄生容量Ｃｐ３のみの影響を受けるといってもよい。

［００９５］

したがって、データ“１”、データ“０”を問わずノードＳＮの電位変動に最も影響する寄生容量は、寄生容量Ｃｐ３ということができ、寄生容量Ｃｐ３の静電容量を小さくすることが好ましい。また、データ“１”の読み出し時の影響を小さくするために、寄生容量Ｃｐ４の静電容量も小さくすることが好ましい。

［００９６］

＜メモリセルの構成例１＞

次に、メモリセル１５０の構成例について説明する。図６Ａは、メモリセル１５０の構成例１を説明する斜視図である。なお、明瞭化のため、層間膜などの絶縁体は図示せず、配線１１０、配線１４０および配線２４０の一部、ならびに配線２１０を破線で図示している。

［００９７］

図６Ａに示すメモリセル１５０は、トランジスタ１００において、配線１１０に設けられた開口部に半導体層（酸化物半導体１７０）が設けられ、当該開口部における配線１１０の側面と当該半導体層とが接する構成を有する。

［００９８］

なお、図６Ａでは、配線１１０の幅が長手方向に一定である例を示しているが、図６Ｂに示すように、開口部の近傍において配線１１０の幅が広くなる構成としてもよい。同様の構成は、配線１４０および配線２４０にも適用することができる。

［００９９］

図７Ａはトランジスタ１００を説明する上面図であり、図７Ｂはトランジスタ２００を説明する上面図である。なお、上面図では、明瞭化のため、一部の要素を省いて図示している。また、図７Ａ、図７Ｂに示す上面図は、本実施の形態で説明する他のメモリセル１５０の構成例においても共通である。

［０１００］

図７Ｃは、図７Ａ、図７Ｂに示す線分Ａ１－Ａ２の断面に相当する図である。図７Ｄは、図７Ａ、

図７Ｂに示す線分Ｂ１－Ｂ２の断面に相当する図である。

［０１０１］

メモリセル１５０は、基板（図示せず）上の絶縁体１６０と、絶縁体１６０上に設けられたトランジスタ１００と、トランジスタ１００上に設けられたトランジスタ２００を有する。なお、トランジスタ間および各種配線間には、層間膜として機能する絶縁体１８０、絶縁体１８５、絶縁体２８０および絶縁体２８５等を設けることができる。

［０１０２］

トランジスタ１００は、酸化物半導体１７０と、絶縁体１３０と、導電体１２０を有する。酸化物半導体１７０は半導体層として機能し、絶縁体１３０はゲート絶縁体として機能し、導電体１２０はゲート電極として機能する。また、配線１１０は、トランジスタ１００のソース電極またはドレイン電極の一方として機能する領域を有する。また、配線１４０は、トランジスタ１００のソース電極またはドレイン電極の他方として機能する領域を有する。

［０１０３］

配線１４０、絶縁体１８０および配線１１０には、絶縁体１６０に達する開口部１９０が貫通して設けられている。開口部１９０は上面が概略円形の柱状形状を有する。このような構成にすることで、メモリセルの微細化または高集積化を図ることができる。なお、開口部１９０の側面は、絶縁体１６０の上面に対して垂直であることが好ましい。

［０１０４］

酸化物半導体１７０の少なくとも一部は、開口部１９０に配置されている。なお、酸化物半導体１７０は、開口部１９０において、配線１１０の側面に接する領域と、配線１４０の側面に接する領域と、絶縁体１６０の上面に接する領域と、絶縁体１８０の側面に接する領域と、を有する。

［０１０５］

絶縁体１３０は、少なくとも一部が開口部１９０を覆うように配置されている。導電体１２０は、少なくとも一部が開口部１９０に位置するように配置されている。なお、導電体１２０は、開口部１９０を埋め込むように設けることが好ましく、集積度を高めるために上面形状は概略円形であることが好ましい。

［０１０６］

このような構成とすることで、導電体１２０（ノードＳＮ）と配線１１０との間の寄生容量Ｃｐ３の静電容量を小さくすることができる。

［０１０７］

図７Ｅに示すように、開口部１９０が配線１１０に形成されない場合では、開口部１９０の底部に配線１１０の上面が露出した状態となる。そのため、開口部１９０の底部近傍において、導電体１２０の一領域を一方の電極とし、絶縁体１３０の一領域を誘電体とし、導電体１２０の底面と対向する配線１１０の一領域を他方の電極とする寄生容量Ｃｐ３ｂが生成されてしまう。このとき、酸化物半導体１７０は、誘電体および他方の電極の一方、または両方として作用する。

［０１０８］

本発明の一態様では、配線１１０をくり抜くように開口部１９０を設けることで、導電体１２０の底面と対向する配線１１０の一領域がない状態とすることができる。すなわち、静電容量Ｃ＝ε×Ｓ／ｄ（ε：誘電率、Ｓ：電極面積、ｄ：誘電体の厚み）において、電極面積Ｓの値を小さくして（０にして）Ｃを小さくすることに相当する。

［０１０９］

図７Ｅに示す寄生容量Ｃｐ３ｂが形成される領域では誘電体の厚みｄの値が小さく、寄生容量Ｃｐ３ｂは比較的大きな静電容量になる。寄生容量Ｃｐ３ｂは寄生容量Ｃｐ３の一部であり、寄生容量Ｃｐ３ｂが形成されない構成とすることで、寄生容量Ｃｐ３の静電容量を小さくすることができる。

［０１１０］

なお、導電体１２０の底面と対向する酸化物半導体１７０の一領域は、ｎ型化する要素（配線１１０など）と接しないため、導電型はｉ型（真性）で高抵抗である。したがって、導電体１２０の底面と対向する酸化物半導体１７０の一領域は、寄生容量の要素（他方の電極）になりにくいといえる。

［０１１１］

トランジスタ２００は、酸化物半導体２７０と、絶縁体２３０と、導電体２２０を有する。酸化物半導体２７０は半導体層として機能し、絶縁体２３０はゲート絶縁体として機能し、導電体２２０はゲート電極として機能する。また、導電体１２０は、トランジスタ２００のソース電極またはドレイン電極の一方として機能する領域を有する。また、配線２４０は、トランジスタ２００のソース電極またはドレイン電極の他方として機能する領域を有する。

［０１１２］

配線２４０および絶縁体２８０には、導電体１２０に達する開口部２９０が貫通して設けられている。開口部２９０は上面が概略円形の柱状形状を有する。このような構成にすることで、メモリセルの微細化または高集積化を図ることができる。なお、開口部２９０の側面は、導電体１２０の上面に対して垂直であることが好ましい。

［０１１３］

酸化物半導体２７０の少なくとも一部は、開口部２９０に配置されている。なお、酸化物半導体２７０は、開口部２９０において導電体１２０の上面に接する領域と、配線２４０の側面に接する領域と、絶縁体２８０の側面に接する領域と、を有する。

［０１１４］

絶縁体２３０は、少なくとも一部が開口部２９０覆うように配置されている。導電体２２０は、少なくとも一部が開口部２９０に位置するように配置されている。なお、導電体２２０は、開口部２９０を埋め込むように設けることが好ましく、集積度を高めるために上面形状は概略円形であることが好ましい。また、導電体２２０上には、配線２１０が配置される。なお、導電体２２０および配線２１０は、同一の要素として形成されていてもよい。

［０１１５］

開口部１９０の直径および開口部２９０の直径は概略同一とし、開口部１９０および開口部２９０は重畳するように設けることが好ましい。また、メモリセル１５０において、配線１１０の幅と配線２１０の幅は概略同一とし、配線１１０および配線２１０は重畳するように設けることが好ましい。また、メモリセル１５０において、配線１４０の幅と配線２４０の幅は概略同一とし、配線１４０および配線２４０は重畳するように設けることが好ましい。

［０１１６］

このような構成にすることで、セル面積を大きく増加させることなく、二つのトランジスタを設けることができるため、メモリセル１５０を高密度に配置し、記憶装置の記憶容量を大きくすることができる。言い換えると、記憶装置を高集積化することができる。

［０１１７］

また、トランジスタ２００のソース電極またはドレイン電極の一方とトランジスタ１００のゲート電極は共有された構成、すなわち配線などを介さずにトランジスタ２００とトランジスタ１００が直接接続された構成である。したがって、両者間の電気抵抗を最小限とすることができ、データの書き込みなどを速やかに行うことができる。

［０１１８］

＜メモリセルの構成例２＞

次に、メモリセル１５０の構成例２について説明する。図８Ａは、メモリセル１５０の構成例２を説明する斜視図である。明瞭化のため、層間膜などの絶縁体は図示せず、配線１１０、配線１４０および配線２４０の一部、ならびに配線２１０は破線で図示している。

［０１１９］

図８Ｂは、図７Ａ、図７Ｂに示す線分Ａ１－Ａ２の断面に相当する図である。図８Ｃは、図７Ａ、図７Ｂに示す線分Ｂ１－Ｂ２の断面に相当する図である。なお、構成例１と共通する各要素の説明は省略する。

［０１２０］

構成例２は、構成例１と同様に配線１１０に開口部１９０を形成する構成であって、さらに導電体１２０の上部と配線１１０との間に生成される寄生容量の静電容量を小さくする構成である。

［０１２１］

導電体１２０は開口部１９０を埋め込むように形成するため、導電体１２０の上部の径は開口部１９０の径よりも大きくすることが好ましい。また、導電体１２０はトランジスタ２００のソース電極またはドレイン電極の一方としても機能するため、酸化物半導体２７０と接する面積を大きくすることが好ましい。すなわち、導電体１２０の上部の径は開口部２９０の径よりも大きくすることが好ましい。

［０１２２］

そのため、導電体１２０の上部は、他の配線との間に生成される寄生容量の静電容量を大きくする要素の一つとなる。構成例２では、トランジスタ１００において、絶縁体１８０を厚くし、開口部１９０の深さの値を大きくする構成とする。

［０１２３］

構成例１では、開口部１９０と開口部２９０がほぼ同等である構成を示しているが、構成例２では、開口部２９０よりも開口部１９０の深さの値を大きくする構成とする。開口部１９０の深さの値を大きくすることは、縦型トランジスタにおいてはチャネル長が長くなることに相当するため、トランジスタ１００のオン電流特性が十分に高い場合に有効である。

［０１２４］

このような構成とすることで、配線１１０と導電体１２０の上部との距離を物理的に大きくすることができ、絶縁体１８０等を誘電体とし配線１１０と導電体１２０（ノードＳＮ）との間に形成される寄生容量Ｃｐ３の静電容量を小さくすることができる。すなわち、静電容量Ｃ＝ε×Ｓ／ｄにおいて、誘電体の厚みｄの値を大きくしてＣを小さくすることに相当する。

［０１２５］

＜メモリセルの構成例３＞

次に、メモリセル１５０の構成例３について説明する。図９Ａは、メモリセル１５０の構成例３を

説明する斜視図である。明瞭化のため、層間膜などの絶縁体は図示せず、配線１４０および配線２４０の一部、ならびに配線２１０を破線で図示している。

［０１２６］

図９Ｂは、図７Ａ、図７Ｂに示す線分Ａ１－Ａ２の断面に相当する図である。図９Ｃは、図７Ａ、図７Ｂに示す線分Ｂ１－Ｂ２の断面に相当する図である。なお、構成例１と共通する各要素の説明は省略する。

［０１２７］

構成例３は、構成例１と同様に、配線１１０に開口部１９０を形成する構成を有し、かつ絶縁体１８１を設けることで開口部１９０の深さの値を大きくする構成であって、さらに導電体１２０の上部と配線１４０との間に生成される寄生容量の静電容量を小さくする構成である。構成例３では、配線１４０上に絶縁体１８１を形成し、開口部１９０を絶縁体１８１、配線１４０、絶縁体１８０および配線１１０を貫通し、絶縁体１６０に達するように形成する。

［０１２８］

このような構成とすることで、構成例２と同様に寄生容量Ｃｐ３の静電容量を小さくする効果を得ることができる。また、配線１４０と導電体１２０の上部との間に絶縁体１８１を設けることで、構成例２よりも配線１４０と導電体１２０（ノードＳＮ）との間に形成される寄生容量Ｃｐ４の静電容量を小さくすることができる。すなわち、静電容量Ｃ＝ε×Ｓ／ｄにおいて、誘電体の厚みｄの値を大きくしてＣを小さくすることに相当する。

［０１２９］

また、前述の構成例２では、配線１１０と導電体１２０の上部との距離、および配線１１０と配線１４０との距離が、絶縁体１８０の厚さに大きく影響される。そのため、配線１１０と導電体１２０の上部との距離を大きくしようとすると、配線１１０（ソース電極またはドレイン電極の一方）と配線１４０（ソース電極またはドレイン電極の他方）との距離も大きくなる。当該構成は、縦型トランジスタにおいてはチャネル長が長くなることに相当する。チャネル長が長くなると電流値が小さくなるため、回路設計の自由度が低くなってしまうことがある。

［０１３０］

一方で、構成例３では、チャネル長は絶縁体１８０の厚さで調整することができる。また、配線１１０と導電体１２０の上部との距離は、絶縁体１８０の厚さと絶縁体１８１の厚さを合わせて調整することができる。したがって、回路設計の自由度を高めることができる。

［０１３１］

＜メモリセルの構成例４＞

次に、メモリセル１５０の構成例４について説明する。図１０Ａは、メモリセル１５０の構成例４を説明する断面斜視図である。明瞭化のため、層間膜などの絶縁体は図示せず、配線２１０は破線で図示している。また、容量素子３００はＺ方向に分断し、断面を示している。

［０１３２］

図１０Ｂは、図７Ａ、図７Ｂに示す線分Ａ１－Ａ２の断面に相当する図である。図１０Ｃは、図７Ａ、図７Ｂに示す線分Ｂ１－Ｂ２の断面に相当する図である。また、図１０Ｂ、図１０Ｃには、図１０Ａに示す容量素子３００の分断位置を一点鎖線で示している。なお、構成例１と共通する各要素の説明は省略する。

［０１３３］

構成例４は、構成例１の構成に加え、トランジスタ１００とトランジスタ２００の間に容量素子３００を設けた構成である。当該構成は、図２Ｃに示す回路図のメモリセル１５０に適用することができる。

［０１３４］

容量素子３００は、導電体３２０と、絶縁体３３０と、配線３１０を有する。導電体３２０は一方の電極として機能し、絶縁体３３０は誘電体として機能し、配線３１０は他方の電極として機能する。

［０１３５］

トランジスタ１００上には絶縁体３８０が設けられ、配線３１０は絶縁体３８０上に設けられる。配線３１０および絶縁体３８０には開口部３９０が貫通して設けられ、絶縁体３３０は開口部３９０を覆うように設けられる。開口部３９０の底部において、絶縁体３３０には導電体１２０に達する開口部が設けられる。導電体３２０は開口部３９０を埋め込むように設けられ、開口部３９０の底部において、導電体１２０と接する。開口部３９０の外側において、絶縁体３３０上には層間膜として機能する絶縁体３８５が設けられる。

［０１３６］

絶縁体３８５および導電体３２０上にはトランジスタ２００が設けられる。トランジスタ２００の酸化物半導体２７０は、開口部２９０の底部において、導電体３２０と接する領域を有する。すなわち、導電体３２０は、トランジスタ２００のソース電極またはドレイン電極の一方として機能する領域も有するといえる。また、導電体３２０は、トランジスタ２００のソース電極またはドレイン電極の一方とトランジスタ１００のゲート電極（導電体１２０）とを接続する配線の機能を有するともいえる。

［０１３７］

容量素子３００を設けることで、ノードＳＮの静電容量が大きくなるため、各寄生容量の容量結合による電位変動を小さく抑えることができる。したがって、読み出しデータの信頼性を高めることができる。

［０１３８］

なお、図１０Ａ乃至図１０Ｃでは、構成例１に容量素子３００を付加した構成を示したが、図１１Ａの斜視図に示すように、構成例２に容量素子３００を付加した構成としてもよい。また、図１１Ｂの斜視図に示すように、構成例３に容量素子３００を付加した構成としてもよい。

［０１３９］

＜メモリセルの構成例５＞

次に、メモリセル１５０の構成例５について説明する。図１２Ａは、メモリセル１５０の構成例５を説明する斜視図である。明瞭化のため、層間膜などの絶縁体は図示せず、配線２１０は破線で図示している。また、容量素子３００はＺ方向に分断し、断面を示している。

［０１４０］

図１２Ｂは、図７Ａ、図７Ｂに示す線分Ａ１－Ａ２の断面に相当する図である。図１２Ｃは、図７Ａ、図７Ｂに示す線分Ｂ１－Ｂ２の断面に相当する図である。また、図１２Ｂ、図１２Ｃには、図１２Ａに示す容量素子３００の分断位置を一点鎖線で示している。なお、構成例１および構成例４と共通する各要素の説明は省略する。

［０１４１］

構成例５は、構成例４とは異なる構成の容量素子３００を設けた例である。絶縁体３８０、配線３１０、開口部３９０および絶縁体３３０は構成例４と同様の構成とし、配線３１０および開口部３９０を覆うように導電体３２０を形成する。

［０１４２］

このような構成とすることで、開口部３９０の外側にも配線３１０を一方の電極、絶縁体３３０を誘電体、導電体３２０を他方の電極とする容量を形成することができる。すなわち、静電容量Ｃ＝ε×Ｓ／ｄにおいて、電極面積Ｓの値を大きくしてＣを大きくすることに相当する。

［０１４３］

なお、図１２Ａ乃至図１２Ｃでは、構成例１に容量素子３００を付加した構成を示したが、図１３Ａの斜視図に示すように、構成例２に容量素子３００を付加した構成としてもよい。また、図１３Ｂの斜視図に示すように、構成例３に容量素子３００を付加した構成としてもよい。

［０１４４］

［トランジスタ１００、２００］

次に、トランジスタ１００、２００の詳細について説明する。なお、トランジスタ１００およびトランジスタ２００は、上述したように配線の接続形態などに違いはあるが、動作に関わる部分は基本的に同一の構造とみなせるため、ここでは、トランジスタ２００について説明を行う。

［０１４５］

図７Ｃ、図７Ｄなどに示すように、トランジスタ２００は、導電体１２０と、絶縁体２８０上の配線２４０と、開口部２９０において露出している導電体１２０の上面、開口部２９０における絶縁体２８０の側面、開口部２９０における配線２４０の側面、および配線２４０の上面の少なくとも一部に接して設けられた酸化物半導体２７０と、酸化物半導体２７０の上面に接して設けられた絶縁体２３０と、絶縁体２３０の上面に接して設けられた導電体２２０と、を有する構成にすることができる。

［０１４６］

トランジスタ２００の構成要素の少なくとも一部は、開口部２９０に配置される。ここで、開口部２９０の底部は、導電体１２０の上面でもあり、開口部２９０の側面は、絶縁体２８０の側面、および配線２４０の側面でもある。

［０１４７］

開口部２９０は上面が概略円形の柱状形状を有する。このような構成にすることで、記憶装置の微細化または高集積化を図ることができる。なお、開口部２９０の側面は、配線１１０の上面に対して垂直であることが好ましい。

［０１４８］

トランジスタ２００とトランジスタ１００の重畳面積を大きくするためには、開口部２９０の上面形状と、トランジスタ１００が形成される開口部１９０の上面形状を同一形状または相似形とすることが好ましい。

［０１４９］

酸化物半導体２７０、絶縁体２３０、および導電体２２０の開口部２９０に配置される部分は、開口部２９０の形状を反映して設けられる。よって、開口部２９０の底部および側面を覆うように酸化物半導体２７０が設けられ、酸化物半導体２７０を覆うように絶縁体２３０が設けられ、開口部２９０の形状を反映した絶縁体２３０の凹部を埋め込むように導電体２２０が設けられる。

［０１５０］

なお、本実施の形態では、上面視において開口部２９０および導電体２２０が概略円形である例について示したが、本発明はこれに限られるものではない。例えば、上面視において開口部２９０および導電体２２０が、楕円状、四角形などの多角形状、四角形等の多角形の角部を丸めた形状になっていてもよい。このとき、開口部２９０の最大幅は、開口部２９０の上面視の形状に合わせて適宜算出するとよい。また、導電体２２０の最大幅は、導電体２２０の上面視の形状に合わせて適宜算出するとよい。

［０１５１］

例えば、上面視において開口部２９０が四角形である場合、開口部２９０の最大幅は、当該四角形の対角線の長さとするとよい。また、上面視において導電体２２０が四角形である場合、導電体２２０の最大幅は、当該四角形の対角線の長さとするとよい。または、例えば、上面視において開口部２９０および導電体２２０が楕円状、多角形状、または多角形の角部を丸めた形状などである場合、開口部２９０および導電体２２０の最大幅は、開口部２９０の上面視の形状を包含する最小の円（最小包含円ともいう）の直径とするとよい。

［０１５２］

上記開口部２９０の形状の説明は、開口部１９０にも適用することができる。また、上記導電体２２０の形状の説明は、導電体１２０にも適用することができる。

［０１５３］

ここで、図７Ｃ、図７Ｄにおける酸化物半導体２７０およびその近傍の拡大図を図１４Ａに示す。また、配線２４０を含む、ＸＹ平面における断面図を、図１４Ｂに示す。

［０１５４］

図１４Ａに示すように、酸化物半導体２７０は、領域２７０ｉと、領域２７０ｉを挟むように設けられる領域２７０ｎａおよび領域２７０ｎｂと、を有する。

［０１５５］

領域２７０ｎａは、酸化物半導体２７０の導電体１２０と接する領域である。領域２７０ｎａの少なくとも一部は、トランジスタ２００のソース領域およびドレイン領域の一方として機能する。領域２７０ｎｂは、酸化物半導体２７０の配線２４０と接する領域である。領域２７０ｎｂの少なくとも一部は、トランジスタ２００のソース領域およびドレイン領域の他方として機能する。図１４Ｂに示すように、配線２４０は酸化物半導体２７０の外周全体に接する。よって、トランジスタ２００のソース領域およびドレイン領域の他方は、酸化物半導体２７０の、配線２４０と同じ層に形成される部分の外周全体に形成されうる。

［０１５６］

領域２７０ｉは、酸化物半導体２７０において、領域２７０ｎａと領域２７０ｎｂに挟まれる領域である。領域２７０ｉの少なくとも一部が、トランジスタ２００のチャネル形成領域として機能する。つまり、トランジスタ２００のチャネル形成領域は、導電体１２０と配線２４０の間の領域に位置する酸化物半導体２７０の一部に形成される。また、トランジスタ２００のチャネル形成領域は、酸化物半導体２７０において、絶縁体２８０と接する領域またはその近傍の領域に位置する、ということもできる。

［０１５７］

トランジスタ２００のチャネル長は、ソース領域とドレイン領域の間の距離となる。つまり、トラ

ンジスタ２００のチャネル長は、導電体１２０上の絶縁体２８０の厚さによって決定される、ということができる。図１４Ａは、トランジスタ２００のチャネル長Ｌを破線の両矢印で示している。チャネル長Ｌは、断面視において、酸化物半導体２７０と導電体１２０が接する領域の端部と、酸化物半導体２７０と配線２４０が接する領域の端部との距離となる。つまり、チャネル長Ｌは、断面視における絶縁体２８０の開口部２９０側の側面の長さに相当する。

［０１５８］

従来のトランジスタでは、チャネル長がフォトリソグラフィの露光限界で設定されていたが、本発明においては、絶縁体２８０の膜厚でチャネル長を設定することができる。よって、トランジスタ２００のチャネル長をフォトリソグラフィの露光限界以下の非常に微細な構造（例えば、６０ｎｍ以下、５０ｎｍ以下、４０ｎｍ以下、３０ｎｍ以下、２０ｎｍ以下、または１０ｎｍ以下であって、１ｎｍ以上、または５ｎｍ以上）にすることができる。これにより、トランジスタ２００のオン電流が大きくなり、周波数特性の向上を図ることができる。よって、動作速度が速い記憶装置を提供できる。

［０１５９］

さらに、上記のように、開口部２９０に、チャネル形成領域、ソース領域、およびドレイン領域を形成することができる。これにより、チャネル形成領域、ソース領域、およびドレイン領域が、ＸＹ平面上に別々に設けられていた、従来のトランジスタと比較して、トランジスタ２００の占有面積を低減できる。これにより、記憶装置を高集積化することができるため、単位面積当たりの記憶容量を大きくすることができる。

［０１６０］

このように、開口部２９０において、絶縁体２８０の側面に沿ってチャネル形成領域を有するトランジスタを縦型トランジスタとも呼ぶ。

［０１６１］

また、酸化物半導体２７０のチャネル形成領域を含むＸＹ平面においても、図１４Ｂと同様に、酸化物半導体２７０、絶縁体２３０、および導電体２２０は、同心円状に設けられる。よって、中心に設けられた導電体２２０の側面は、絶縁体２３０を介して、酸化物半導体２７０の側面と対向する。つまり、上面視において、酸化物半導体２７０の周全体がチャネル形成領域になる。このとき、例えば、酸化物半導体２７０の外周の長さによって、トランジスタ２００のチャネル幅が決まる。つまり、トランジスタ２００のチャネル幅は、開口部２９０の最大幅（上面視において開口部２９０が円形である場合は最大径）の大きさによって決定される、ということができる。図１４Ａおよび図１４Ｂは、開口部２９０の最大幅Ｄを二点鎖線の両矢印で示している。図１４Ｂは、トランジスタ２００のチャネル幅Ｗを一点鎖線の両矢印で示している。開口部２９０の最大幅Ｄの大きさを大きくすることで、単位面積当たりのチャネル幅を大きくし、オン電流を大きくすることができる。

［０１６２］

フォトリソグラフィ法を用いて開口部２９０を形成する場合、開口部２９０の最大幅Ｄはフォトリソグラフィの露光限界で設定される。また、開口部２９０の最大幅Ｄは、開口部２９０に設ける、酸化物半導体２７０、絶縁体２３０、および導電体２２０それぞれの膜厚によって設定される。開口部２９０の最大幅Ｄは、例えば、５ｎｍ以上、１０ｎｍ以上、または２０ｎｍ以上であって、１００ｎｍ以下、６０ｎｍ以下、５０ｎｍ以下、４０ｎｍ以下、または３０ｎｍ以下が好ましい。なお、上面視において開口部２９０が円形である場合、開口部２９０の最大幅Ｄは開口部２９０の直

径に相当し、チャネル幅Wは“Ｄ×π”と算出することができる。

［０１６３］

また、本発明の一態様の記憶装置においては、トランジスタ２００のチャネル長Ｌは、少なくともトランジスタ２００のチャネル幅Wよりも小さいことが好ましい。本発明の一態様に係るトランジスタ２００のチャネル長Ｌは、トランジスタ２００のチャネル幅Wに対し、０．１倍以上０．９９倍以下、好ましくは０．５倍以上０．８倍以下である。このような構成にすることで、良好な電気特性および高い信頼性を有するトランジスタを実現できる。

［０１６４］

また、上面視で概略円形になるように開口部２９０を形成することで、酸化物半導体２７０、絶縁体２３０、および導電体２２０は、同心円状に設けられる。これにより、導電体２２０と酸化物半導体２７０の距離が概略均一になるため、酸化物半導体２７０にゲート電界を概略均一に印加することができる。

［０１６５］

半導体層に酸化物半導体を用いるトランジスタのチャネル形成領域は、ソース領域およびドレイン領域よりも、酸素欠損が少ない、または水素、窒素、金属元素などの不純物濃度が低いことが好ましい。また、酸素欠損近傍の水素が、酸素欠損に水素が入った欠陥（以下、V_OHと呼ぶ場合がある）を形成し、キャリアとなる電子を生成する場合があるため、チャネル形成領域においては、V_OHも低減されていることが好ましい。このように、トランジスタのチャネル形成領域は、キャリア濃度が低い高抵抗領域である。よってトランジスタのチャネル形成領域は、ｉ型（真性）または実質的にｉ型であるということができる。

［０１６６］

また、半導体層に酸化物半導体を用いるトランジスタのソース領域およびドレイン領域は、チャネル形成領域よりも、酸素欠損が多い、V_OHが多い、または水素、窒素、金属元素などの不純物濃度が高い、ことでキャリア濃度が増加し、低抵抗化した領域である。すなわち、トランジスタのソース領域およびドレイン領域は、チャネル形成領域と比較して、キャリア濃度が高く、低抵抗なｎ型の領域である。

［０１６７］

なお、図１４Ａ等では、開口部２９０の側面が配線１１０の上面に対して垂直となるように、開口部２９０を設けているが、本発明はこれに限られるものではない。例えば、開口部２９０の側面は、テーパー形状になってもよい。

［０１６８］

酸化物半導体２７０として用いる金属酸化物のバンドギャップは、２ｅＶ以上が好ましく、２．５ｅＶ以上がより好ましい。酸化物半導体２７０としてバンドギャップの大きい金属酸化物を用いることで、トランジスタのオフ電流を低減できる。オフ電流が小さいトランジスタをメモリセルに用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作を必要としない、または、リフレッシュ動作の頻度が極めて少ないため、記憶装置の消費電力を十分に低減できる。なお、一般的なＤＲＡＭにおいては、リフレッシュ動作の頻度を約１回／６０ｍｓｅｃとする必要があるが、本発明の一態様の記憶装置においては、リフレッシュ動作の頻度を約１回／１０ｓｅｃと、１０倍以上または１００倍以上のリフレッシュ動作の頻度とすることができる。なお、本発明の一態様の記憶装置とすることで、リフレッシュ動作は、１ｓｅｃ以上１００ｓｅｃ

以下、好ましくは、５ｓｅｃ以上５０ｓｅｃ以下に１回の頻度とすることができる。

［０１６９］

なお、酸化物半導体２７０としては、後述する［金属酸化物］の項目に記載の金属酸化物を、単層または積層で用いることができる。

［０１７０］

酸化物半導体２７０として、具体的には、Ｉｎ：Ｍ：Ｚｎ＝１：３：２［原子数比］もしくはその近傍の組成、Ｉｎ：Ｍ：Ｚｎ＝１：３：４［原子数比］もしくはその近傍の組成、Ｉｎ：Ｍ：Ｚｎ＝１：１：０．５［原子数比］もしくはその近傍の組成、Ｉｎ：Ｍ：Ｚｎ＝１：１：１［原子数比］もしくはその近傍の組成、Ｉｎ：Ｍ：Ｚｎ＝１：１：１．２［原子数比］もしくはその近傍の組成、Ｉｎ：Ｍ：Ｚｎ＝１：１：２［原子数比］もしくはその近傍の組成、またはＩｎ：Ｍ：Ｚｎ＝４：２：３［原子数比］もしくはその近傍の組成の金属酸化物を用いればよい。なお、近傍の組成とは、所望の原子数比の±３０％の範囲を含む。また、元素Ｍとして、ガリウムを用いることが好ましい。

［０１７１］

なお、金属酸化物をスパッタリング法により成膜する場合、上記の原子数比は、成膜された金属酸化物の原子数比に限られず、金属酸化物の成膜に用いるスパッタリングターゲットの原子数比であってもよい。

［０１７２］

酸化物半導体２７０に用いる金属酸化物の組成の分析には、例えば、エネルギー分散型Ｘ線分光法（ＥＤＸ：Ｅｎｅｒｇｙ　Ｄｉｓｐｅｒｓｉｖｅ　Ｘ－ｒａｙ　Ｓｐｅｃｔｒｏｍｅｔｒｙ）、Ｘ線光電子分光法（ＸＰＳ：Ｘ－ｒａｙ　Ｐｈｏｔｏｅｌｅｃｔｒｏｎ　Ｓｐｅｃｔｒｏｍｅｔｒｙ）、誘導結合プラズマ質量分析法（ＩＣＰ－ＭＳ：Ｉｎｄｕｃｔｉｖｅｌｙ　Ｃｏｕｐｌｅｄ　Ｐｌａｓｍａ－Ｍａｓｓ　Ｓｐｅｃｔｒｏｍｅｔｒｙ）、または誘導結合高周波プラズマ発光分光法（ＩＣＰ－ＡＥＳ：Ｉｎｄｕｃｔｉｖｅｌｙ　Ｃｏｕｐｌｅｄ　Ｐｌａｓｍａ－Ａｔｏｍｉｃ　Ｅｍｉｓｓｉｏｎ　Ｓｐｅｃｔｒｏｍｅｔｒｙ）を用いることができる。または、これらの手法を複数組み合わせて分析を行ってもよい。なお、含有率が低い元素は、分析精度の影響により、実際の含有率と分析によって得られた含有率が異なる場合がある。例えば、元素Ｍの含有率が低い場合、分析によって得られた元素Ｍの含有率が、実際の含有率より低くなる場合がある。

［０１７３］

金属酸化物の形成には、スパッタリング法、または原子層堆積（ＡＬＤ：Ａｔｏｍｉｃ　Ｌａｙｅｒ　Ｄｅｐｏｓｉｔｉｏｎ）法を好適に用いることができる。なお、金属酸化物をスパッタリング法で形成する場合、形成後の金属酸化物の組成はスパッタリングターゲットの組成と異なる場合がある。特に、亜鉛は、形成後の金属酸化物における含有率が、スパッタリングターゲットと比較して５０％程度にまで減少する場合がある。

［０１７４］

酸化物半導体２７０は、結晶性を有することが好ましい。結晶性を有する酸化物半導体として、ＣＡＡＣ－ＯＳ（ｃ－ａｘｉｓ　ａｌｉｇｎｅｄ　ｃｒｙｓｔａｌｌｉｎｅ　ｏｘｉｄｅ　ｓｅｍｉｃｏｎｄｕｃｔｏｒ）、ｎｃ－ＯＳ（ｎａｎｏｃｒｙｓｔａｌｌｉｎｅ　ｏｘｉｄｅ　ｓｅｍｉｃｏｎｄｕｃｔｏｒ）、多結晶酸化物半導体、単結晶酸化物半導体等が挙げられる。酸化物半導体２７０として、ＣＡＡＣ－ＯＳまたはｎｃ－ＯＳを用いることが好ましく、ＣＡＡＣ－ＯＳを用いることが特に好ましい。

［０１７５］

ＣＡＡＣ－ＯＳは、複数の層状の結晶領域を有し、ｃ軸が被形成面の法線方向に配向していることが好ましい。例えば、酸化物半導体２７０は、開口部２９０の側面、特に絶縁体２８０の側面に対して、概略平行な層状の結晶を有することが好ましい。このような構成にすることで、トランジスタ２００のチャネル長方向に対して、酸化物半導体２７０の層状の結晶が概略平行に形成されるため、トランジスタのオン電流を大きくすることができる。

［０１７６］

ＣＡＡＣ－ＯＳは、結晶性の高い、緻密な構造を有しており、不純物および欠陥（例えば、酸素欠損など）が少ない金属酸化物である。特に、金属酸化物の形成後に、金属酸化物が多結晶化しない程度の温度（例えば、４００℃以上６００℃以下）で加熱処理することで、ＣＡＡＣ－ＯＳをより結晶性の高い、緻密な構造にすることができる。このようにして、ＣＡＡＣ－ＯＳの密度をより高めることで、当該ＣＡＡＣ－ＯＳ中の不純物または酸素の拡散をより低減することができる。

［０１７７］

また、ＣＡＡＣ－ＯＳは、明確な結晶粒界を確認することが難しいため、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。したがって、ＣＡＡＣ－ＯＳを有する金属酸化物は、物理的性質が安定する。そのため、ＣＡＡＣ－ＯＳを有する金属酸化物は熱に強く、信頼性が高い。

［０１７８］

また、酸化物半導体２７０としてＣＡＡＣ－ＯＳなどの結晶性を有する酸化物を用いることで、ソース電極またはドレイン電極による、酸化物半導体２７０からの酸素の引き抜きを抑制できる。これにより、熱処理を行なっても、酸化物半導体２７０から酸素が引き抜かれることを抑制できるため、トランジスタ２００は、製造工程における高い温度（所謂サーマルバジェット）に対して安定である。

［０１７９］

酸化物半導体２７０の結晶性は、例えば、Ｘ線回折（ＸＲＤ：ＸＲａｙ　Ｄｉｆｆｒａｃｔｉｏｎ）パターン、透過型電子顕微鏡（ＴＥＭ：Ｔｒａｎｓｍｉｓｓｉｏｎ　Ｅｌｅｃｔｒｏｎ　Ｍｉｃｒｏｓｃｏｐｅ）像、または電子線回折（ＥＤ：Ｅｌｅｃｔｒｏｎ　Ｄｉｆｆｒａｃｔｉｏｎ）パターンにより解析できる。または、これらの手法を複数組み合わせて分析を行ってもよい。

［０１８０］

なお、図７Ｃ、図７Ｄ等では、酸化物半導体２７０を単層で示したが、本発明はこれに限られるものではない。酸化物半導体２７０は、化学組成が異なる複数の酸化物層の積層構造を有してもよい。例えば、上記金属酸化物から選ばれる複数種を適宜積層する構造にしてもよい。

［０１８１］

酸化物半導体２７０を３層積層構造とする場合、例えば、導電体１２０側から順に、Ｉｎ：Ｇａ：Ｚｎ＝１：１：１［原子数比］またはその近傍の組成である金属酸化物、Ｉｎ：Ｚｎ＝１：１［原子数比］またはその近傍の組成、もしくはＩｎ：Ｚｎ＝４：１［原子数比］またはその近傍の組成である金属酸化物、Ｉｎ：Ｇａ：Ｚｎ＝１：１：１［原子数比］またはその近傍の組成である金属酸化物が設けられた構成としてもよい。このような構成にすることで、トランジスタ２００のオン電流を大きくし、且つ、ばらつきが少なく信頼性の高いトランジスタ構造とすることができる。

［０１８２］

絶縁体２３０としては、後述する［絶縁体］の項目に記載の絶縁体を、単層または積層で用いるこ

とができる。例えば、絶縁体２３０として、酸化シリコンまたは酸化窒化シリコンを用いることができる。酸化シリコン、および酸化窒化シリコンは熱に対し安定であるため好ましい。

［０１８３］

また、絶縁体２３０として、後述する［絶縁体］の項目に記載の比誘電率が高い材料、所謂ｈｉｇｈ－ｋ材料を用いてもよい。例えば、酸化ハフニウムまたは酸化アルミニウムなどを用いてもよい。

［０１８４］

絶縁体２３０の膜厚は、０．５ｎｍ以上１５ｎｍ以下とすることが好ましく、０．５ｎｍ以上１２ｎｍ以下とすることがより好ましく、０．５ｎｍ以上１０ｎｍ以下とすることがさらに好ましい。絶縁体２３０は、少なくとも一部において、上記のような膜厚の領域を有していればよい。

［０１８５］

絶縁体２３０中の水、水素などの不純物濃度は低減されていることが好ましい。これにより、酸化物半導体２７０のチャネル形成領域への、水、水素などの不純物の混入を抑制できる。

［０１８６］

図７Ｃ、図７Ｄに示すように、絶縁体２３０の一部は、開口部２９０の外、つまり、配線２４０および絶縁体２８０の上に位置する。このとき、絶縁体２３０は、酸化物半導体２７０の側端部を覆うことが好ましい。これにより、導電体２２０と酸化物半導体２７０がショートすることを防ぐことができる。また、絶縁体２３０は、配線２４０の側端部を覆うことが好ましい。これにより、導電体２２０と配線２４０がショートすることを防ぐことができる。

［０１８７］

なお、図７Ｃ、図７Ｄでは、絶縁体２３０を単層で示したが、本発明はこれに限られるものではない。絶縁体２３０は、積層構造であってもよい。

［０１８８］

導電体２２０としては、後述する［導電体］の項目に記載の導電体を、単層または積層で用いることができる。例えば、導電体２２０として、タングステンなどの導電性が高い導電性材料を用いることができる。

［０１８９］

また、導電体２２０として、酸化しにくい導電性材料、または、酸素の拡散を抑制する機能を有する導電性材料などを用いることが好ましい。当該導電性材料として、窒素を含む導電性材料（例えば、窒化チタンまたは窒化タンタルなど）、および酸素を含む導電性材料（例えば、酸化ルテニウムなど）などが挙げられる。これにより、導電体２２０の導電率が低下することを抑制できる。

［０１９０］

なお、図７Ｃ、図７Ｄでは、導電体２２０を単層で示したが、本発明はこれに限られるものではない。導電体２２０は、積層構造であってもよい。

［０１９１］

配線２４０としては、後述する［導電体］の項目に記載の導電体を、単層または積層で用いることができる。例えば、配線２４０として、タングステンなどの、導電性が高い導電性材料を用いることができる。

［０１９２］

配線２４０も導電体２２０と同様に、酸化しにくい導電性材料、または、酸素の拡散を抑制する機能を有する導電性材料などを用いることが好ましい。例えば、窒化チタンまたは窒化タンタルなど

を用いることができる。このような構成にすることで、酸化物半導体２７０によって配線２４０が過剰に酸化されることを抑制できる。

［０１９３］

また、例えば、窒化チタンの上にタングステンを積層した構造にしてもよい。このようにタングステンを積層して設けることで、配線２４０の導電性を向上させることができる。

［０１９４］

また、配線２４０を第１の導電体と第２の導電体とを積層する構成とする場合、例えば、第１の導電体を導電性が高い導電性材料を用いて形成し、第２の導電体を酸素を含む導電性材料を用いて形成してもよい。絶縁体２３０と接する配線２４０の第２の導電体として酸素を含む導電性材料を用いることで、絶縁体２３０中の酸素が配線２４０の第１の導電体に拡散することを抑制できる。例えば、配線２４０の第１の導電体としてタングステンを用い、配線２４０の第２の導電体としてシリコンを添加したインジウム錫酸化物を用いるとよい。

［０１９５］

酸化物半導体２７０と導電体１２０とが接することで、金属化合物、または酸素欠損が形成され、酸化物半導体２７０の領域２７０ｎａが低抵抗化する。導電体１２０と接する酸化物半導体２７０が低抵抗化することで、酸化物半導体２７０と導電体１２０との接触抵抗を低減できる。同様に、酸化物半導体２７０と配線２４０とが接することで、酸化物半導体２７０の領域２７０ｎｂが低抵抗化する。したがって、酸化物半導体２７０と配線２４０との接触抵抗を低減できる。

［０１９６］

絶縁体２８０は層間膜として機能するため、比誘電率が低いことが好ましい。比誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量の静電容量を低減できる。絶縁体２８０としては、後述する［絶縁体］の項目に記載の、比誘電率が低い材料を含む絶縁体を、単層または積層で用いることができる。酸化シリコン、および酸化窒化シリコンは、熱的に安定であるため好ましい。

［０１９７］

また、絶縁体２８０中の水、水素などの不純物濃度は低減されていることが好ましい。これにより、酸化物半導体２７０のチャネル形成領域への、水、水素などの不純物の混入を抑制できる。

［０１９８］

また、絶縁体２８０は、加熱により脱離する酸素（以下、過剰酸素と呼ぶ場合がある）を含む絶縁体を用いることが好ましい。過剰酸素を含む絶縁体２８０に熱処理を行うことで、絶縁体２８０から酸化物半導体２７０のチャネル形成領域に酸素を供給し、酸素欠損およびV_OHの低減を図ることができる。これにより、トランジスタ２００の電気特性を安定にし、信頼性の向上を図ることができる。

［０１９９］

また、絶縁体２８０として、後述する［絶縁体］の項目に記載の、水素を捕獲するまたは水素を固着する機能を有する絶縁体を用いてもよい。このような構成にすることで、酸化物半導体２７０の水素を捕獲または固着し、酸化物半導体２７０の水素濃度を低減できる。絶縁体２８０としては、酸化マグネシウム、または酸化アルミニウムなどを用いることができる。

［０２００］

なお、図７Ｃ、図７Ｄでは、絶縁体２８０を単層で示したが、本発明はこれに限られるものではない。絶縁体２８０は、積層構造であってもよい。

［０２０１］

＜記憶装置の構成材料＞

以下では、記憶装置に用いることができる構成材料について説明する。

［０２０２］

［基板］

トランジスタ１００およびトランジスタ２００を形成する基板としては、例えば、絶縁体基板、半導体基板、または導電体基板を用いればよい。絶縁体基板としては、例えば、ガラス基板、石英基板、サファイア基板、安定化ジルコニア基板（イットリア安定化ジルコニア基板など）、樹脂基板などがある。また、半導体基板としては、例えば、シリコン、ゲルマニウムを材料とした半導体基板、または炭化シリコン、シリコンゲルマニウム、ヒ化ガリウム、リン化インジウム、酸化亜鉛、酸化ガリウムからなる化合物半導体基板などがある。さらには、前述の半導体基板内部に絶縁体領域を有する半導体基板、例えば、ＳＯＩ（Ｓｉｌｉｃｏｎ　Ｏｎ　Ｉｎｓｕｌａｔｏｒ）基板などがある。導電体基板としては、黒鉛基板、金属基板、合金基板、導電性樹脂基板などがある。または、金属の窒化物を有する基板、金属の酸化物を有する基板などがある。さらには、絶縁体基板に導電体または半導体が設けられた基板、半導体基板に導電体または絶縁体が設けられた基板、導電体基板に半導体または絶縁体が設けられた基板などがある。または、これらの基板に素子が設けられたものを用いてもよい。基板に設けられる素子としては、容量素子、抵抗素子、スイッチ素子、発光素子、記憶素子などがある。

［０２０３］

［絶縁体］

絶縁体としては、絶縁性を有する酸化物、窒化物、酸化窒化物、窒化酸化物、金属酸化物、金属酸化窒化物、金属窒化酸化物などがある。

［０２０４］

例えば、トランジスタの微細化、および高集積化が進むと、ゲート絶縁体の薄膜化により、リーク電流などの問題が生じる場合がある。ゲート絶縁体として機能する絶縁体に、ｈｉｇｈ－ｋ材料を用いることで物理膜厚を保ちながら、トランジスタ動作時の低電圧化が可能となる。また、ゲート絶縁体として機能する絶縁体の等価酸化膜厚（ＥＯＴ）の薄膜化が可能となる。一方、層間膜として機能する絶縁体には、比誘電率が低い材料を用いることで、配線間に生じる寄生容量の静電容量を低減できる。したがって、絶縁体の機能に応じて、材料を選択するとよい。なお、比誘電率が低い材料は、絶縁耐力が大きい材料でもある。

［０２０５］

比誘電率が高い（ｈｉｇｈ－ｋ）材料としては、例えば、酸化アルミニウム、酸化ガリウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウム、ハフニウムジルコニウム酸化物、アルミニウムおよびハフニウムを有する酸化物、アルミニウムおよびハフニウムを有する酸化窒化物、シリコンおよびハフニウムを有する酸化物、シリコンおよびハフニウムを有する酸化窒化物、並びに、シリコンおよびハフニウムを有する窒化物などが挙げられる。

［０２０６］

比誘電率が低い材料としては、例えば、酸化シリコン、酸化窒化シリコン、および窒化酸化シリコンなどの無機絶縁材料、ポリエステル、ポリオレフィン、ポリアミド（ナイロン、アラミドなど）、ポリイミド、ポリカーボネート、およびアクリルなどの樹脂が挙げられる。また、比誘電率が低い

他の無機絶縁材料として、例えば、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、並びに、炭素および窒素を添加した酸化シリコンなどが挙げられる。また、例えば、空孔を有する酸化シリコンが挙げられる。なお、これらの酸化シリコンは、窒素を含んでもよい。

［０２０７］

また、金属酸化物を用いたトランジスタは、不純物および酸素の透過を抑制する機能を有する絶縁体で囲うことによって、トランジスタの電気特性を安定にすることができる。不純物および酸素の透過を抑制する機能を有する絶縁体としては、例えば、ホウ素、炭素、窒素、酸素、フッ素、マグネシウム、アルミニウム、シリコン、リン、塩素、アルゴン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、ネオジム、ハフニウム、またはタンタルを含む絶縁体を、単層で、または積層で用いることができる。具体的には、不純物および酸素の透過を抑制する機能を有する絶縁体として、酸化アルミニウム、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウム、酸化タンタルなどの金属酸化物、窒化アルミニウム、窒化酸化シリコン、窒化シリコンなどの金属窒化物を用いることができる。

［０２０８］

また、ゲート絶縁体などの、半導体と接する絶縁体、または半導体層の近傍に設ける絶縁体は、過剰酸素を含む領域を有する絶縁体であることが好ましい。例えば、過剰酸素を含む領域を有する絶縁体を半導体層と接する、または半導体層の近傍に設ける構造とすることで、半導体層が有する酸素欠損を低減することができる。過剰酸素を含む領域を形成しやすい絶縁体として、酸化シリコン、酸化窒化シリコン、または空孔を有する酸化シリコンなどが挙げられる。

［０２０９］

また、酸素に対するバリア性を有する絶縁体としては、アルミニウムおよびハフニウムの一方または両方を含む酸化物、ハフニウムおよびシリコンを含む酸化物（ハフニウムシリケート）、酸化マグネシウム、酸化ガリウム、ガリウム亜鉛酸化物、インジウムガリウム亜鉛酸化物、窒化シリコン、並びに、窒化酸化シリコンなどが挙げられる。また、アルミニウムおよびハフニウムの一方また両方を含む酸化物として、酸化アルミニウム、酸化ハフニウム、アルミニウム及びハフニウムを含む酸化物（ハフニウムアルミネート）、などが挙げられる。

［０２１０］

また、水素に対するバリア性を有する絶縁体としては、酸化アルミニウム、酸化マグネシウム、酸化ハフニウム、酸化ガリウム、インジウムガリウム亜鉛酸化物、窒化シリコンまたは窒化酸化シリコン等が挙げられる。

［０２１１］

酸素に対するバリア性を有する絶縁体、および水素に対するバリア性を有する絶縁体は、酸素および水素の一方または両方に対するバリア性を有する絶縁体といえる。

［０２１２］

また、水素を捕獲するまたは固着する機能を有する絶縁体として、マグネシウムを含む酸化物、または、アルミニウムおよびハフニウムの一方または両方を含む酸化物が挙げられる。また、これらの酸化物は、アモルファス構造を有することがより好ましい。アモルファス構造を有する酸化物では、酸素原子がダングリングボンドを有しており、当該ダングリングボンドで水素を捕獲するまたは固着する性質を有する場合がある。なお、これらの属酸化物は、アモルファス構造であることが

好ましいが、一部に結晶領域が形成されていてもよい。

［０２１３］

なお、本明細書等において、バリア絶縁膜とは、バリア性を有する絶縁膜のことを指す。また、バリア性とは、対応する物質が拡散し難い性質（対応する物質が透過し難い性質、対応する物質の透過性が低い性質、または、対応する物質の拡散を抑制する機能ともいう）とする。なお、対応する物質を捕獲するまたは固着する（ゲッタリングともいう）機能を、バリア性と言い換えることができる。なお、対応する物質として記載される場合の水素は、例えば、水素原子、水素分子、並びに、水分子およびOH^-などの水素と結合した物質などの少なくとも一を指す。また、対応する物質として記載される場合の不純物は、特段の明示が無い限り、チャネル形成領域または半導体層における不純物を指し、例えば、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子（N_2O、NO、NO_2など）、銅原子などの少なくとも一を指す。また、対応する物質として記載される場合の酸素は、例えば、酸素原子、酸素分子などの少なくとも一を指す。具体的には、酸素に対するバリア性とは、酸素原子、酸素分子等の少なくとも一が拡散し難い性質を指す。

［０２１４］

［導電体］

導電体としては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウム、イリジウム、ストロンチウム、ランタンなどから選ばれた金属元素、または前述した金属元素を成分とする合金か、前述した金属元素を組み合わせた合金等を用いることが好ましい。前述した金属元素を成分とする合金として、当該合金の窒化物、または当該合金の酸化物を用いてもよい。例えば、窒化タンタル、窒化チタン、タングステン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物などを用いることが好ましい。また、リン等の不純物元素を含有させた多結晶シリコンに代表される、電気伝導度が高い半導体、ニッケルシリサイドなどのシリサイドを用いてもよい。

［０２１５］

また、タンタルを含む窒化物、チタンを含む窒化物、モリブデンを含む窒化物、タングステンを含む窒化物、ルテニウムを含む窒化物、タンタルおよびアルミニウムを含む窒化物、またはチタンおよびアルミニウムを含む窒化物などの窒素を含む導電性材料、酸化ルテニウム、ストロンチウムおよびルテニウムを含む酸化物、またはランタンおよびニッケルを含む酸化物などの酸素を含む導電性材料、チタン、タンタル、またはルテニウムなどの金属元素を含む材料は、酸化しにくい導電性材料、酸素の拡散を抑制する機能を有する導電性材料、または、酸素を吸収しても導電性を維持する材料であるため、好ましい。なお、酸素を含む導電性材料として、酸化タングステンを含むインジウム酸化物、酸化チタンを含むインジウム酸化物、インジウム錫酸化物、酸化チタンを含むインジウム錫酸化物、シリコンを添加したインジウム錫酸化物、インジウム亜鉛酸化物、および、酸化タングステンを含むインジウム亜鉛酸化物などが挙げられる。本明細書等では、酸素を含む導電性材料を用いて成膜される導電膜を、酸化物導電膜と呼ぶことがある。

［０２１６］

また、タングステン、銅、またはアルミニウムを主成分とする導電性材料は、導電性が高いため、好ましい。

［０２１７］

また、上記の材料で形成される導電層を複数積層して用いてもよい。例えば、前述した金属元素を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、前述した金属元素を含む材料と、窒素を含む導電性材料と、を組み合わせた積層構造としてもよい。また、前述した金属元素を含む材料と、酸素を含む導電性材料と、窒素を含む導電性材料と、を組み合わせた積層構造としてもよい。

［０２１８］

なお、トランジスタのチャネル形成領域に金属酸化物を用いる場合において、ゲート電極として機能する導電体には、前述した金属元素を含む材料と、酸素を含む導電性材料と、を組み合わせた積層構造を用いることが好ましい。この場合は、酸素を含む導電性材料をチャネル形成領域側に設けるとよい。酸素を含む導電性材料をチャネル形成領域側に設けることで、当該導電性材料から離脱した酸素がチャネル形成領域に供給されやすくなる。

［０２１９］

特に、ゲート電極として機能する導電体として、チャネルが形成される金属酸化物に含まれる金属元素および酸素を含む導電性材料を用いることが好ましい。また、前述した金属元素および窒素を含む導電性材料を用いてもよい。例えば、窒化チタン、窒化タンタルなどの窒素を含む導電性材料を用いてもよい。また、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、および、シリコンを添加したインジウム錫酸化物のうち一つまたは複数を用いてもよい。また、窒素を含むインジウムガリウム亜鉛酸化物を用いてもよい。このような材料を用いることで、チャネルが形成される金属酸化物に含まれる水素を捕獲することができる場合がある。または、外方の絶縁体などから混入する水素を捕獲することができる場合がある。

［０２２０］

［金属酸化物］

金属酸化物は、格子欠陥を有する場合がある。格子欠陥とは、原子空孔、異種原子などの点欠陥、転位などの線欠陥、結晶粒界などの面欠陥、空隙などの体積欠陥がある。また、格子欠陥の生成の要因としては、構成元素の原子数の比率のずれ（構成原子の過不足）、および不純物などがある。

［０２２１］

金属酸化物をトランジスタの半導体層に用いる場合、金属酸化物中の格子欠陥は、キャリアの生成または捕獲などを引き起こす要因となりうる。よって、格子欠陥が多い金属酸化物をトランジスタの半導体層に用いると、当該トランジスタの電気特性が不安定となる恐れがある。よって、トランジスタの半導体層に用いる金属酸化物は、格子欠陥が少ないことが好ましい。

［０２２２］

金属酸化物を用いたトランジスタは、特に、金属酸化物中のチャネル形成領域に酸素欠損（V_O）および不純物が存在すると、電気特性が変動しやすく、信頼性が悪くなる場合がある。また、酸素欠損近傍の水素が、酸素欠損に水素が入った欠陥（以下、V_OHと呼ぶ場合がある）を形成し、キャリアとなる電子を生成する場合がある。このため、金属酸化物中のチャネル形成領域に酸素欠損が含まれていると、トランジスタはノーマリーオン特性となりやすい。したがって、金属酸化物中のチャネル形成領域では、酸素欠損および不純物はできる限り低減されていることが好ましい。言

い換えると、金属酸化物中のチャネル形成領域は、キャリア濃度が低減され、ｉ型化（真性化）または実質的にｉ型化されていることが好ましい。

［０２２３］

金属酸化物中に存在しやすい格子欠陥の種類、および格子欠陥の存在量は、金属酸化物の構造または金属酸化物の成膜方法などによって異なる。

［０２２４］

金属酸化物の構造は、単結晶構造と、それ以外の構造（非単結晶の構造）と、に分けられる。非単結晶の構造としては、例えば、ＣＡＡＣ構造、多結晶（ｐｏｌｙｃｒｙｓｔａｌｌｉｎｅ）構造、ｎｃ構造、擬似非晶質（ａ－ｌｉｋｅ：ａｍｏｒｐｈｏｕｓ－ｌｉｋｅ）構造、および非晶質構造などがある。ａ－ｌｉｋｅ構造は、ｎｃ構造と非晶質構造との間の構造を有する。なお、結晶構造の分類については、後述する。

［０２２５］

また、ａ－ｌｉｋｅ構造を有する金属酸化物、および非晶質構造を有する金属酸化物は、鬆または低密度領域を有する。すなわち、ａ－ｌｉｋｅ構造を有する金属酸化物、および非晶質構造を有する金属酸化物は、ｎｃ構造を有する金属酸化物およびＣＡＡＣ構造を有する金属酸化物と比べて、結晶性が低い。また、ａ－ｌｉｋｅ構造を有する金属酸化物は、ｎｃ構造を有する金属酸化物およびＣＡＡＣ構造を有する金属酸化物と比べて、金属酸化物中の水素濃度が高い。よって、ａ－ｌｉｋｅ構造を有する金属酸化物、および非晶質構造を有する金属酸化物では、格子欠陥が生成されやすい。

［０２２６］

よって、トランジスタの半導体層には、結晶性の高い金属酸化物を用いることが好ましい。例えば、ＣＡＡＣ構造を有する金属酸化物、または単結晶構造の金属酸化物を用いることが好ましい。当該金属酸化物をトランジスタに用いることで、良好な電気特性を有するトランジスタを実現できる。また、信頼性の高いトランジスタを実現できる。

［０２２７］

また、トランジスタのチャネル形成領域には、当該トランジスタのオン電流が大きくなる金属酸化物を用いることが好ましい。当該トランジスタのオン電流を大きくするには、当該トランジスタに用いる金属酸化物の移動度を高くするとよい。金属酸化物の移動度を高くするには、キャリア（ｎチャネル型トランジスタの場合は、電子）の伝送を向上させる、または、キャリアの伝送に寄与する散乱因子を低減する必要がある。なお、キャリアは、チャネル形成領域を介して、ソースからドレインに流れる。よって、キャリアがチャネル長方向に流れやすいチャネル形成領域を設けることで、トランジスタのオン電流を大きくすることができる。

［０２２８］

ここで、チャネル形成領域を含む金属酸化物に、結晶性の高い金属酸化物を用いることが好ましい。さらに、当該結晶は、複数の層（例えば、第１の層と、第２の層と、第３の層）が積層された結晶構造を有することが好ましい。つまり、当該結晶は、層状の結晶構造（層状結晶、層状構造ともいう）を有する。このとき、当該結晶のｃ軸の向きは、複数の層が積層される方向となる。当該結晶を有する金属酸化物には、例えば、単結晶酸化物半導体、ＣＡＡＣ－ＯＳなどが含まれる。

［０２２９］

また、上記結晶のｃ軸を、金属酸化物の被形成面または膜表面に対する法線方向に配向することが

好ましい。これにより、複数の層は、金属酸化物の被形成面または膜表面に対して、平行または概略平行に配置される。つまり、複数の層は、チャネル長方向に広がる。

［０２３０］

例えば、上記のような３層の層状の結晶構造は、以下のような構造になる。第１の層は、当該第１の層が有する金属が中心に存在する酸素の八面体形の、原子の配位構造を有する。また、第２の層は、当該第２の層が有する金属が中心に存在する酸素の三方両錐形または四面体形の、原子の配位構造を有する。また、第３の層は、当該第３の層が有する金属が中心に存在する酸素の三方両錐形または四面体形の、原子の配位構造を有する。

［０２３１］

上記結晶の結晶構造として、例えば、$YbFe_2O_4$型構造、$Yb_2Fe_3O_7$型構造、これらの変形型構造などがある。

［０２３２］

さらに、第１の層乃至第３の層のそれぞれは、一の金属元素、または、価数が同じである複数の金属元素と、酸素とで構成されることが好ましい。なお、第１の層を構成する一または複数の金属元素の価数と、第２の層を構成する一または複数の金属元素の価数と、は同じであることが好ましい。また、第１の層と、第２の層とは、同じ金属元素を有してもよい。また、第１の層を構成する一または複数の金属元素の価数と、第３の層を構成する一または複数の金属元素の価数と、は異なることが好ましい。

［０２３３］

上記構成にすることで、金属酸化物の結晶性を向上し、当該金属酸化物の移動度を高くすることができる。よって、当該金属酸化物をトランジスタのチャネル形成領域に用いることで、トランジスタのオン電流が大きくなり、当該トランジスタの電気特性を向上させることができる。

［０２３４］

本発明の一態様の金属酸化物として、例えば、インジウム酸化物、ガリウム酸化物、および亜鉛酸化物が挙げられる。本発明の一態様の金属酸化物は、少なくともインジウム（Ｉｎ）または亜鉛（Ｚｎ）を含むことが好ましい。また、金属酸化物は、インジウムと、元素Ｍと、亜鉛と、の中から選ばれる二または三を有することが好ましい。なお、元素Ｍは、酸素との結合エネルギーが高い金属元素または半金属元素であり、例えば、酸素との結合エネルギーがインジウムよりも高い金属元素または半金属元素である。元素Ｍとして、具体的には、アルミニウム、ガリウム、スズ、イットリウム、チタン、バナジウム、クロム、マンガン、鉄、コバルト、ニッケル、ジルコニウム、モリブデン、ハフニウム、タンタル、タングステン、ランタン、セリウム、ネオジム、マグネシウム、カルシウム、ストロンチウム、バリウム、ホウ素、シリコン、ゲルマニウム、およびアンチモンなどが挙げられる。金属酸化物が有する元素Ｍは、上記元素のいずれか一種または複数種であることが好ましく、アルミニウム、ガリウム、スズ、およびイットリウムから選ばれた一種または複数種であることがより好ましく、ガリウムがさらに好ましい。金属酸化物が有する元素Ｍがガリウムである場合、本発明の一態様の金属酸化物は、インジウム、ガリウム、および亜鉛の中から選ばれるいずれか一または複数を有することが好ましい。なお、本明細書等において、金属元素と半金属元素をまとめて「金属元素」と呼ぶことがあり、本明細書等に記載の「金属元素」には半金属元素が含まれることがある。

［０２３５］

本発明の一態様の金属酸化物半導体として、例えば、インジウム亜鉛酸化物（Ｉｎ－Ｚｎ酸化物）、インジウムスズ酸化物（Ｉｎ－Ｓｎ酸化物）、インジウムチタン酸化物（Ｉｎ－Ｔｉ酸化物）、インジウムガリウム酸化物（Ｉｎ－Ｇａ酸化物）、インジウムガリウムアルミニウム酸化物（Ｉｎ－Ｇａ－Ａｌ酸化物）、インジウムガリウムスズ酸化物（Ｉｎ－Ｇａ－Ｓｎ酸化物）、ガリウム亜鉛酸化物（Ｇａ－Ｚｎ酸化物、ＧＺＯとも記す）、アルミニウム亜鉛酸化物（Ａｌ－Ｚｎ酸化物、ＡＺＯとも記す）、インジウムアルミニウム亜鉛酸化物（Ｉｎ－Ａｌ－Ｚｎ酸化物、ＩＡＺＯとも記す）、インジウムスズ亜鉛酸化物（Ｉｎ－Ｓｎ－Ｚｎ酸化物）、インジウムチタン亜鉛酸化物（Ｉｎ－Ｔｉ－Ｚｎ酸化物）、インジウムガリウム亜鉛酸化物（Ｉｎ－Ｇａ－Ｚｎ酸化物、ＩＧＺＯとも記す）、インジウムガリウムスズ亜鉛酸化物（Ｉｎ－Ｇａ－Ｓｎ－Ｚｎ酸化物、ＩＧＺＴＯとも記す）、インジウムガリウムアルミニウム亜鉛酸化物（Ｉｎ－Ｇａ－Ａｌ－Ｚｎ酸化物、ＩＧＡＺＯまたはＩＡＧＺＯとも記す）などを用いることができる。または、シリコンを含むインジウムスズ酸化物、ガリウムスズ酸化物（Ｇａ－Ｓｎ酸化物）、アルミニウムスズ酸化物（Ａｌ－Ｓｎ酸化物）などが挙げられる。

［０２３６］

金属酸化物に含まれる全ての金属元素の原子数の和に対するインジウムの原子数の割合を高くすることにより、トランジスタの電界効果移動度を高めることができる。

［０２３７］

なお、金属酸化物は、インジウムに代えて、周期の数が大きい金属元素の一種または複数種を有してもよい。または、金属酸化物は、インジウムに加えて、周期の数が大きい金属元素の一種または複数種を有してもよい。金属元素の軌道の重なりが大きいほど、金属酸化物におけるキャリア伝導は大きくなる傾向がある。よって、周期の数が大きい金属元素を含むことで、トランジスタの電界効果移動度を高めることができる場合がある。周期の数が大きい金属元素として、第５周期に属する金属元素、および第６周期に属する金属元素などが挙げられる。当該金属元素として、具体的には、イットリウム、ジルコニウム、銀、カドミウム、スズ、アンチモン、バリウム、鉛、ビスマス、ランタン、セリウム、プラセオジム、ネオジム、プロメチウム、サマリウム、およびユウロピウムなどが挙げられる。なお、ランタン、セリウム、プラセオジム、ネオジム、プロメチウム、サマリウム、およびユウロピウムは、軽希土類元素と呼ばれる。

［０２３８］

また、金属酸化物は、非金属元素の一種または複数種を有してもよい。金属酸化物が非金属元素を有することで、トランジスタの電界効果移動度を高めることができる場合がある。非金属元素として、例えば、炭素、窒素、リン、硫黄、セレン、フッ素、塩素、臭素、および水素などが挙げられる。

［０２３９］

また、金属酸化物に含まれる全ての金属元素の原子数の和に対する亜鉛の原子数の割合を高くすることにより、結晶性の高い金属酸化物となり、金属酸化物中の不純物の拡散を抑制できる。したがって、トランジスタの電気特性の変動が抑制され、信頼性を高めることができる。

［０２４０］

また、金属酸化物に含まれる全ての金属元素の原子数の和に対する元素Ｍの原子数の割合を高くすることにより、金属酸化物に酸素欠損が形成されることを抑制できる。したがって、酸素欠損に起因するキャリア生成が抑制され、オフ電流の小さいトランジスタとすることができる。また、トラ

ンジスタの電気特性の変動が抑制され、信頼性を高めることができる。

［０２４１］

また、金属酸化物に含まれる全ての金属元素の原子数の和に対するＩｎの原子数の割合を高くすることにより、トランジスタは大きいオン電流、および高い周波数特性を得ることができる。

［０２４２］

本実施の形態では、金属酸化物として、Ｉｎ－Ｇａ－Ｚｎ酸化物を例に挙げて説明する場合がある。

［０２４３］

上記の層状の結晶構造を有する金属酸化物を形成するためには、一層ずつ原子を堆積することが好ましい。本発明の一態様の金属酸化物の成膜方法では、ＡＬＤ法を用いるため、上記の層状の結晶構造を有する金属酸化物を形成することが容易である。

［０２４４］

ＡＬＤ法としては、プリカーサおよびリアクタントの反応を熱エネルギーのみで行う熱ＡＬＤ（Ｔｈｅｒｍａｌ　ＡＬＤ）法、および、プラズマ励起されたリアクタントを用いるプラズマＡＬＤ（ＰＥＡＬＤ：Ｐｌａｓｍａ　Ｅｎｈａｎｃｅｄ　ＡＬＤ）法などが挙げられる。

［０２４５］

ＡＬＤ法は、一層ずつ原子を堆積することができるため、極薄の成膜が可能、アスペクト比の高い構造への成膜が可能、ピンホールなどの欠陥の少ない成膜が可能、被覆性に優れた成膜が可能、および低温での成膜が可能、などの効果がある。また、ＰＥＡＬＤ法は、プラズマを利用することで、より低温での成膜が可能となり好ましい場合がある。なお、ＡＬＤ法で用いるプリカーサには炭素または塩素などの元素を含むものがある。このため、ＡＬＤ法により設けられた膜は、他の成膜法により設けられた膜と比較して、炭素または塩素などの元素を多く含む場合がある。なお、これらの元素の定量は、ＸＰＳまたはＳＩＭＳを用いて行うことができる。なお、本発明の一態様の金属酸化物の成膜方法では、ＡＬＤ法を用いるが、成膜時の基板温度が高い条件の採用、および、不純物除去処理の実施の一方または双方を適用するため、これらを適用せずにＡＬＤ法を用いる場合に比べて、膜中に含まれる炭素および塩素の量が少ないことがある。

［０２４６］

ＡＬＤ法は、ターゲットなどから放出される粒子が堆積する成膜方法とは異なり、被処理物の表面における反応により膜が形成される成膜方法である。したがって、被処理物の形状の影響を受けにくく、良好な段差被覆性を有する成膜方法である。特に、ＡＬＤ法は、優れた段差被覆性と、優れた厚さの均一性を有するため、アスペクト比の高い開口部の表面を被覆する場合などに好適である。ただし、ＡＬＤ法は、比較的成膜速度が遅いため、成膜速度の速いスパッタリング法、またはＣＶＤ法などの他の成膜方法と組み合わせて用いることが好ましい場合もある。例えば、スパッタリング法を用いて、第１の金属酸化物を成膜し、当該第１の金属酸化物上にＡＬＤ法を用いて、第２の金属酸化物を成膜する方法などが挙げられる。例えば、上記第１の金属酸化物が結晶部を有する場合、上記第２の金属酸化物が当該結晶部を核として、結晶成長する場合がある。

［０２４７］

ＡＬＤ法は、原料ガスの導入量によって、得られる膜の組成を制御することができる。例えば、ＡＬＤ法では、原料ガスの導入量、導入回数（パルス回数ともいう）、１パルスに要する時間（パルス時間ともいう）などを調節することによって、任意の組成の膜を成膜することができる。また、例えば、ＡＬＤ法では、成膜しながら原料ガスを変化させることによって、組成が連続的に変化し

た膜を成膜することができる。原料ガスを変化させながら成膜する場合、複数の成膜室を用いて成膜する場合と比べて、搬送および圧力調整に掛かる時間を要さない分、成膜に掛かる時間を短くすることができる。したがって、記憶装置の生産性を高めることができる場合がある。

［０２４８］

［［金属酸化物を有するトランジスタ］］

続いて、金属酸化物（酸化物半導体）をトランジスタに用いる場合について説明する。以下では、半導体層に酸化物半導体を用いたトランジスタをＯＳトランジスタと記し、半導体層にシリコンを用いたトランジスタをＳｉトランジスタと記す場合がある。

［０２４９］

本発明の一態様の金属酸化物（酸化物半導体）をトランジスタに用いることで、高い電界効果移動度のトランジスタを実現できる。また、信頼性の高いトランジスタを実現できる。また、微細化または高集積化されたトランジスタを実現できる。例えば、チャネル長が２ｎｍ以上３０ｎｍ以下のトランジスタを作製しうる。

［０２５０］

トランジスタのチャネル形成領域には、キャリア濃度の低い酸化物半導体を用いることが好ましい。例えば、酸化物半導体のチャネル形成領域のキャリア濃度は1×10^{18}ｃｍ$^{-3}$以下、好ましくは1×10^{17}ｃｍ$^{-3}$以下、より好ましくは1×10^{15}ｃｍ$^{-3}$以下、より好ましくは1×10^{13}ｃｍ$^{-3}$以下、より好ましくは1×10^{11}ｃｍ$^{-3}$以下、さらに好ましくは1×10^{10}ｃｍ$^{-3}$未満であり、1×10^{-9}ｃｍ$^{-3}$以上である。なお、酸化物半導体のキャリア濃度を低くする場合においては、酸化物半導体中の不純物濃度を低くし、欠陥準位密度を低くすればよい。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性または実質的に高純度真性と言う。なお、キャリア濃度の低い酸化物半導体を、高純度真性または実質的に高純度真性な酸化物半導体と呼ぶ場合がある。

［０２５１］

また、高純度真性または実質的に高純度真性である酸化物半導体膜は、欠陥準位密度が低いため、トラップ準位密度も低くなる場合がある。

［０２５２］

また、酸化物半導体のトラップ準位に捕獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い酸化物半導体にチャネル形成領域が形成されるトランジスタは、電気特性が不安定となる場合がある。

［０２５３］

したがって、トランジスタの電気特性を安定にするためには、酸化物半導体中の不純物濃度を低減することが有効である。また、酸化物半導体中の不純物濃度を低減するためには、近接する膜中の不純物濃度も低減することが好ましい。不純物としては、水素、炭素、窒素などが挙げられる。なお、酸化物半導体中の不純物とは、例えば、酸化物半導体を構成する主成分以外をいう。例えば、濃度が０．１ａｔｏｍｉｃ％未満の元素は不純物といえる。

［０２５４］

また、酸化物半導体のバンドギャップは、シリコンのバンドギャップ（代表的には１．１ｅＶ）よりも大きいことが好ましく、好ましくは２ｅＶ以上、より好ましくは２．５ｅＶ以上、さらに好ましくは３．０ｅＶ以上である。シリコンよりも、バンドギャップの大きい酸化物半導体を用いるこ

とで、トランジスタのオフ電流（Ｉｏｆｆとも呼称する）を低減できる。

［０２５５］

また、Ｓｉトランジスタでは、トランジスタの微細化が進むにつれて、短チャネル効果（ショートチャネル効果：Ｓｈｏｒｔ　Ｃｈａｎｎｅｌ　Ｅｆｆｅｃｔ：ＳＣＥともいう）が発現する。そのため、Ｓｉトランジスタでは、微細化が困難となる。短チャネル効果が発現する要因の一つとして、シリコンのバンドギャップが小さいことが挙げられる。一方、ＯＳトランジスタは、バンドギャップの大きい半導体材料である、酸化物半導体を用いるため、短チャネル効果の抑制を図ることができる。別言すると、ＯＳトランジスタは、短チャネル効果がない、または短チャネル効果が極めて少ないトランジスタである。

［０２５６］

なお、短チャネル効果とは、トランジスタの微細化（チャネル長の縮小）に伴って顕在化する電気特性の劣化である。短チャネル効果の具体例としては、しきい値電圧の低下、サブスレッショルドスイング値（Ｓ値と表記することがある）の増大、漏れ電流の増大などがある。ここで、Ｓ値とは、ドレイン電圧一定にてドレイン電流を１桁変化させるサブスレッショルド領域でのゲート電圧の変化量をいう。

［０２５７］

また、短チャネル効果に対する耐性の指標として、特性長（Ｃｈａｒａｃｔｅｒｉｓｔｉｃ　Ｌｅｎｇｔｈ）が広く用いられている。特性長とは、チャネル形成領域のポテンシャルの曲がりやすさの指標である。特性長が小さいほどポテンシャルが急峻に立ち上がるため、短チャネル効果に強いといえる。

［０２５８］

ＯＳトランジスタは蓄積型のトランジスタであり、Ｓｉトランジスタは反転型のトランジスタである。したがって、Ｓｉトランジスタと比較して、ＯＳトランジスタは、ソース領域－チャネル形成領域間の特性長、およびドレイン領域－チャネル形成領域間の特性長が小さい。したがって、ＯＳトランジスタは、Ｓｉトランジスタよりも短チャネル効果に強い。すなわち、チャネル長の短いトランジスタを作製したい場合においては、ＯＳトランジスタは、Ｓｉトランジスタよりも好適である。

［０２５９］

チャネル形成領域がｉ型または実質的にｉ型となるまで、酸化物半導体のキャリア濃度を下げた場合においても、短チャネルのトランジスタではＣｏｎｄｕｃｔｉｏｎ－Ｂａｎｄ－Ｌｏｗｅｒｉｎｇ（ＣＢＬ）効果により、チャネル形成領域の伝導帯下端が下がるため、ソース領域またはドレイン領域と、チャネル形成領域との間の伝導帯下端のエネルギー差は、０．１ｅＶ以上０．２ｅＶ以下まで小さくなる可能性がある。これにより、ＯＳトランジスタは、チャネル形成領域がn^-型の領域となり、ソース領域およびドレイン領域がn^+型の領域となる、$n^+/n^-/n^+$の蓄積型ｊｕｎｃｔｉｏｎ－ｌｅｓｓトランジスタ構造、または、$n^+/n^-/n^+$の蓄積型ｎｏｎ－ｊｕｎｃｔｉｏｎトランジスタ構造と、捉えることもできる。

［０２６０］

ＯＳトランジスタを、上記の構造とすることで、記憶装置を微細化または高集積化しても良好な電気特性を有することができる。例えば、ＯＳトランジスタのチャネル長またはゲート長が、２０ｎｍ以下、１５ｎｍ以下、１０ｎｍ以下、７ｎｍ以下、または６ｎｍ以下であって、１ｎｍ以上、３

ｎｍ以上、または５ｎｍ以上であっても、良好な電気特性を得ることができる。一方で、Ｓｉトランジスタは、短チャネル効果が発現するため、２０ｎｍ以下、または１５ｎｍ以下のゲート長とすることが困難な場合がある。したがって、ＯＳトランジスタは、Ｓｉトランジスタと比較してチャネル長の短いトランジスタに好適に用いることができる。なお、ゲート長とは、トランジスタ動作時にキャリアがチャネル形成領域内部を移動する方向における、ゲート電極の長さである。

［０２６１］

また、ＯＳトランジスタを微細化することで、トランジスタの高周波特性を向上させることができる。具体的には、トランジスタの遮断周波数を向上させることができる。ＯＳトランジスタのゲート長が上記範囲のいずれかである場合、トランジスタの遮断周波数を、例えば室温環境下で、５０ＧＨｚ以上、好ましくは１００ＧＨｚ以上、さらに好ましくは１５０ＧＨｚ以上とすることができる。

［０２６２］

以上の説明の通り、ＯＳトランジスタは、Ｓｉトランジスタと比較し、オフ電流が小さいこと、チャネル長の短いトランジスタの作製が可能なこと、といった優れた効果を有する。

［０２６３］

［［金属酸化物中の不純物］］

ここで、金属酸化物（酸化物半導体）中における各不純物の影響について説明する。

［０２６４］

酸化物半導体において、第１４族元素の一つであるシリコンまたは炭素が含まれると、酸化物半導体において欠陥準位が形成される。このため、ＳＩＭＳにより得られる酸化物半導体のチャネル形成領域における炭素の濃度は、1×10^{20}ａｔｏｍｓ／ｃｍ^{3}以下、好ましくは5×10^{19}ａｔｏｍｓ／ｃｍ^{3}以下、より好ましくは3×10^{19}ａｔｏｍｓ／ｃｍ^{3}以下、より好ましくは1×10^{19}ａｔｏｍｓ／ｃｍ^{3}以下、より好ましくは3×10^{18}ａｔｏｍｓ／ｃｍ^{3}以下、さらに好ましくは1×10^{18}ａｔｏｍｓ／ｃｍ^{3}以下とする。また、ＳＩＭＳにより得られる酸化物半導体のチャネル形成領域におけるシリコンの濃度は、1×10^{20}ａｔｏｍｓ／ｃｍ^{3}以下、好ましくは5×10^{19}ａｔｏｍｓ／ｃｍ^{3}以下、より好ましくは3×10^{19}ａｔｏｍｓ／ｃｍ^{3}以下、より好ましくは1×10^{19}ａｔｏｍｓ／ｃｍ^{3}以下、より好ましくは3×10^{18}ａｔｏｍｓ／ｃｍ^{3}以下、さらに好ましくは1×10^{18}ａｔｏｍｓ／ｃｍ^{3}以下とする。

［０２６５］

また、酸化物半導体において、窒素が含まれると、キャリアである電子が生じ、キャリア濃度が増加し、ｎ型化しやすい。この結果、窒素が含まれている酸化物半導体を半導体に用いたトランジスタはノーマリーオン特性となりやすい。または、酸化物半導体において、窒素が含まれると、トラップ準位が形成される場合がある。この結果、トランジスタの電気特性が不安定となる場合がある。このため、ＳＩＭＳにより得られる酸化物半導体のチャネル形成領域における窒素濃度は、1×10^{20}ａｔｏｍｓ／ｃｍ^{3}以下、好ましくは5×10^{19}ａｔｏｍｓ／ｃｍ^{3}以下、より好ましくは1×10^{19}ａｔｏｍｓ／ｃｍ^{3}以下、より好ましくは5×10^{18}ａｔｏｍｓ／ｃｍ^{3}以下、より好ましくは1×10^{18}ａｔｏｍｓ／ｃｍ^{3}以下、さらに好ましくは5×10^{17}ａｔｏｍｓ／ｃｍ^{3}以下とする。

［０２６６］

また、酸化物半導体に含まれる水素は、金属原子と結合する酸素と反応して水になるため、酸素欠

損を形成する場合がある。該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することがある。したがって、水素が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、酸化物半導体のチャネル形成領域における中の水素はできる限り低減されていることが好ましい。具体的には、ＳＩＭＳにより得られる酸化物半導体のチャネル形成領域における水素濃度は、１×１０^{20}ａｔｏｍｓ／ｃｍ^{3}未満、好ましくは５×１０^{19}ａｔｏｍｓ／ｃｍ^{3}未満、より好ましくは１×１０^{19}ａｔｏｍｓ／ｃｍ^{3}未満、より好ましくは５×１０^{18}ａｔｏｍｓ／ｃｍ^{3}未満、さらに好ましくは１×１０^{18}ａｔｏｍｓ／ｃｍ^{3}未満とする。

［０２６７］

また、酸化物半導体にアルカリ金属またはアルカリ土類金属が含まれると、欠陥準位を形成し、キャリアを生成する場合がある。したがって、アルカリ金属またはアルカリ土類金属が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、ＳＩＭＳにより得られる酸化物半導体のチャネル形成領域中のアルカリ金属またはアルカリ土類金属の濃度を、１×１０^{18}ａｔｏｍｓ／ｃｍ^{3}以下、好ましくは２×１０^{16}ａｔｏｍｓ／ｃｍ^{3}以下にする。

［０２６８］

不純物が十分に低減された酸化物半導体をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

［０２６９］

［その他の半導体材料］

酸化物半導体２７０は、トランジスタのチャネル形成領域を含む半導体層と言い換えることができる。半導体層に用いることができる半導体材料は、上述の金属酸化物に限られない。半導体層として、バンドギャップを有する半導体材料（ゼロギャップ半導体ではない半導体材料）を用いてもよい。例えば、単体元素の半導体、化合物半導体、または層状物質（原子層物質、２次元材料などともいう）などを半導体材料に用いることが好ましい。

［０２７０］

ここで、本明細書等において、層状物質とは、層状の結晶構造を有する材料群の総称である。層状の結晶構造は、共有結合またはイオン結合によって形成される層が、ファンデルワールス力のような、共有結合またはイオン結合よりも弱い結合を介して積層している構造である。層状物質は、単位層内における電気伝導性が高く、つまり、２次元電気伝導性が高い。半導体として機能し、かつ、２次元電気伝導性の高い材料をチャネル形成領域に用いることで、オン電流の大きいトランジスタを提供できる。

［０２７１］

半導体材料に用いることができる単体元素の半導体として、シリコン、およびゲルマニウムなどが挙げられる。半導体層に用いることができるシリコンとして、単結晶シリコン、多結晶シリコン、微結晶シリコン、および非晶質シリコンが挙げられる。多結晶シリコンとして、例えば、低温ポリシリコン（ＬＴＰＳ：Ｌｏｗ　Ｔｅｍｐｅｒａｔｕｒｅ　Ｐｏｌｙ　Ｓｉｌｉｃｏｎ）が挙げられる。

［０２７２］

半導体材料に用いることができる化合物半導体として、炭化シリコン、シリコンゲルマニウム、ヒ化ガリウム、リン化インジウム、窒化ホウ素、およびヒ化ホウ素などが挙げられる。半導体層に用

いることができる窒化ホウ素は、アモルファス構造を含むことが好ましい。半導体層に用いることができるヒ化ホウ素は、立方晶構造の結晶を含むことが好ましい。

［０２７３］

層状物質として、グラフェン、シリセン、炭窒化ホウ素、カルコゲン化物などがある。層状物質としての炭窒化ホウ素は、炭素原子、窒素原子、およびホウ素原子が平面上に六角形格子構造で配列している。カルコゲン化物は、カルコゲンを含む化合物である。また、カルコゲンは、第１６族に属する元素の総称であり、酸素、硫黄、セレン、テルル、ポロニウム、リバモリウムが含まれる。また、カルコゲン化物として、遷移金属カルコゲナイド、１３族カルコゲナイドなどが挙げられる。

［０２７４］

半導体層として、例えば、半導体として機能する遷移金属カルコゲナイドを用いることが好ましい。半導体層として適用可能な遷移金属カルコゲナイドとして、具体的には、硫化モリブデン（代表的にはＭｏＳ$_2$）、セレン化モリブデン（代表的にはＭｏＳｅ$_2$）、モリブデンテルル（代表的にはＭｏＴｅ$_2$）、硫化タングステン（代表的にはＷＳ$_2$）、セレン化タングステン（代表的にはＷＳｅ$_2$）、タングステンテルル（代表的にはＷＴｅ$_2$）、硫化ハフニウム（代表的にはＨｆＳ$_2$）、セレン化ハフニウム（代表的にはＨｆＳｅ$_2$）、硫化ジルコニウム（代表的にはＺｒＳ$_2$）、セレン化ジルコニウム（代表的にはＺｒＳｅ$_2$）などが挙げられる。上述の遷移金属カルコゲナイドを、半導体層に適用することで、オン電流が大きい記憶装置を提供できる。

［０２７５］

本発明の一態様により、新規のトランジスタ、新規の半導体装置、および新規の記憶装置を提供できる。または、微細化または高集積化が可能な記憶装置を提供できる。または、周波数特性が良好な記憶装置を提供できる。または、動作速度が速い記憶装置を提供できる。または、信頼性が良好な記憶装置を提供できる。または、低消費電力の記憶装置を提供できる。または、オン電流が大きいトランジスタを有する記憶装置を提供できる。または、トランジスタ特性のばらつきが少ない記憶装置を提供できる。または、良好な電気特性を有する記憶装置を提供できる。

［０２７６］

本実施の形態に示す構成、構造、方法などは、他の実施の形態などに示す構成、構造、方法などと適宜組み合わせて用いることができる。

［０２７７］

（実施の形態２）

本実施の形態では、本発明の一態様の記憶装置の構成例について図面を用いて説明する。

［０２７８］

図１５Ａに、本発明の一態様の記憶装置の斜視概略図を示す。図１５Ｂに、本発明の一態様の記憶装置のブロック図を示す。

［０２７９］

図１５Ａおよび図１５Ｂに示す記憶装置７５０は、駆動回路層７０１と、ｎ層（ｎは１以上の整数）の記憶層７００と、を有する。記憶層７００は、それぞれ、メモリセルアレイ１０を有する。メモリセルアレイ１０は、複数のメモリセル１１を有する。

［０２８０］

ｎ層の記憶層７００は駆動回路層７０１上に設けられる。ｎ層の記憶層７００を駆動回路層７０１上に設けることで、記憶装置７５０の占有面積を低減できる。また、単位面積当たりの記憶容量を

高めることができる。

［０２８１］

本実施の形態では、１層目の記憶層７００を記憶層７００＿１と示し、２層目の記憶層７００を記憶層７００＿２と示し、３層目の記憶層７００を記憶層７００＿３と示す。また、ｋ層目（ｋは１以上ｎ以下の整数。）の記憶層７００を記憶層７００＿ｋと示し、ｎ層目の記憶層７００を記憶層７００＿ｎと示す。なお、本実施の形態等において、ｎ層の記憶層７００全体に係る事柄を説明する場合、またはｎ層ある記憶層７００の各層に共通の事柄を示す場合に、単に「記憶層７００」と表記する場合がある。

［０２８２］

駆動回路層７０１は、ＰＳＷ２２（パワースイッチ）、ＰＳＷ２３、および周辺回路３１を有する。周辺回路３１は、周辺回路４１、コントロール回路３２（Ｃｏｎｔｒｏｌ　Ｃｉｒｃｕｉｔ）、および電圧生成回路３３を有する。

［０２８３］

記憶装置７５０において、各回路、各信号および各電圧は、必要に応じて、適宜取捨することができる。或いは、他の回路または他の信号を追加してもよい。信号ＢＷ、信号ＣＥ、信号ＧＷ、信号ＣＬＫ、信号ＷＡＫＥ、信号ＡＤＤＲ、信号ＷＤＡ、信号ＰＯＮ１、信号ＰＯＮ２は外部からの入力信号であり、信号ＲＤＡは外部への出力信号である。

［０２８４］

信号ＣＬＫはクロック信号である。信号ＢＷ、信号ＣＥ、および信号ＧＷは制御信号である。信号ＣＥはチップイネーブル信号であり、信号ＧＷはグローバル書き込みイネーブル信号であり、信号ＢＷはバイト書き込みイネーブル信号である。信号ＡＤＤＲはアドレス信号である。信号ＷＤＡは書き込みデータであり、信号ＲＤＡは読み出しデータである。信号ＰＯＮ１、信号ＰＯＮ２は、パワーゲーティング制御用信号である。なお、信号ＰＯＮ１、信号ＰＯＮ２は、コントロール回路３２で生成してもよい。

［０２８５］

コントロール回路３２は、記憶装置７５０の動作全般を制御する機能を有するロジック回路である。例えば、コントロール回路は、信号ＣＥ、信号ＧＷおよび信号ＢＷを論理演算して、記憶装置７５０の動作モード（例えば、書き込み動作、読み出し動作）を決定する。または、コントロール回路３２は、この動作モードが実行されるように、周辺回路４１の制御信号を生成する。

［０２８６］

電圧生成回路３３は負電圧を生成する機能を有する。信号ＷＡＫＥは、信号ＣＬＫの電圧生成回路３３への入力を制御する機能を有する。例えば、信号ＷＡＫＥにＨレベルの信号が与えられると、信号ＣＬＫが電圧生成回路３３へ入力され、電圧生成回路３３は負電圧を生成する。

［０２８７］

周辺回路４１は、メモリセル１１に対するデータの書き込みおよび読み出しをするための回路である。周辺回路４１は、行デコーダ４２（Ｒｏｗ　Ｄｅｃｏｄｅｒ）、列デコーダ４４（Ｃｏｌｕｍｎ　Ｄｅｃｏｄｅｒ）、行ドライバ４３（Ｒｏｗ　Ｄｒｉｖｅｒ）、列ドライバ４５（Ｃｏｌｕｍｎ　Ｄｒｉｖｅｒ）、入力回路４７（Ｉｎｐｕｔ　Ｃｉｒ．）、出力回路４８（Ｏｕｔｐｕｔ　Ｃｉｒ．）、センスアンプ４６（Ｓｅｎｓｅ　Ａｍｐｌｉｆｉｅｒ）を有する。

［０２８８］

行デコーダ４２および列デコーダ４４は、信号ＡＤＤＲをデコードする機能を有する。行デコーダ４２は、アクセスする行を指定するための回路であり、列デコーダ４４は、アクセスする列を指定するための回路である。行ドライバ４３は、行デコーダ４２が指定する配線WWＬ（書き込みワード線）または配線ＲＷＬ（読み出しワード線）を選択する機能を有する。列ドライバ４５は、データをメモリセル１１に書き込む機能、メモリセル１１からデータを読み出す機能、および読み出したデータを保持する機能等を有する。列ドライバ４５は、列デコーダ４４が指定する配線ＷＢＬ（書き込みビット線）、および配線ＲＢＬ（読み出しビット線）を選択する機能を有する。

［０２８９］

入力回路４７は、信号ＷＤＡを保持する機能を有する。入力回路４７が保持するデータは、列ドライバ４５に出力される。入力回路４７の出力データが、メモリセル１１に書き込むデータ（Ｄｉｎ）である。列ドライバ４５がメモリセル１１から読み出したデータ（Ｄｏｕｔ）は、出力回路４８に出力される。出力回路４８は、Ｄｏｕｔを保持する機能を有する。また、出力回路４８は、Ｄｏｕｔを記憶装置７５０の外部に出力する機能を有する。出力回路４８から出力されるデータが信号ＲＤＡである。

［０２９０］

ＰＳＷ２２は周辺回路３１へのＶＤＤの供給を制御する機能を有する。ＰＳＷ２３は、行ドライバ４３へのＶＨＭの供給を制御する機能を有する。ここでは、記憶装置７５０の高電源電圧がＶＤＤであり、低電源電圧はＧＮＤ（接地電位）である。また、ＶＨＭは、ワード線を高レベルにするために用いられる高電源電圧であり、ＶＤＤよりも高い。信号ＰＯＮ１によってＰＳＷ２２のオンまたはオフが制御され、信号ＰＯＮ２によってＰＳＷ２３のオンまたはオフが制御される。図１５Ｂでは、周辺回路３１において、ＶＤＤが供給される電源ドメインの数を１としているが、複数にすることもできる。この場合、各電源ドメインに対してパワースイッチを設ければよい。

［０２９１］

ｎ層ある記憶層７００の構成例について説明する。ｎ層ある記憶層７００は、それぞれがメモリセルアレイ１０を有する。また、メモリセルアレイ１０は、複数のメモリセル１１を有する。図１５Ａおよび図１５Ｂでは、メモリセルアレイ１０がｐ行ｑ列（ｐおよびｑは２以上の整数。）のマトリクス状に配置された複数のメモリセル１１を有する例を示している。

［０２９２］

なお、行と列は互いに直交する方向に延在する。本実施の形態では、Ｘ方向を「行」とし、Ｙ方向を「列」としているが、Ｘ方向を「列」とし、Ｙ方向を「行」としてもよい。

［０２９３］

図１５Ｂでは、１行１列目に設けられたメモリセル１１をメモリセル１１［１，１］と示し、ｐ行ｑ列目に設けられたメモリセル１１をメモリセル１１［ｐ，ｑ］と示している。また、ｉ行ｊ列目（ｉは１以上ｐ以下の整数。ｊは１以上ｑ以下の整数。）に設けられたメモリセル１１をメモリセル１１［ｉ，ｊ］と示している。

［０２９４］

メモリセル１１の回路構成例としては、上記実施の形態で説明した構成（メモリセル１５０）を適用することができる。

［０２９５］

また記憶層７００を積層する構成とする場合、配線ＷＢＬおよび配線ＲＢＬを基板表面の垂直方向

に配置することが好適である。配線ＷＢＬおよび配線ＲＢＬを基板表面の垂直方向に設けることで、配線ＷＢＬおよび配線ＲＢＬに接続されるセンスアンプとの間の信号伝搬距離を短くでき、配線ＷＢＬおよび配線ＲＢＬの抵抗および寄生容量が大幅に削減されるため、消費電力および信号遅延の低減が実現できる。

［０２９６］

本実施の形態に示す構成、構造、方法などは、他の実施の形態および実施例などに示す構成、構造、方法などと適宜組み合わせて用いることができる。

［０２９７］

（実施の形態３）

本実施の形態では、上記実施の形態で説明した記憶装置を用いることができる、電子部品、電子機器、大型計算機、宇宙用機器、およびデータセンター（Ｄａｔａ　Ｃｅｎｔｅｒ：ＤＣとも呼称する）について説明する。本発明の一態様の記憶装置を用いた、電子部品、電子機器、大型計算機、宇宙用機器、およびデータセンターは、低消費電力化といった高性能化に有効である。

［０２９８］

［電子部品］

電子部品７０９が実装された基板（実装基板７０４）の斜視図を、図１６Ａに示す。図１６Ａに示す電子部品７０９は、モールド７１１内に記憶装置７１０を有している。図１６Ａは、電子部品７０９の内部を示すために、一部の記載を省略している。電子部品７０９は、モールド７１１の外側にランド７１２を有する。ランド７１２は電極パッド７１３と電気的に接続され、電極パッド７１３は記憶装置７１０とワイヤ７１４を介して電気的に接続されている。電子部品７０９は、例えばプリント基板７０２に実装される。このような電子部品が複数組み合わされて、それぞれがプリント基板７０２上で電気的に接続されることで実装基板７０４が完成する。

［０２９９］

また、記憶装置７１０は、駆動回路層７１５と、記憶層７１６と、を有する。なお、記憶層７１６は、複数のメモリセルアレイが積層された構成である。駆動回路層７１５と、記憶層７１６と、が積層された構成は、モノリシック積層の構成とすることができる。モノリシック積層の構成では、ＴＳＶ（Ｔｈｒｏｕｇｈ　Ｓｉｌｉｃｏｎ　Ｖｉａ）などの貫通電極技術、および、Ｃｕ－Ｃｕ直接接合などの接合技術、を用いることなく、各層間を接続することができる。駆動回路層７１５と、記憶層７１６と、をモノリシック積層の構成とすることで、例えば、プロセッサ上にメモリが直接形成される、いわゆるオンチップメモリの構成とすることができる。オンチップメモリの構成とすることで、プロセッサと、メモリとのインターフェース部分の動作を高速にすることが可能となる。

［０３００］

また、オンチップメモリの構成とすることで、ＴＳＶなどの貫通電極を用いる技術と比較し、接続配線などのサイズを小さくすることが可能であるため、接続ピン数を増加させることも可能となる。接続ピン数を増加させることで、並列動作が可能となるため、メモリのバンド幅（メモリバンド幅ともいう）を向上させることが可能となる。

［０３０１］

また、記憶層７１６が有する、複数のメモリセルアレイを、ＯＳトランジスタを用いて形成し、当該複数のメモリセルアレイをモノリシックで積層することが好ましい。複数のメモリセルアレイをモノリシック積層の構成とすることで、メモリのバンド幅、およびメモリのアクセスレイテンシの

いずれか一または双方を向上させることができる。なお、バンド幅とは、単位時間あたりのデータ転送量であり、アクセスレイテンシとは、アクセスしてからデータのやり取りが始まるまでの時間である。なお、記憶層７１６にＳｉトランジスタを用いる構成の場合、ＯＳトランジスタと比較し、モノリシック積層の構成とすることが困難である。そのため、モノリシック積層の構成において、ＯＳトランジスタは、Ｓｉトランジスタよりも優れた構造であるといえる。

［０３０２］

また、記憶装置７１０を、ダイと呼称してもよい。なお、本明細書等において、ダイとは、半導体チップの製造工程で、例えば円盤状の基板（ウエハともいう）などに回路パターンを形成し、さいの目状に切り分けて得られたチップ片を表す。なお、ダイに用いることのできる半導体材料として、例えば、シリコン（Ｓｉ）、炭化ケイ素（ＳｉＣ）、または窒化ガリウム（ＧａＮ）などが挙げられる。例えば、シリコン基板（シリコンウエハともいう）から得られたダイを、シリコンダイという場合がある。

［０３０３］

次に、電子部品７３０の斜視図を図１６Ｂに示す。電子部品７３０は、ＳｉＰ（Ｓｙｓｔｅｍ ｉｎ Ｐａｃｋａｇｅ）またはMCM（Ｍｕｌｔｉ Ｃｈｉｐ Ｍｏｄｕｌｅ）の一例である。電子部品７３０は、パッケージ基板７３２（プリント基板）上にインターポーザ７３１が設けられ、インターポーザ７３１上に半導体装置７３５、および複数の記憶装置７１０が設けられている。

［０３０４］

電子部品７３０では、記憶装置７１０を広帯域メモリ（ＨＢＭ：Ｈｉｇｈ Ｂａｎｄｗｉｄｔｈ Ｍｅｍｏｒｙ）として用いる例を示している。また、半導体装置７３５は、ＣＰＵ（Ｃｅｎｔｒａｌ Ｐｒｏｃｅｓｓｉｎｇ Ｕｎｉｔ）、ＧＰＵ（Ｇｒａｐｈｉｃｓ Ｐｒｏｃｅｓｓｉｎｇ Ｕｎｉｔ）、またはＦＰＧＡ（Ｆｉｅｌｄ Ｐｒｏｇｒａｍｍａｂｌｅ Ｇａｔｅ Ａｒｒａｙ）等の集積回路を用いることができる。

［０３０５］

パッケージ基板７３２は、例えば、セラミックス基板、プラスチック基板、または、ガラスエポキシ基板を用いることができる。インターポーザ７３１は、例えば、シリコンインターポーザ、または樹脂インターポーザを用いることができる。

［０３０６］

インターポーザ７３１は、複数の配線を有し、端子ピッチの異なる複数の集積回路を電気的に接続する機能を有する。複数の配線は、単層または多層で設けられる。また、インターポーザ７３１は、インターポーザ７３１上に設けられた集積回路をパッケージ基板７３２に設けられた電極と電気的に接続する機能を有する。これらのことから、インターポーザを「再配線基板」または「中間基板」と呼ぶ場合がある。また、インターポーザ７３１に貫通電極を設けて、当該貫通電極を用いて集積回路とパッケージ基板７３２を電気的に接続する場合もある。また、シリコンインターポーザでは、貫通電極として、ＴＳＶを用いることもできる。

［０３０７］

ＨＢＭでは、広いメモリバンド幅を実現するために多くの配線を接続する必要がある。このため、ＨＢＭを実装するインターポーザには、微細かつ高密度の配線形成が求められる。よって、ＨＢＭを実装するインターポーザには、シリコンインターポーザを用いることが好ましい。

［０３０８］

また、シリコンインターポーザを用いた、ＳｉＰおよびＭＣＭ等では、集積回路とインターポーザ間の膨張係数の違いによる信頼性の低下が生じにくい。また、シリコンインターポーザは表面の平坦性が高いため、シリコンインターポーザ上に設ける集積回路とシリコンインターポーザ間の接続不良が生じにくい。特に、インターポーザ上に複数の集積回路を横に並べて配置する２．５Ｄパッケージ（２．５次元実装）では、シリコンインターポーザを用いることが好ましい。

［０３０９］

一方で、シリコンインターポーザ、およびＴＳＶなどを用いて端子ピッチの異なる複数の集積回路を電気的に接続する場合、当該端子ピッチの幅などのスペースが必要となる。そのため、電子部品７３０のサイズを小さくしようとした場合、上記の端子ピッチの幅が問題になり、広いメモリバンド幅を実現するために必要な多くの配線を設けることが、困難になる場合がある。そこで、上述したように、ＯＳトランジスタを用いたモノリシック積層の構成が好適である。ＴＳＶを用いて積層したメモリセルアレイと、モノリシック積層したメモリセルアレイと、を組み合わせた複合化構造としてもよい。

［０３１０］

また、電子部品７３０と重ねてヒートシンク（放熱板）を設けてもよい。ヒートシンクを設ける場合は、インターポーザ７３１上に設ける集積回路の高さを揃えることが好ましい。例えば、本実施の形態に示す電子部品７３０では、記憶装置７１０と半導体装置７３５の高さを揃えることが好ましい。

［０３１１］

電子部品７３０を他の基板に実装するため、パッケージ基板７３２の底部に電極７３３を設けてもよい。図１６Ｂでは、電極７３３を半田ボールで形成する例を示している。パッケージ基板７３２の底部に半田ボールをマトリクス状に設けることで、ＢＧＡ（Ｂａｌｌ　Ｇｒｉｄ　Ａｒｒａｙ）実装を実現できる。また、電極７３３を導電性のピンで形成してもよい。パッケージ基板７３２の底部に導電性のピンをマトリクス状に設けることで、ＰＧＡ（Ｐｉｎ　Ｇｒｉｄ　Ａｒｒａｙ）実装を実現できる。

［０３１２］

電子部品７３０は、ＢＧＡおよびＰＧＡに限らず様々な実装方法を用いて他の基板に実装することができる。実装方法としては、例えば、ＳＰＧＡ（Ｓｔａｇｇｅｒｅｄ　Ｐｉｎ　Ｇｒｉｄ　Ａｒｒａｙ）、ＬＧＡ（Ｌａｎｄ　Ｇｒｉｄ　Ａｒｒａｙ）、ＱＦＰ（Ｑｕａｄ　Ｆｌａｔ　Ｐａｃｋａｇｅ）、ＱＦＪ（Ｑｕａｄ　Ｆｌａｔ　Ｊ－ｌｅａｄｅｄ　ｐａｃｋａｇｅ）、および、ＱＦＮ（Ｑｕａｄ　Ｆｌａｔ　Ｎｏｎ－ｌｅａｄｅｄ　ｐａｃｋａｇｅ）が挙げられる。

［０３１３］

［電子機器］

次に、電子機器６５００の斜視図を図１７Ａに示す。図１７Ａに示す電子機器６５００は、スマートフォンとして用いることのできる携帯情報端末機である。電子機器６５００は、筐体６５０１、表示部６５０２、電源ボタン６５０３、ボタン６５０４、スピーカ６５０５、マイク６５０６、カメラ６５０７、光源６５０８、および制御装置６５０９などを有する。なお、制御装置６５０９としては、例えば、ＣＰＵ、ＧＰＵ、および記憶装置の中から選ばれるいずれか一または複数を有する。本発明の一態様の記憶装置は、表示部６５０２、制御装置６５０９などに適用することができる。

［０３１４］

図１７Ｂに示す電子機器６６００は、ノート型パーソナルコンピュータとして用いることのできる情報端末機である。電子機器６６００は、筐体６６１１、キーボード６６１２、ポインティングデバイス６６１３、外部接続ポート６６１４、表示部６６１５、制御装置６６１６などを有する。なお、制御装置６６１６としては、例えば、ＣＰＵ、ＧＰＵ、および記憶装置の中から選ばれるいずれか一または複数を有する。本発明の一態様の記憶装置は、表示部６６１５、制御装置６６１６などに適用することができる。なお、本発明の一態様の記憶装置を、上述の制御装置６５０９、および制御装置６６１６に用いることで、消費電力を低減させることができるため好適である。

［０３１５］

［大型計算機］

次に、大型計算機５６００の斜視図を図１７Ｃに示す。図１７Ｃに示す大型計算機５６００には、ラック５６１０にラックマウント型の計算機５６２０が複数格納されている。なお、大型計算機５６００を、スーパーコンピュータと呼称してもよい。

［０３１６］

計算機５６２０は、例えば、図１７Ｄに示す斜視図の構成とすることができる。図１７Ｄにおいて、計算機５６２０は、マザーボード５６３０を有し、マザーボード５６３０は、複数のスロット５６３１、複数の接続端子を有する。スロット５６３１には、ＰＣカード５６２１が挿入されている。加えて、ＰＣカード５６２１は、接続端子５６２３、接続端子５６２４、接続端子５６２５を有し、それぞれ、マザーボード５６３０に接続されている。

［０３１７］

図１７Ｅに示すＰＣカード５６２１は、ＣＰＵ、ＧＰＵ、記憶装置などを備えた処理ボードの一例である。ＰＣカード５６２１は、ボード５６２２を有する。また、ボード５６２２は、接続端子５６２３と、接続端子５６２４と、接続端子５６２５と、半導体装置５６２６と、半導体装置５６２７と、半導体装置５６２８と、接続端子５６２９と、を有する。なお、図１７Ｅには、半導体装置５６２６、半導体装置５６２７、および半導体装置５６２８以外の半導体装置を図示しているが、それらの半導体装置については、以下に記載する半導体装置５６２６、半導体装置５６２７、および半導体装置５６２８の説明を参照すればよい。

［０３１８］

接続端子５６２９は、マザーボード５６３０のスロット５６３１に挿入することができる形状を有しており、接続端子５６２９は、ＰＣカード５６２１とマザーボード５６３０とを接続するためのインターフェースとして機能する。接続端子５６２９の規格としては、例えば、ＰＣＩｅなどが挙げられる。

［０３１９］

接続端子５６２３、接続端子５６２４、接続端子５６２５は、例えば、ＰＣカード５６２１に対して電力供給、信号入力などを行うためのインターフェースとすることができる。また、例えば、ＰＣカード５６２１によって計算された信号の出力などを行うためのインターフェースとすることができる。接続端子５６２３、接続端子５６２４、接続端子５６２５のそれぞれの規格としては、例えば、ＵＳＢ（Ｕｎｉｖｅｒｓａｌ Ｓｅｒｉａｌ Ｂｕｓ）、ＳＡＴＡ（Ｓｅｒｉａｌ ＡＴＡ）、ＳＣＳＩ（Ｓｍａｌｌ Ｃｏｍｐｕｔｅｒ Ｓｙｓｔｅｍ Ｉｎｔｅｒｆａｃｅ）などが挙げられる。また、接続端子５６２３、接続端子５６２４、接続端子５６２５から映像信号を出力す

る場合、それぞれの規格としては、ＨＤＭＩ（登録商標）などが挙げられる。

［０３２０］

半導体装置５６２６は、信号の入出力を行う端子（図示しない。）を有しており、当該端子をボード５６２２が備えるソケット（図示しない。）に対して差し込むことで、半導体装置５６２６とボード５６２２を電気的に接続することができる。

［０３２１］

半導体装置５６２７は、複数の端子を有しており、当該端子をボード５６２２が備える配線に対して、例えば、リフロー方式のはんだ付けを行うことで、半導体装置５６２７とボード５６２２を電気的に接続することができる。半導体装置５６２７としては、例えば、ＦＰＧＡ、ＧＰＵ、ＣＰＵなどが挙げられる。半導体装置５６２７として、例えば、電子部品７３０を用いることができる。

［０３２２］

半導体装置５６２８は、複数の端子を有しており、当該端子をボード５６２２が備える配線に対して、例えば、リフロー方式のはんだ付けを行うことで、半導体装置５６２８とボード５６２２を電気的に接続することができる。半導体装置５６２８としては、例えば、記憶装置などが挙げられる。半導体装置５６２８として、例えば、電子部品７０９を用いることができる。

［０３２３］

大型計算機５６００は並列計算機としても機能できる。大型計算機５６００を並列計算機として用いることで、例えば、人工知能の学習、および推論に必要な大規模の計算を行うことができる。

［０３２４］

［宇宙用機器］

本発明の一態様の記憶装置は、情報を処理および記憶する機器などの宇宙用機器に好適に用いることができる。

［０３２５］

本発明の一態様の記憶装置は、ＯＳトランジスタを含むことができる。当該ＯＳトランジスタは、放射線照射による電気特性の変動が小さい。つまり放射線に対する耐性が高いため、放射線が入射しうる環境において好適に用いることができる。例えば、ＯＳトランジスタは、宇宙空間にて使用する場合に好適に用いることができる。

［０３２６］

図１８には、宇宙用機器の一例として、人工衛星６８００を示している。人工衛星６８００は、機体６８０１と、ソーラーパネル６８０２と、アンテナ６８０３と、二次電池６８０５と、制御装置６８０７と、を有する。なお、図１８においては、宇宙空間に惑星６８０４を例示している。なお、宇宙空間とは、例えば、高度１００ｋｍ以上を指すが、本明細書に記載の宇宙空間は、熱圏、中間圏、および成層圏を含んでもよい。

［０３２７］

また、図１８には、図示していないが、二次電池６８０５に、バッテリマネジメントシステム（ＢＭＳともいう）、またはバッテリ制御回路を設けてもよい。上述のバッテリマネジメントシステム、またはバッテリ制御回路に、ＯＳトランジスタを用いると、消費電力が低く、且つ宇宙空間においても高い信頼性を有するため好適である。

［０３２８］

また、宇宙空間は、地上に比べて１００倍以上、放射線量の高い環境である。なお、放射線として、

例えば、Ｘ線、およびガンマ線に代表される電磁波（電磁放射線）、並びにアルファ線、ベータ線、中性子線、陽子線、重イオン線、中間子線などに代表される粒子放射線が挙げられる。

［０３２９］

ソーラーパネル６８０２に太陽光が照射されることにより、人工衛星６８００が動作するために必要な電力が生成される。しかしながら、例えばソーラーパネルに太陽光が照射されない状況、またはソーラーパネルに照射される太陽光の光量が少ない状況では、生成される電力が少なくなる。よって、人工衛星６８００が動作するために必要な電力が生成されない可能性がある。生成される電力が少ない状況下であっても人工衛星６８００を動作させるために、人工衛星６８００に二次電池６８０５を設けるとよい。なお、ソーラーパネルは、太陽電池モジュールと呼ばれる場合がある。

［０３３０］

人工衛星６８００は、信号を生成することができる。当該信号は、アンテナ６８０３を介して送信され、たとえば地上に設けられた受信機、または他の人工衛星が当該信号を受信することができる。人工衛星６８００が送信した信号を受信することにより、当該信号を受信した受信機の位置を測定することができる。以上より、人工衛星６８００は、衛星測位システムを構成することができる。

［０３３１］

また、制御装置６８０７は、人工衛星６８００を制御する機能を有する。制御装置６８０７としては、例えば、ＣＰＵ、ＧＰＵ、および記憶装置の中から選ばれるいずれか一または複数を用いて構成される。なお、制御装置６８０７には、本発明の一態様である記憶装置を用いると好適である。ＯＳトランジスタは、Ｓｉトランジスタと比較し、放射線照射による電気特性の変動が小さい。つまり放射線が入射しうる環境においても信頼性が高く、好適に用いることができる。

［０３３２］

また、人工衛星６８００は、センサを有する構成とすることができる。たとえば、可視光センサを有する構成とすることにより、人工衛星６８００は、地上に設けられている物体に当たって反射された太陽光を検出する機能を有することができる。または、熱赤外センサを有する構成とすることにより、人工衛星６８００は、地表から放出される熱赤外線を検出する機能を有することができる。以上より、人工衛星６８００は、たとえば地球観測衛星としての機能を有することができる。

［０３３３］

なお、本実施の形態においては、宇宙用機器の一例として、人工衛星について例示したがこれに限定されない。例えば、本発明の一態様の記憶装置は、宇宙船、宇宙カプセル、宇宙探査機などの宇宙用機器に好適に用いることができる。

［０３３４］

以上の説明の通り、ＯＳトランジスタは、Ｓｉトランジスタと比較し、広いメモリバンド幅の実現が可能なこと、放射線耐性が高いこと、といった優れた効果を有する。

［０３３５］

［データセンター］

本発明の一態様の記憶装置は、例えば、データセンターなどに適用されるストレージシステムに好適に用いることができる。データセンターは、データの不変性を保障するなど、データの長期的な管理を行うことが求められる。長期的なデータを管理する場合、膨大なデータを記憶するためのストレージおよびサーバの設置、データを保持するための安定した電源の確保、あるいはデータの保持に要する冷却設備の確保、など建屋の大型化が必要となる。

［０３３６］

データセンターに適用されるストレージシステムに本発明の一態様の記憶装置を用いることにより、データの保持に要する電力の低減、データを保持する記憶装置の小型化を図ることができる。そのため、ストレージシステムの小型化、データを保持するための電源の小型化、冷却設備の小規模化、などを図ることができる。そのため、データセンターの省スペース化を図ることができる。

［０３３７］

また、本発明の一態様の記憶装置は、消費電力が少ないため、回路からの発熱を低減することができる。よって、当該発熱によるその回路自体、周辺回路、およびモジュールへの悪影響を低減できる。また、本発明の一態様の記憶装置を用いることにより、高温環境下においても動作が安定したデータセンターを実現できる。よってデータセンターの信頼性を高めることができる。

［０３３８］

図１９にデータセンターに適用可能なストレージシステムを示す。図１９に示すストレージシステム７０００は、ホスト７００１（Ｈｏｓｔ　Ｃｏｍｐｕｔｅｒと図示）として複数のサーバ７００１ｓｂを有する。また、ストレージ７００３（Ｓｔｏｒａｇｅと図示）として複数の記憶装置７００３ｍｄを有する。ホスト７００１とストレージ７００３とは、ストレージエリアネットワーク７００４（ＳＡＮ：Ｓｔｏｒａｇｅ　Ａｒｅａ　Ｎｅｔｗｏｒｋと図示）およびストレージ制御回路７００２（Ｓｔｏｒａｇｅ　Ｃｏｎｔｒｏｌｌｅｒと図示）を介して接続されている形態を図示している。

［０３３９］

ホスト７００１は、ストレージ７００３に記憶されたデータにアクセスするコンピュータに相当する。ホスト７００１同士は、ネットワークで互いに接続されていてもよい。

［０３４０］

ストレージ７００３は、フラッシュメモリを用いることで、データのアクセススピード、つまりデータの記憶および出力に要する時間を短くしているものの、当該時間は、ストレージ内のキャッシュメモリとして用いることのできるＤＲＡＭが要する時間に比べて格段に長い。ストレージシステムでは、ストレージ７００３のアクセススピードの長さの問題を解決するために、通常ストレージ内にキャッシュメモリを設けてデータの記憶および出力を短くしている。

［０３４１］

上述のキャッシュメモリは、ストレージ制御回路７００２およびストレージ７００３内に用いられる。ホスト７００１とストレージ７００３との間でやり取りされるデータは、ストレージ制御回路７００２およびストレージ７００３内の当該キャッシュメモリに記憶されたのち、ホスト７００１またはストレージ７００３に出力される。

［０３４２］

上述のキャッシュメモリのデータを記憶するためのトランジスタとして、ＯＳトランジスタを用いてデータに応じた電位を保持する構成とすることで、リフレッシュする頻度を減らし、消費電力を小さくすることができる。またメモリセルアレイを積層する構成とすることで小型化が可能である。

［０３４３］

なお、本発明の一態様の記憶装置を、電子部品、電子機器、大型計算機、宇宙用機器、およびデータセンターの中から選ばれるいずれか一または複数に適用することで、消費電力を低減させる効果が期待される。そのため、記憶装置の高性能化、または高集積化に伴うエネルギー需要の増加が見

込まれる中、本発明の一態様の記憶装置を用いることで、二酸化炭素（CO_2）に代表される、温室効果ガスの排出量を低減させることも可能となる。また、本発明の一態様の記憶装置は、低消費電力であるため地球温暖化対策としても有効である。

［０３４４］

本実施の形態に示す構成、構造、方法などは、他の実施の形態などに示す構成、構造、方法などと適宜組み合わせて用いることができる。

［符号の説明］

［０３４５］

１１：メモリセル、２２：ＰＳＷ、２３：ＰＳＷ、３１：周辺回路、３２：コントロール回路、３３：電圧生成回路、４１：周辺回路、４２：行デコーダ、４３：行ドライバ、４４：列デコーダ、４５：列ドライバ、４６：センスアンプ、４７：入力回路、４８：出力回路、１００：トランジスタ、１１０：配線、１２０：導電体、１３０：絶縁体、１４０：配線、１５０：メモリセル、１６０：絶縁体、１７０：酸化物半導体、１８０：絶縁体、１８１：絶縁体、１８５：絶縁体、１９０：開口部、２００：トランジスタ、２１０：配線、２２０：導電体、２３０：絶縁体、２４０：配線、２７０ｉ：領域、２７０ｎａ：領域、２７０ｎｂ：領域、２７０：酸化物半導体、２８０：絶縁体、２８５：絶縁体、２９０：開口部、３００：容量素子、３１０：配線、３２０：導電体、３３０：絶縁体、３８０：絶縁体、３８５：絶縁体、３９０：開口部、７００＿１：記憶層、７００＿２：記憶層、７００＿３：記憶層、７００＿ｋ：記憶層、７００＿ｎ：記憶層、７００：記憶層、７０１：駆動回路層、７０２：プリント基板、７０４：実装基板、７０９：電子部品、７１０：記憶装置、７１１：モールド、７１２：ランド、７１３：電極パッド、７１４：ワイヤ、７１５：駆動回路層、７１６：記憶層、７３０：電子部品、７３１：インターポーザ、７３２：パッケージ基板、７３３：電極、７３５：半導体装置、７５０：記憶装置、５６００：大型計算機、５６１０：ラック、５６２０：計算機、５６２１：ＰＣカード、５６２２：ボード、５６２３：接続端子、５６２４：接続端子、５６２５：接続端子、５６２６：半導体装置、５６２７：半導体装置、５６２８：半導体装置、５６２９：接続端子、５６３０：マザーボード、５６３１：スロット、６５００：電子機器、６５０１：筐体、６５０２：表示部、６５０３：電源ボタン、６５０４：ボタン、６５０５：スピーカ、６５０６：マイク、６５０７：カメラ、６５０８：光源、６５０９：制御装置、６６００：電子機器、６６１１：筐体、６６１２：キーボード、６６１３：ポインティングデバイス、６６１４：外部接続ポート、６６１５：表示部、６６１６：制御装置、６８００：人工衛星、６８０１：機体、６８０２：ソーラーパネル、６８０３：アンテナ、６８０４：惑星、６８０５：二次電池、６８０７：制御装置、７０００：ストレージシステム、７００１ｓｂ：サーバ、７００１：ホスト、７００２：ストレージ制御回路、７００３ｍｄ：記憶装置、７００３：ストレージ

請求の範囲

［請求項１］

メモリセルと、第１の配線と、第２の配線と、第３の配線と、を有し、

前記メモリセルは、第１のトランジスタおよび第２のトランジスタを有し、

前記第２のトランジスタは、前記第１のトランジスタの上方に設けられ、

前記第１のトランジスタは、第１の半導体と、第１の絶縁体と、第１の導電体と、を有し、

前記第１の半導体は、前記第１の配線、第２の絶縁体および前記第２の配線を貫通する第１の開口部の側面に形成された領域を有し、

前記第１の絶縁体は、前記第１の半導体と接して前記第１の開口部を覆う領域を有し、

前記第１の導電体は、前記第１の絶縁体と接して前記第１の開口部を埋め込むように設けられ、

前記第２のトランジスタは、第２の半導体を有し、

前記第２の半導体は、第３の絶縁体および前記第３の配線を貫通する第２の開口部の側面に設けられた領域を有し、

前記第２の半導体は、前記第２の開口部の底部において前記第１の導電体と接する領域を有する記憶装置。

［請求項２］

請求項１において、

前記第２の配線は前記第２の絶縁体上に設けられ、前記第２の絶縁体は前記第１の配線上に設けられている記憶装置。

［請求項３］

請求項１において、

前記第２のトランジスタは、第４の絶縁体と、第２の導電体と、を有し、

前記第４の絶縁体は、前記第２の半導体と接して前記第２の開口部を覆う領域を有し、

前記第２の導電体は、前記第４の絶縁体と接して前記第２の開口部を埋め込むように設けられる記憶装置。

［請求項４］

請求項１において、

前記第３の配線は前記第３の絶縁体上に設けられ、前記第３の絶縁体は前記第１の導電体上に設けられている記憶装置。

［請求項５］

請求項１において、

前記第１の配線は、前記第１のトランジスタのソース電極またはドレイン電極の一方として機能する領域を有し、

前記第２の配線は、前記第１のトランジスタのソース電極またはドレイン電極の他方として機能する領域を有し、

前記第３の配線は、前記第２のトランジスタのソース電極またはドレイン電極の一方として機能する領域を有し、

前記第１の導電体は、前記第１のトランジスタのゲート電極として機能する領域、および前記第２のトランジスタのソース電極またはドレイン電極の他方として機能する領域を有する記憶装置。

［請求項６］

メモリセルと、第１の配線と、第２の配線と、第３の配線と、を有し、

前記メモリセルは、第１のトランジスタおよび第２のトランジスタを有し、

前記第２のトランジスタは、前記第１のトランジスタの上方に設けられ、

前記第１のトランジスタは、第１の半導体と、第１の絶縁体と、第１の導電体と、を有し、

前記第１の半導体は、前記第１の配線、第２の絶縁体、前記第２の配線、および第３の絶縁体を貫通する第１の開口部の側面に形成された領域を有し、

前記第１の絶縁体は、前記第１の半導体と接して前記第１の開口部を覆う領域を有し、

前記第１の導電体は、前記第１の絶縁体と接して前記第１の開口部を埋め込むように設けられ、

前記第２のトランジスタは、第２の半導体を有し、

前記第２の半導体は、第４の絶縁体および前記第３の配線を貫通する第２の開口部の側面に設けられた領域を有し、

前記第２の半導体は、前記第２の開口部の底部において前記第１の導電体と接する領域を有する記憶装置。

［請求項７］

請求項６において、

前記第３の絶縁体は前記第２の配線上に設けられ、前記第２の配線は前記第２の絶縁体上に設けられ、前記第２の絶縁体は前記第１の配線上に設けられている記憶装置。

［請求項８］

請求項６において、

前記第２のトランジスタは、第５の絶縁体と、第２の導電体と、を有し、

前記第５の絶縁体は、前記第２の半導体と接して前記第２の開口部を覆う領域を有し、

前記第２の導電体は、前記第５の絶縁体と接して前記第２の開口部を埋め込むように設けられる記憶装置。

［請求項９］

請求項６において、

前記第３の配線は前記第４の絶縁体上に設けられ、前記第４の絶縁体は前記第１の導電体上に設けられている記憶装置。

［請求項１０］

請求項６において、

前記第１の配線は、前記第１のトランジスタのソース電極またはドレイン電極の一方として機能する領域を有し、

前記第２の配線は、前記第１のトランジスタのソース電極またはドレイン電極の他方として機能する領域を有し、

前記第３の配線は、前記第２のトランジスタのソース電極またはドレイン電極の一方として機能する領域を有し、

前記第１の導電体は、前記第１のトランジスタのゲート電極として機能する領域、および前記第２のトランジスタのソース電極またはドレイン電極の他方として機能する領域を有する記憶装置。

［請求項１１］

メモリセルと、第１の配線と、第２の配線と、第３の配線と、第４の配線と、を有し、

前記メモリセルは、第１のトランジスタ、第２のトランジスタおよび容量素子を有し、

前記容量素子は、前記第１のトランジスタと前記第２のトランジスタとの間に設けられ、

前記第１のトランジスタは、第１の半導体と、第１の絶縁体と、第１の導電体と、を有し、

前記第１の半導体は、前記第１の配線、第２の絶縁体および前記第２の配線を貫通する第１の開口部の側面に形成された領域を有し、

前記第１の絶縁体は、前記第１の半導体と接して前記第１の開口部を覆う領域を有し、

前記第１の導電体は、前記第１の絶縁体と接して前記第１の開口部を埋め込むように設けられ、

前記容量素子は、第３の絶縁体と、第２の導電体と、を有し、

前記第３の絶縁体は、第４の絶縁体および前記第３の配線を貫通する第２の開口部の側面に形成された領域を有し、

前記第２の導電体は、前記第３の絶縁体と接して前記第２の開口部を埋め込むように設けられ、

前記第２の導電体は、前記第２の開口部の底部において、前記第１の導電体と接する領域を有し、

前記第２のトランジスタは、第２の半導体を有し、

前記第２の半導体は、第５の絶縁体および前記第４の配線を貫通する第３の開口部の側面に設けられた領域を有し、

前記第２の半導体は、前記第３の開口部の底部において前記第２の導電体と接する領域を有する記憶装置。

［請求項１２］

請求項１１において、

前記第２の配線は前記第２の絶縁体上に設けられ、前記第２の絶縁体は前記第１の配線上に設けられ、前記第３の配線は前記第４の絶縁体上に設けられている記憶装置。

［請求項１３］

請求項１１において、

前記第２のトランジスタは、第６の絶縁体と、第３の導電体と、を有し、

前記第６の絶縁体は、前記第２の半導体と接して前記第３の開口部を覆う領域を有し、

前記第３の導電体は、前記第６の絶縁体と接して前記第３の開口部を埋め込むように設けられる記憶装置。

［請求項１４］

請求項１１において、

前記第４の配線は前記第５の絶縁体上に設けられ、前記第５の絶縁体は前記第２の導電体上に設けられている記憶装置。

［請求項１５］

請求項１１において、

前記第１の配線は、前記第１のトランジスタのソース電極またはドレイン電極の一方として機能する領域を有し、

前記第２の配線は、前記第１のトランジスタのソース電極またはドレイン電極の他方として機能する領域を有し、

前記第３の配線は、前記容量素子の一方の電極として機能する領域を有し、

前記第４の配線は、前記第２のトランジスタのソース電極またはドレイン電極の一方として機能する領域を有し、

前記第１の導電体は、前記第１のトランジスタのゲート電極として機能する領域を有し、

前記第２の導電体は、前記容量素子の他方の電極として機能する領域、および前記第２のトランジスタのソース電極またはドレイン電極の他方として機能する領域を有する記憶装置。

［請求項１６］

請求項１乃至１５のいずれか一項において、

前記第１の半導体および前記第２の半導体のそれぞれは酸化物半導体であり、

前記酸化物半導体は、Ｉｎ、Ｇａ、およびＺｎの中から選ばれるいずれか一つまたは複数を有する記憶装置。

図1

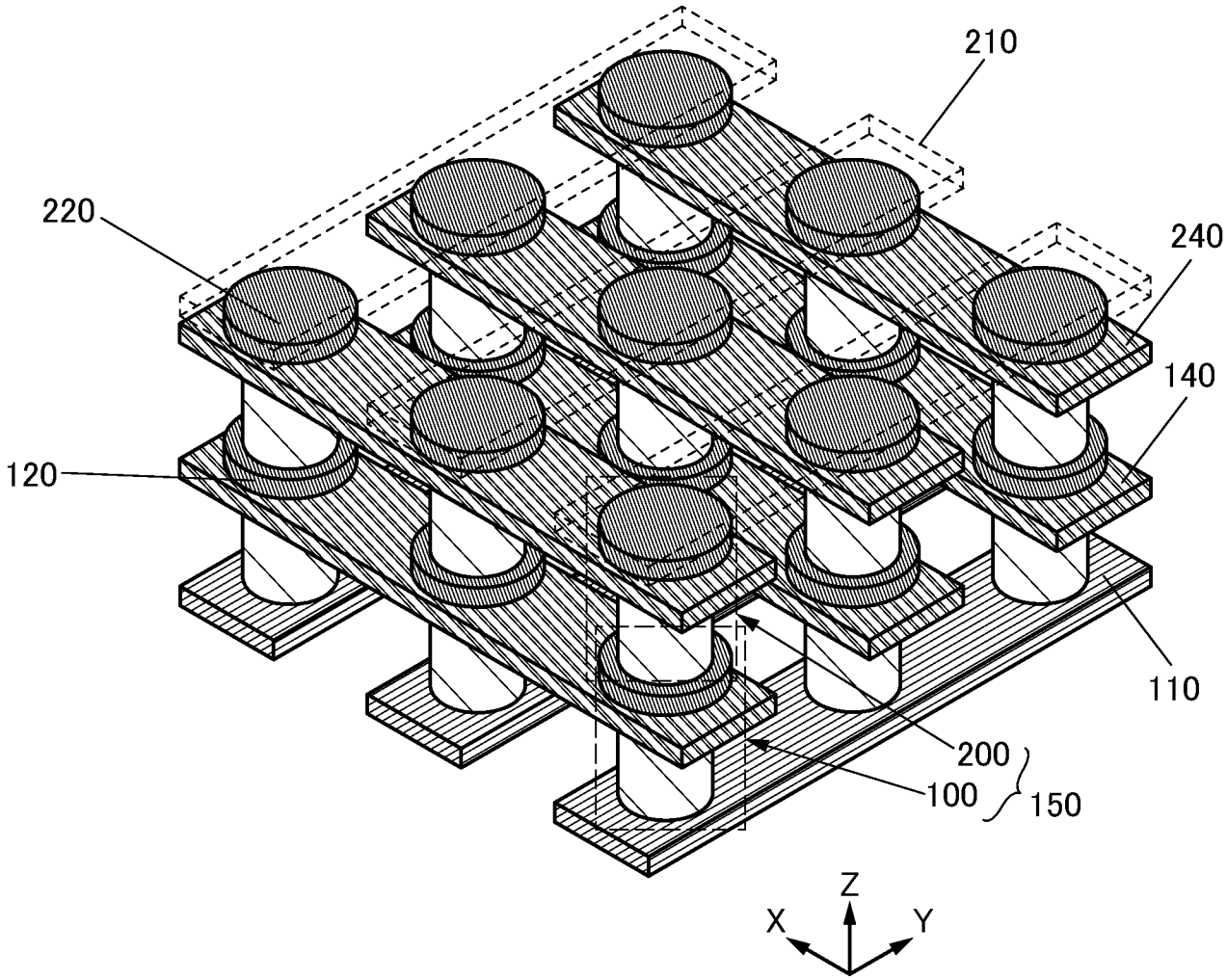


図2A

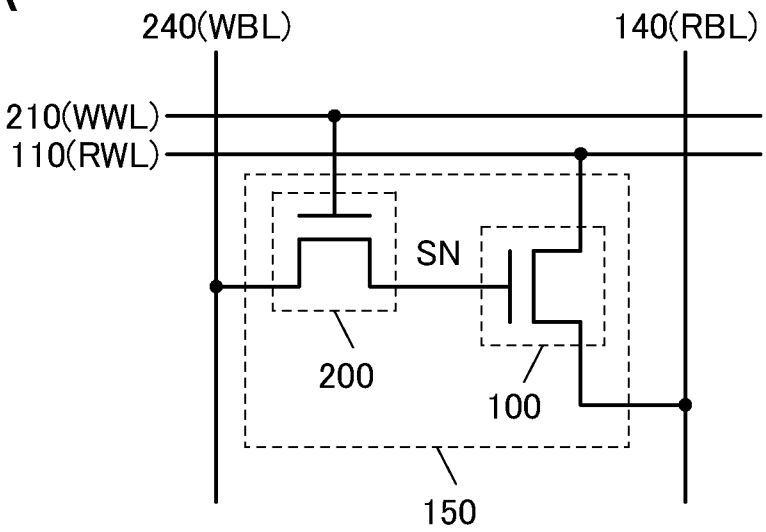

240(WBL)
140(RBL)
210(WWL)
110(RWL)
SN
200
100
150

図2B

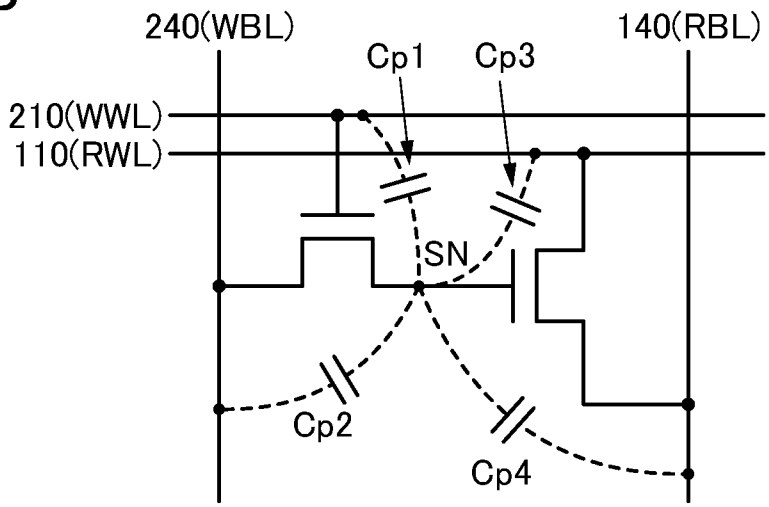

240(WBL)
140(RBL)
Cp1
Cp3
210(WWL)
110(RWL)
SN
Cp2
Cp4

図2C

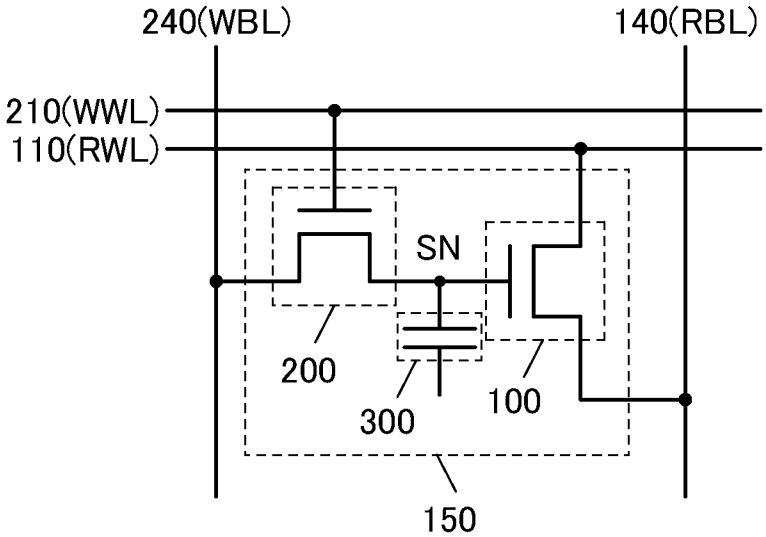

240(WBL)
140(RBL)
210(WWL)
110(RWL)
SN
200
300
100
150

図3

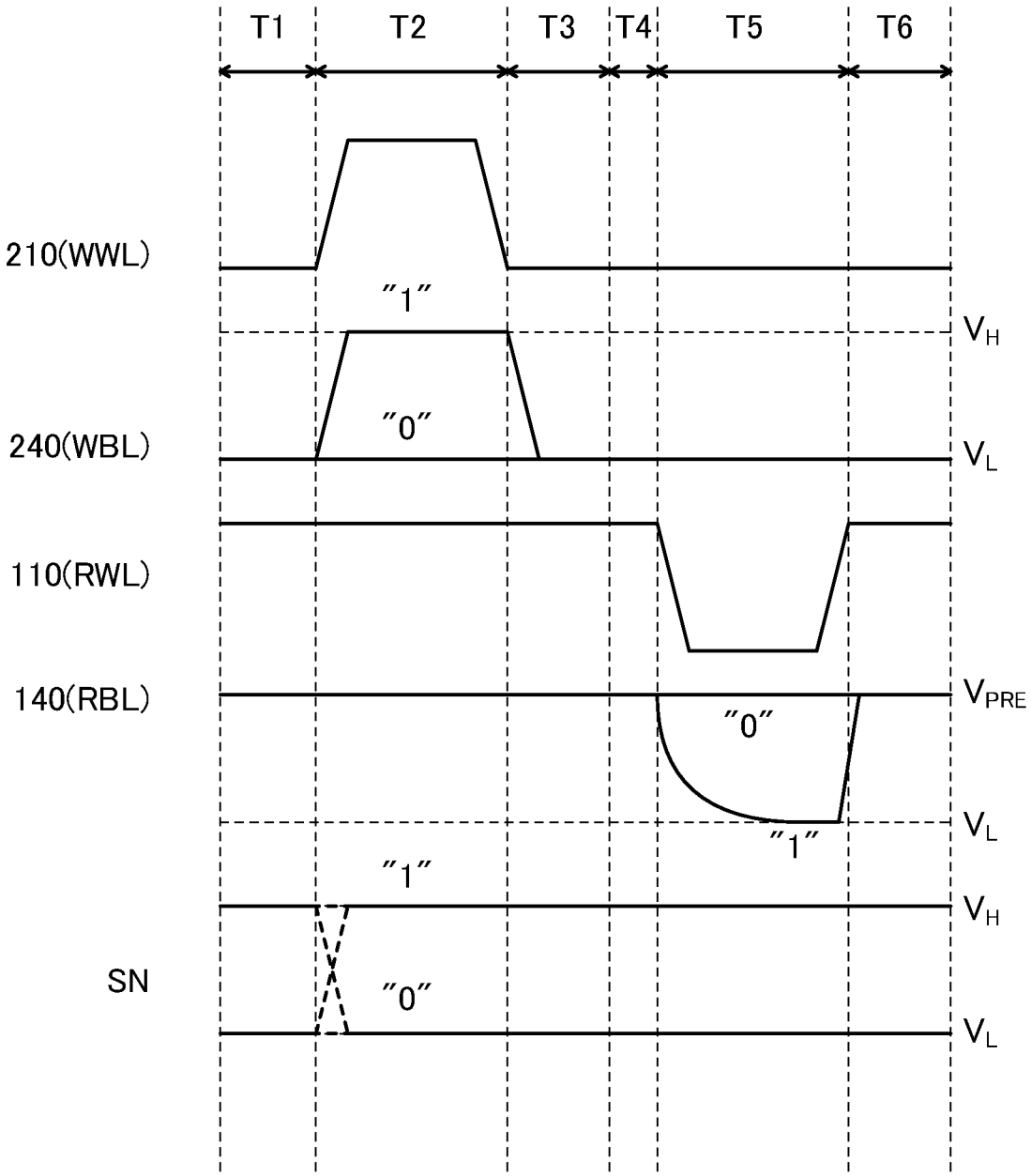

T1
T2
T3
T4
T5
T6
210(WWL)
"1"
V_H
240(WBL)
"0"
V_L
110(RWL)
140(RBL)
V_{PRE}
"0"
V_L
"1"
"1"
V_H
SN
"0"
V_L

図4

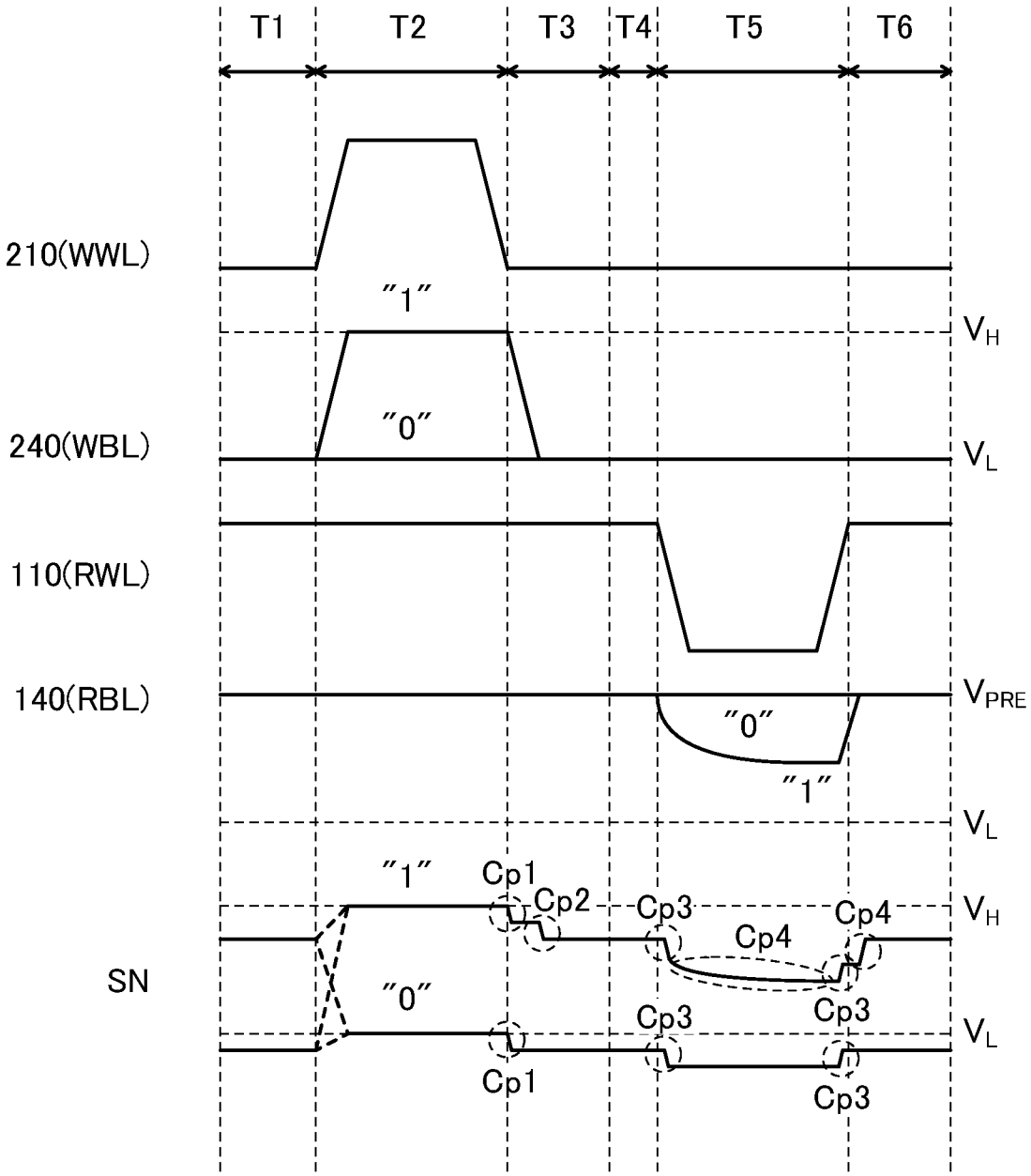

T1
T2
T3
T4
T5
T6
210(WWL)
"1"
V_H
240(WBL)
"0"
V_L
110(RWL)
140(RBL)
V_{PRE}
"0"
"1"
V_L
SN
"1"
Cp1
Cp2
Cp3
Cp4
Cp4
V_H
"0"
Cp3
Cp3
V_L
Cp1
Cp3

図5

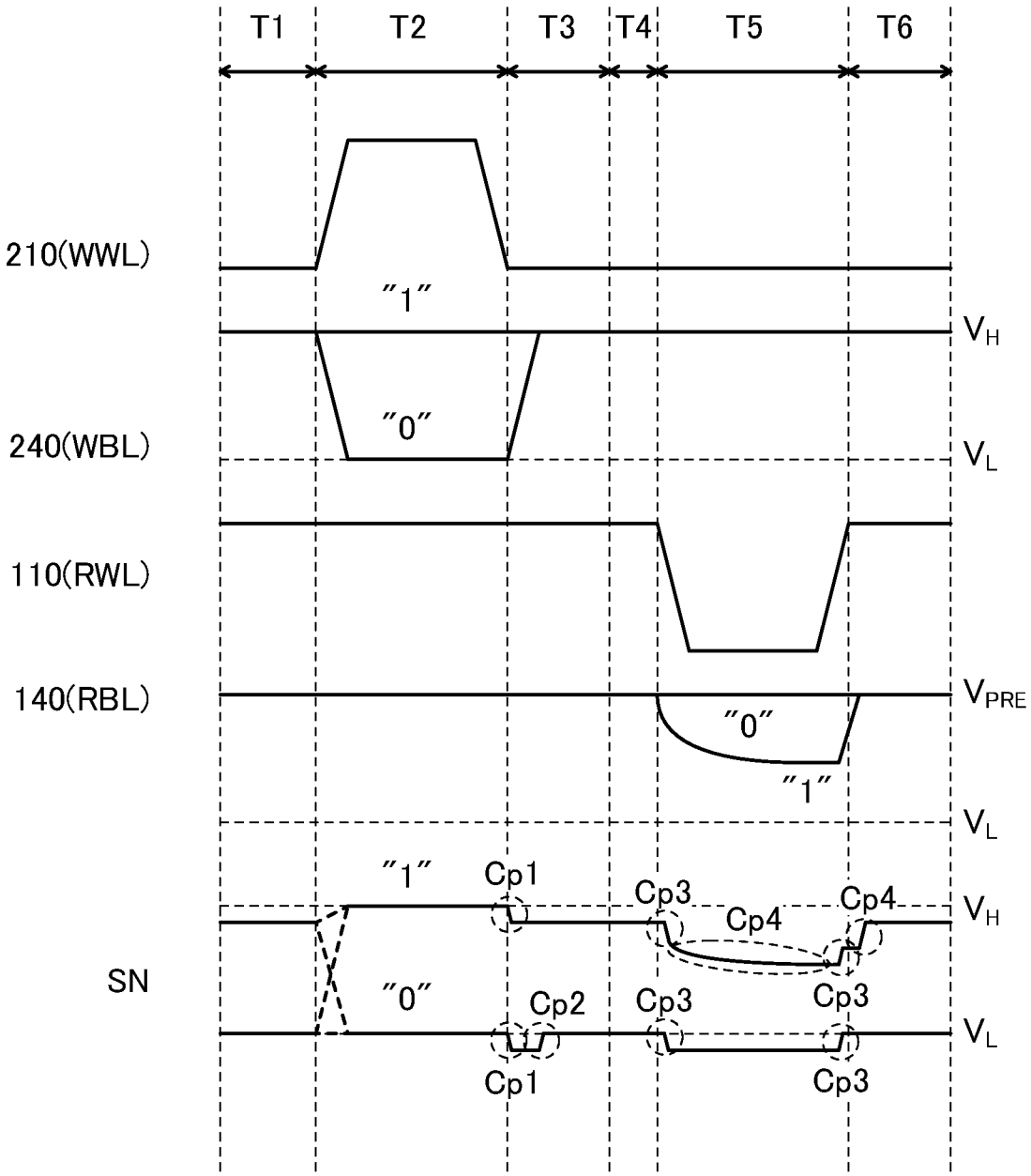

T1
T2
T3
T4
T5
T6
210(WWL)
"1"
V_H
"0"
240(WBL)
V_L
110(RWL)
140(RBL)
V_{PRE}
"0"
"1"
V_L
"1"
Cp1
Cp3
Cp4
Cp4
V_H
SN
"0"
Cp2
Cp3
Cp3
V_L
Cp1
Cp3

図6A

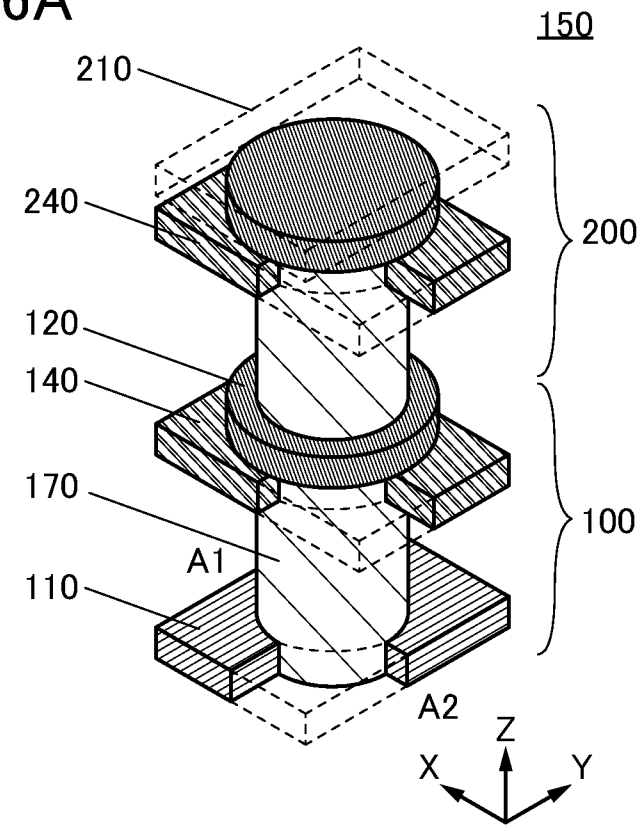


図6B

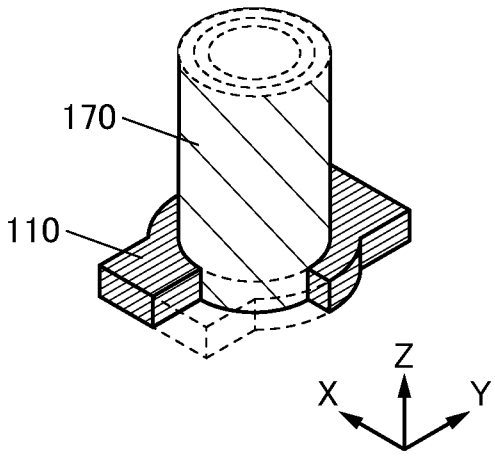


図7A

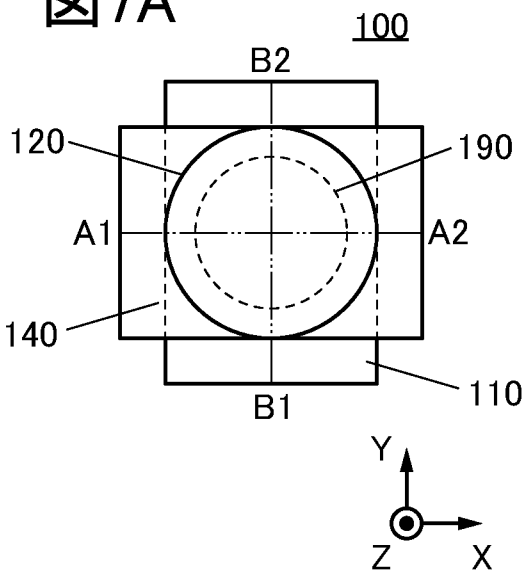


図7B

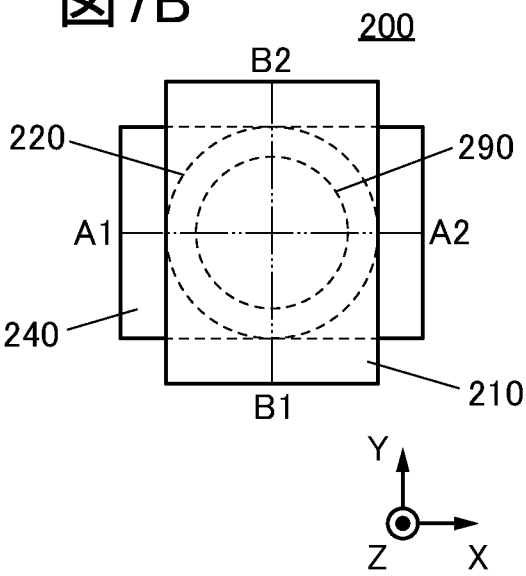


図7C

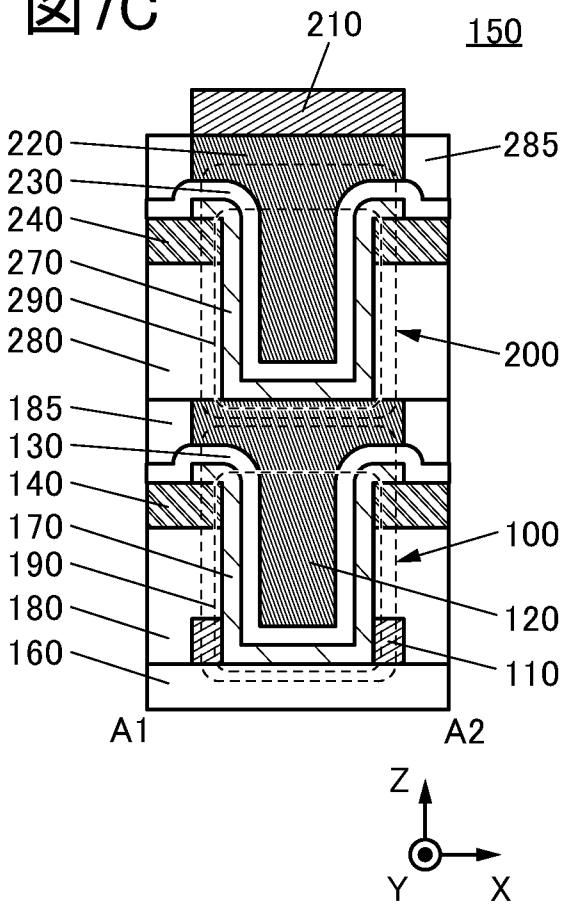


図7D

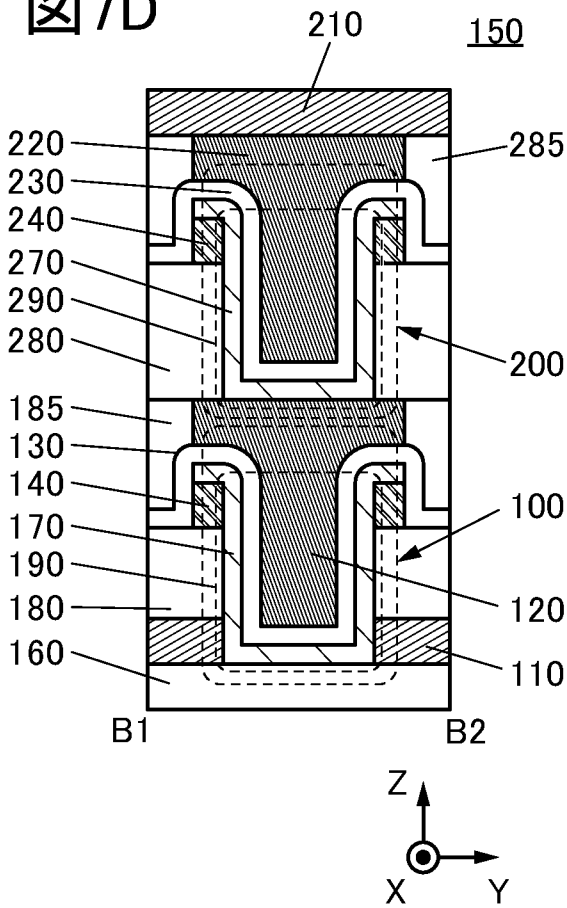
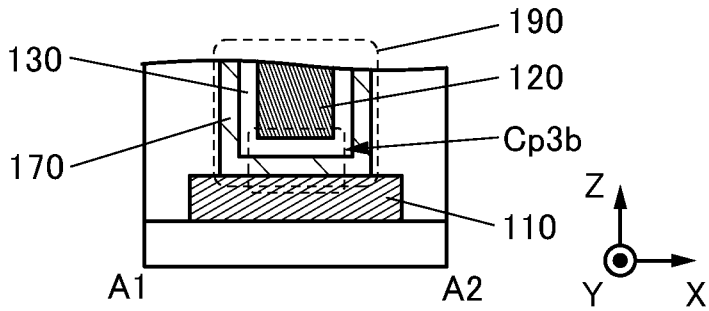


図7E



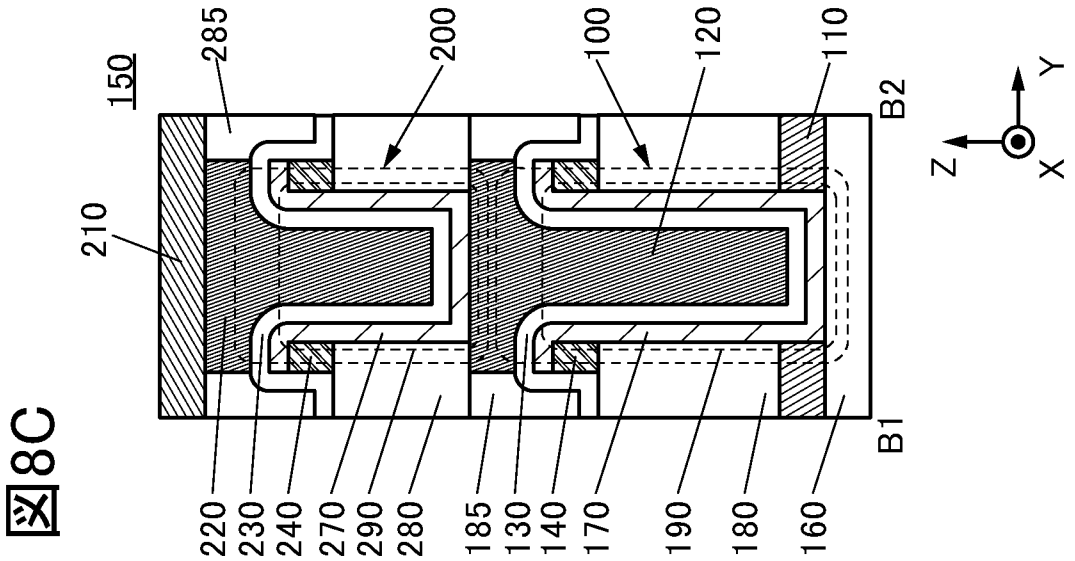

285
200
100
120
110
150
210
B2
B1
Y
Z
X
220
230
240
270
290
280
185
130
140
170
190
180
160

図8C

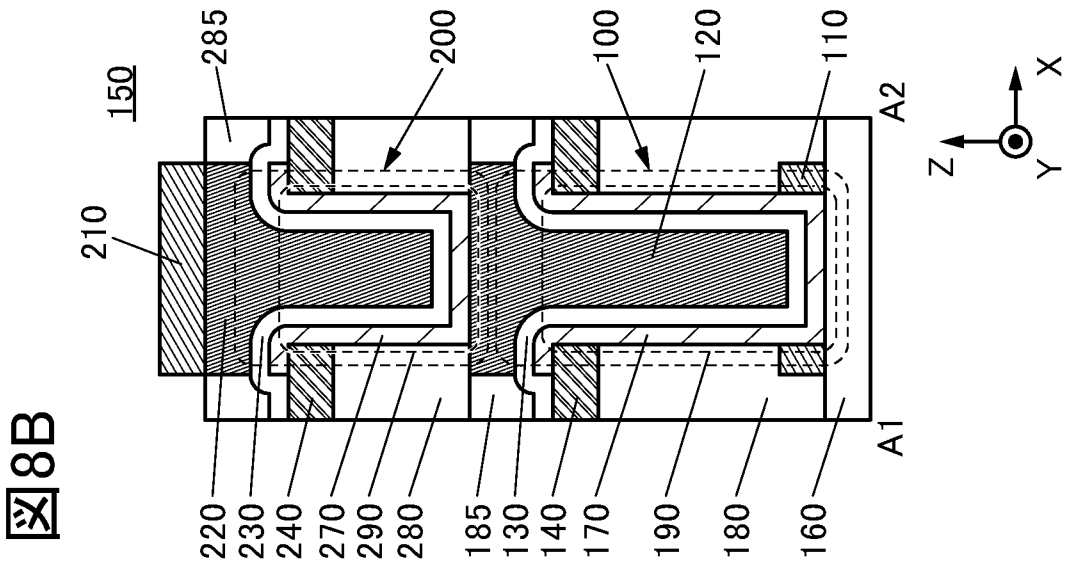

285
200
100
120
110
150
210
A2
A1
X
Z
Y
220
230
240
270
290
280
185
130
140
170
190
180
160

図8B

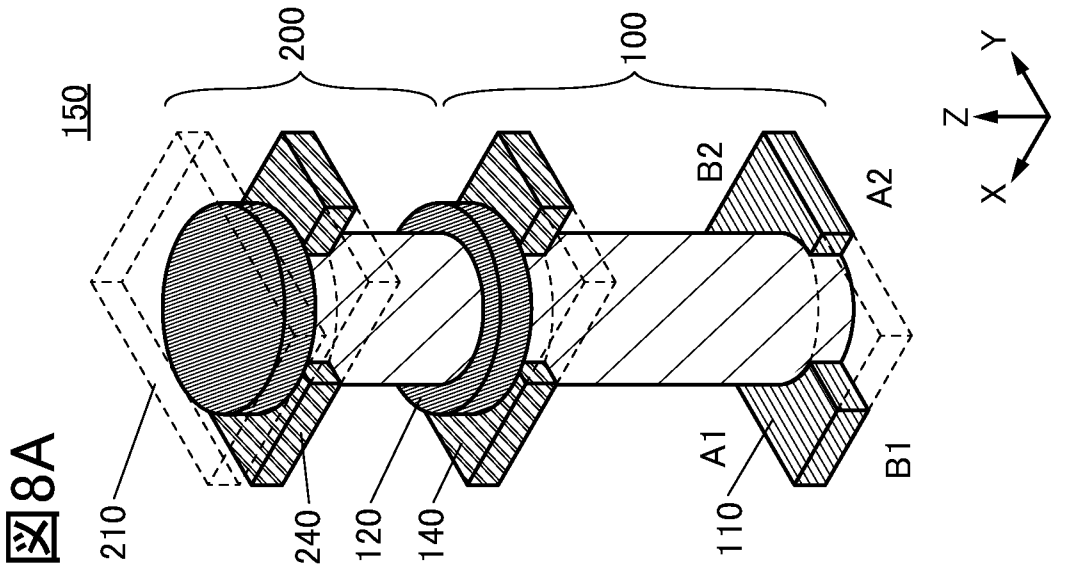
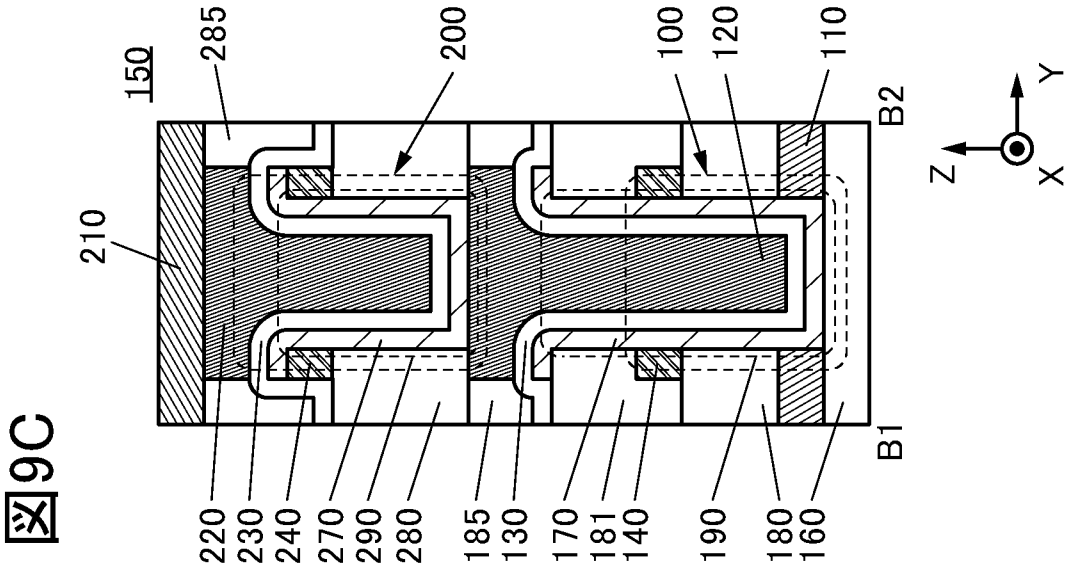
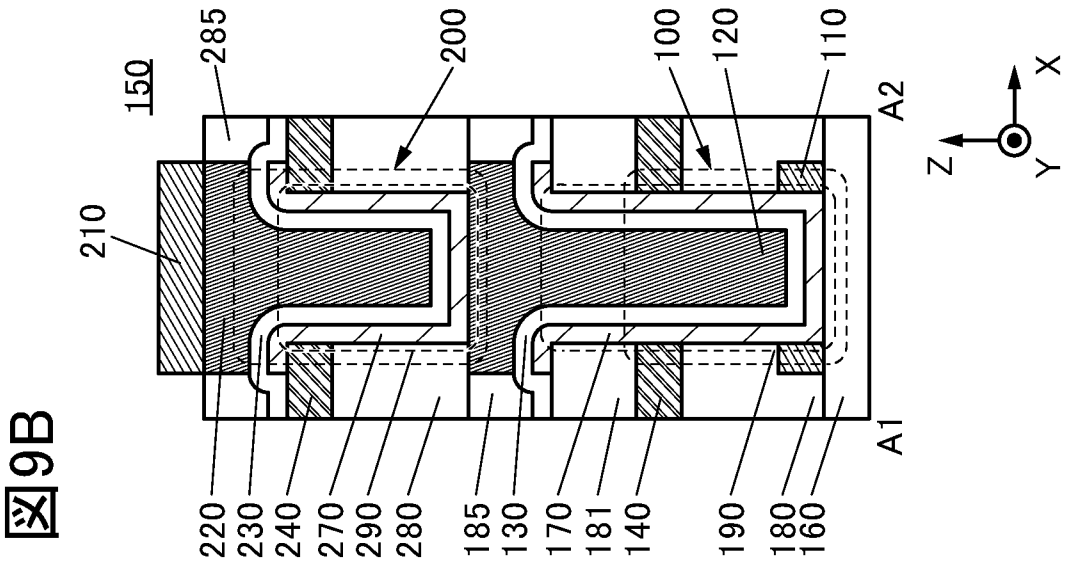

200
100
150
B2
A2
Y
Z
X
210
240
120
140
A1
110
B1

図8A


図9C
150
285
200
100
120
110
210
B2
B1
Y
Z
X
220
230
240
270
290
280
185
130
170
181
140
190
180
160


図9B
150
285
200
100
120
110
210
A2
A1
X
Z
Y
220
230
240
270
290
280
185
130
170
181
140
190
180
160

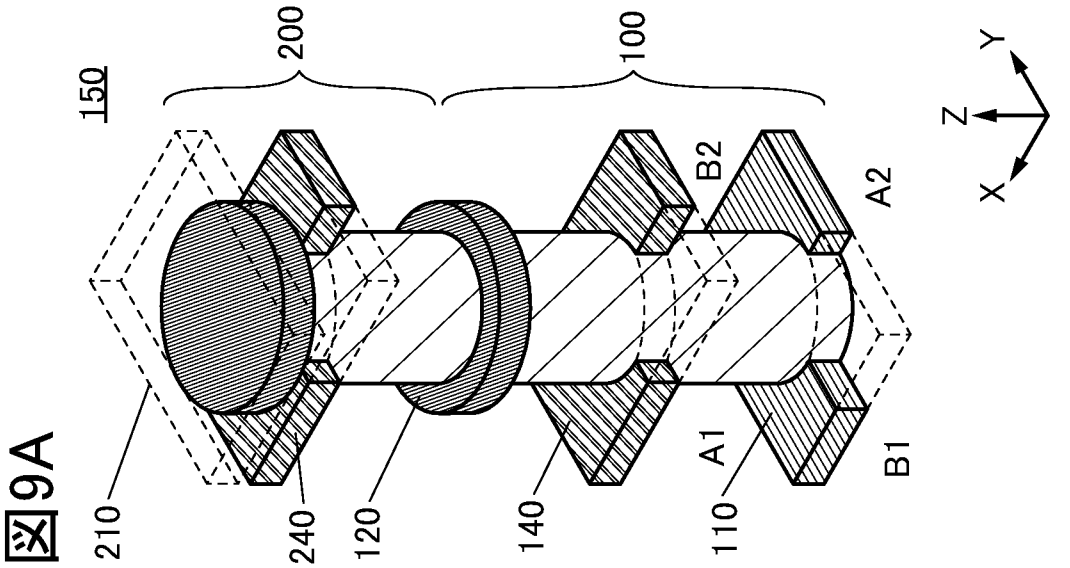

図9A
150
200
100
210
240
120
140
110
A1
B2
A2
B1
Y
Z
X

図10C

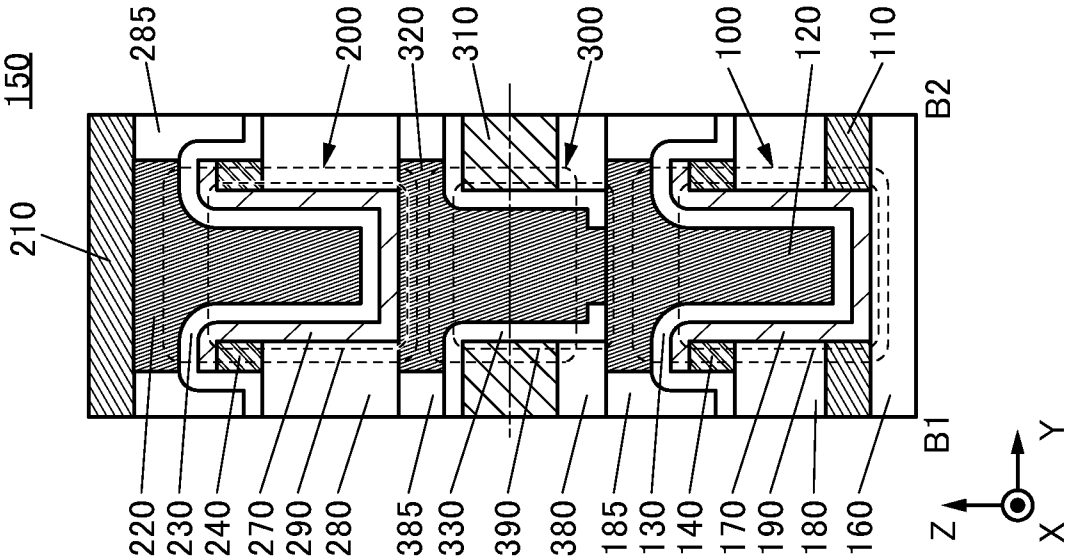


図10B

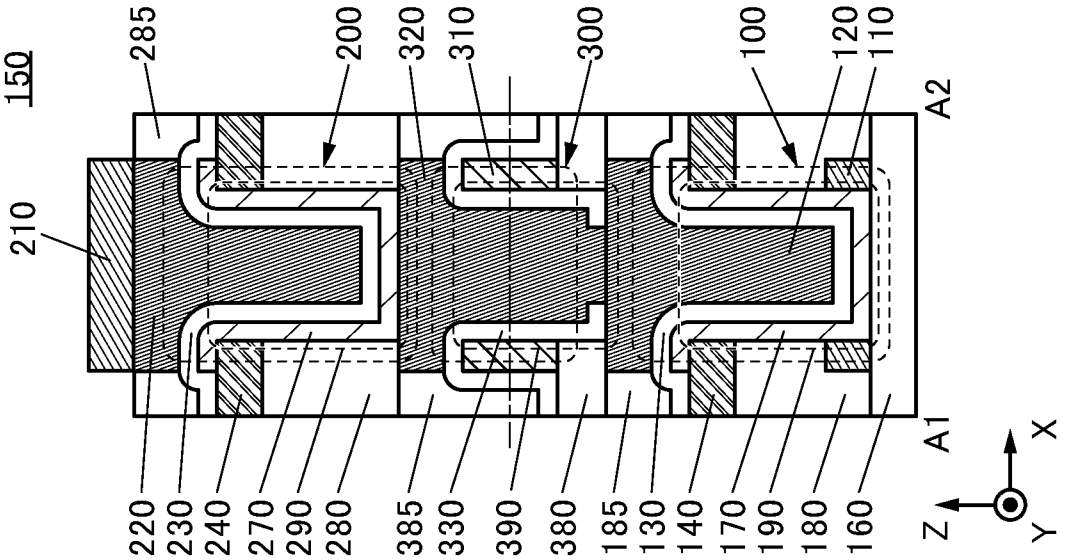


図10A

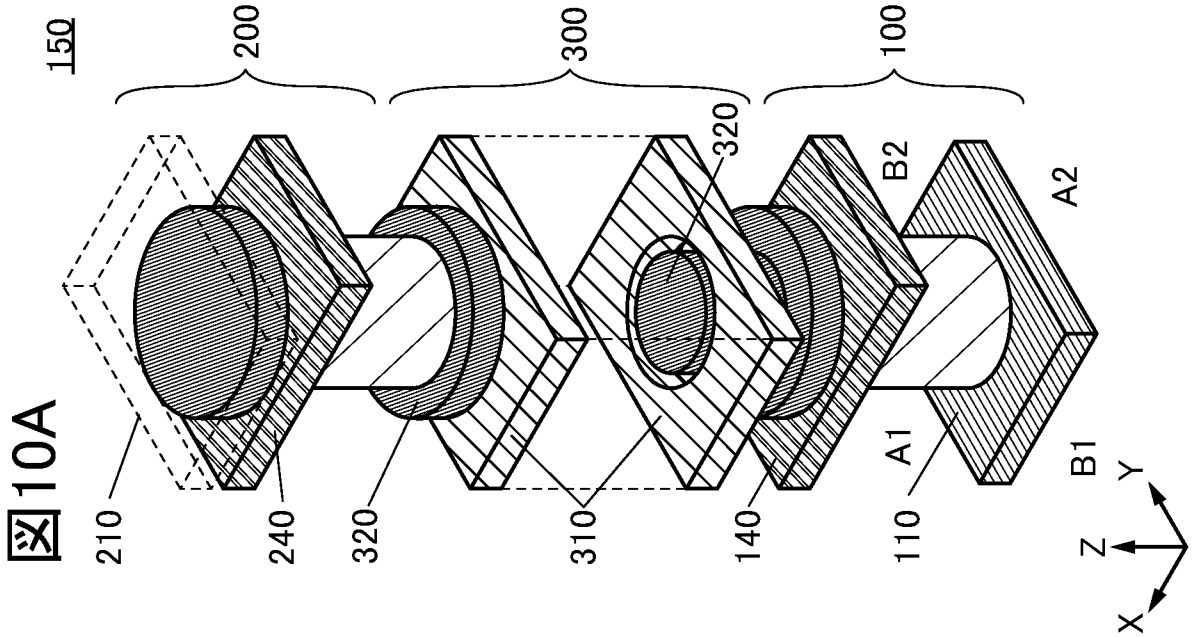


図11A

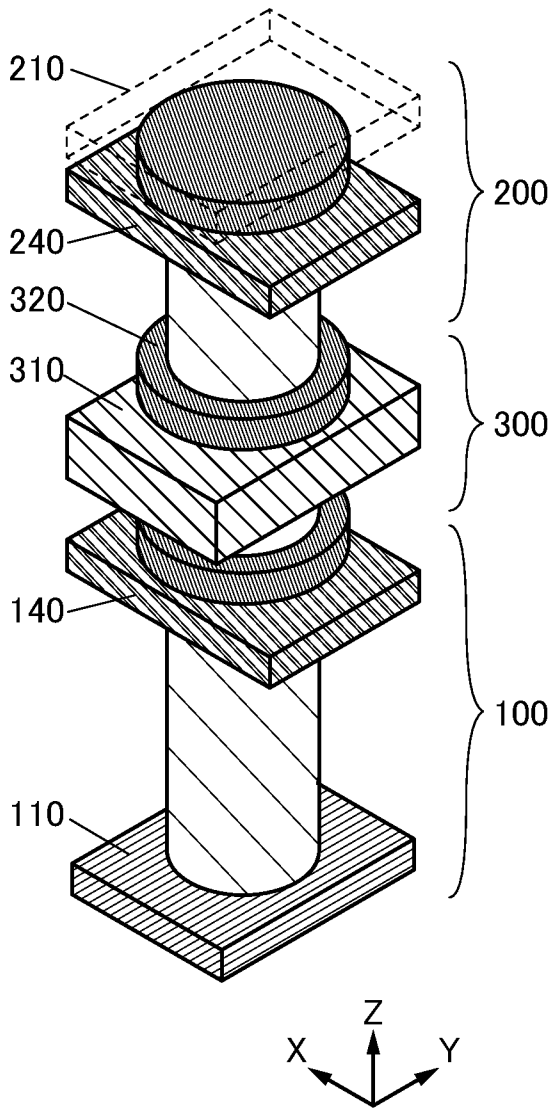

150
210
240
320
310
140
110
200
300
100
Z
X
Y

図11B

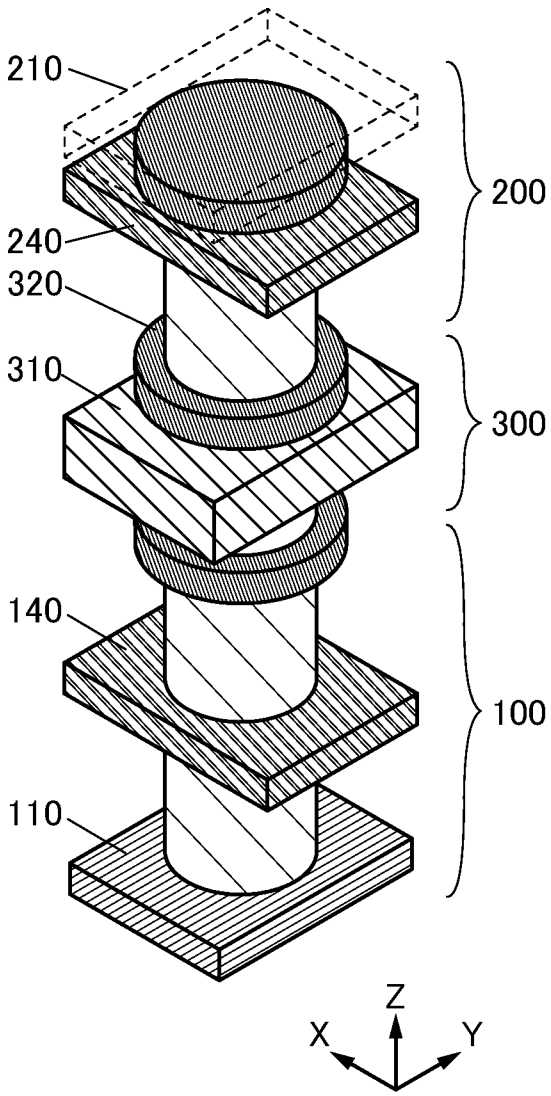

150
210
240
320
310
140
110
200
300
100
Z
X
Y

図12A

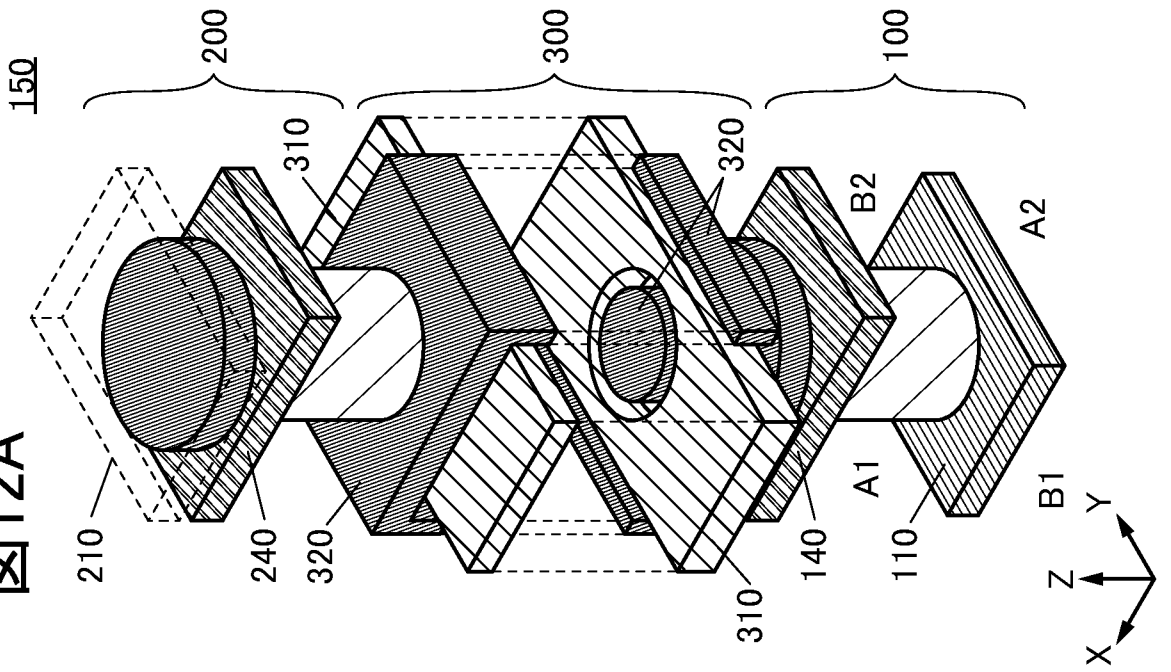


図12B

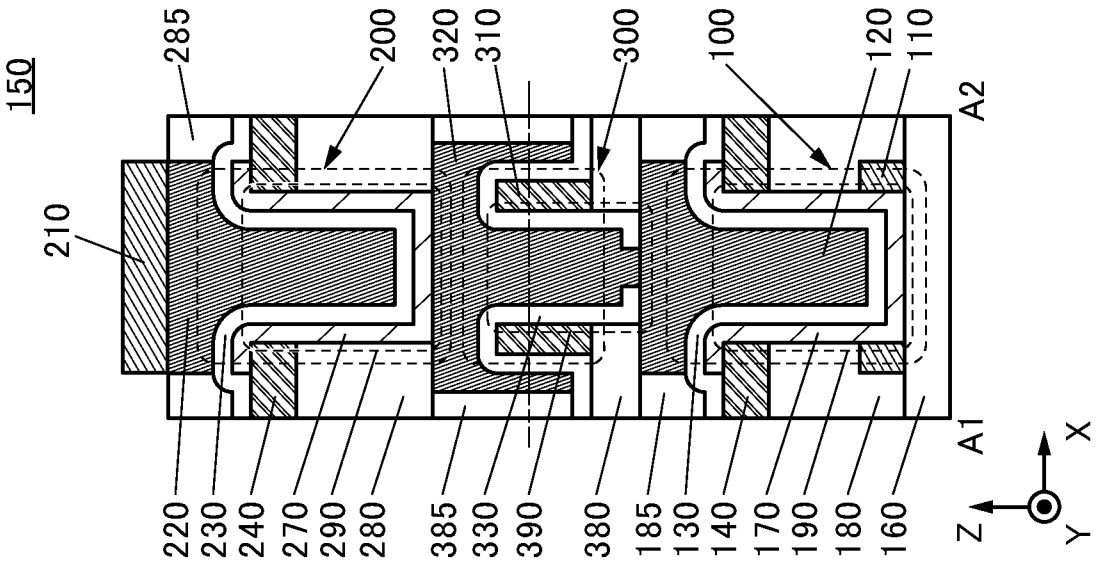


図12C

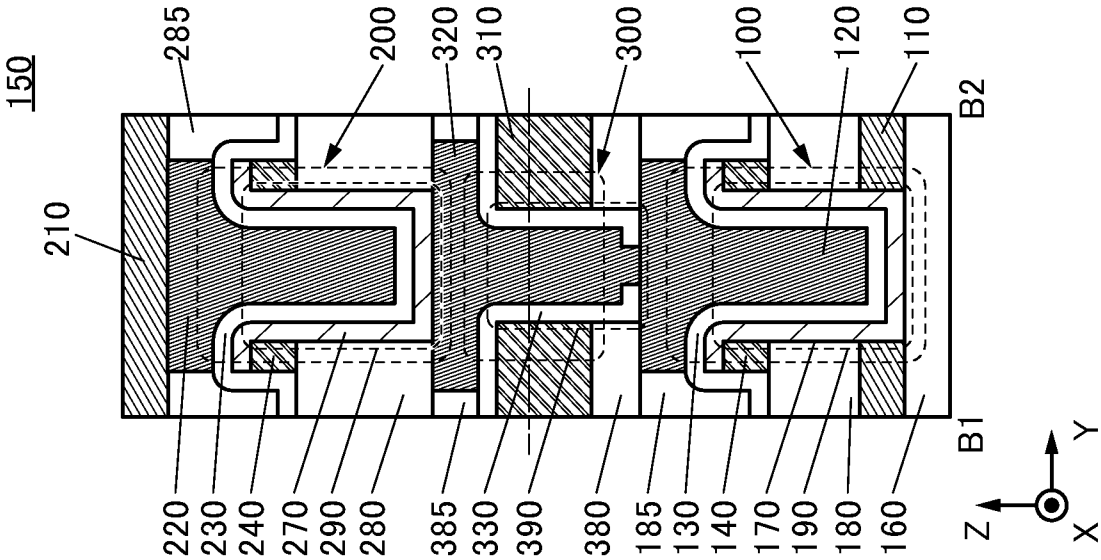


図13A

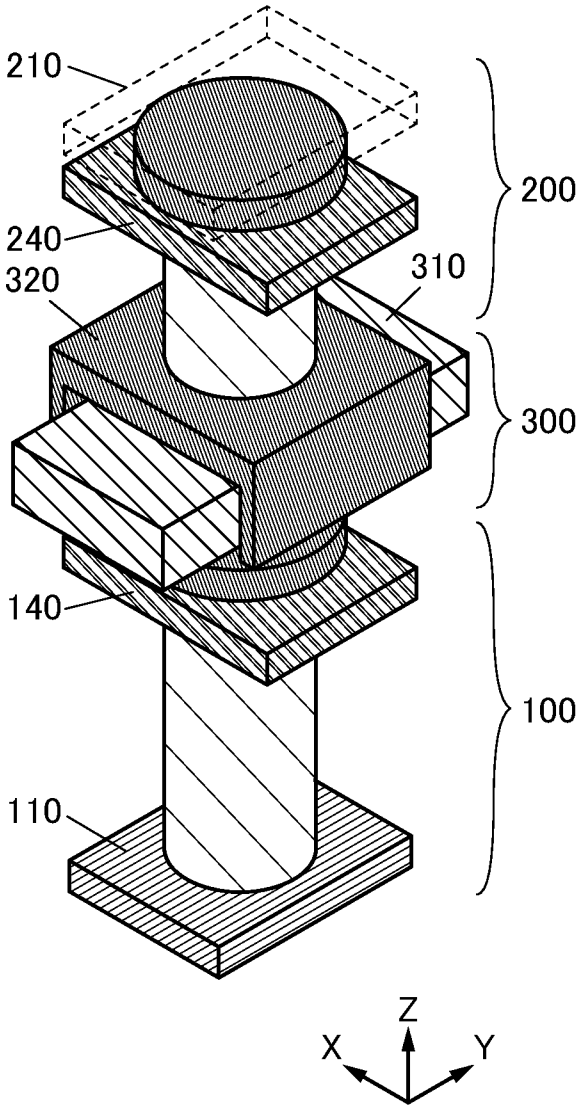

150
210
240
320
310
200
300
140
100
110
Z
X
Y

図13B

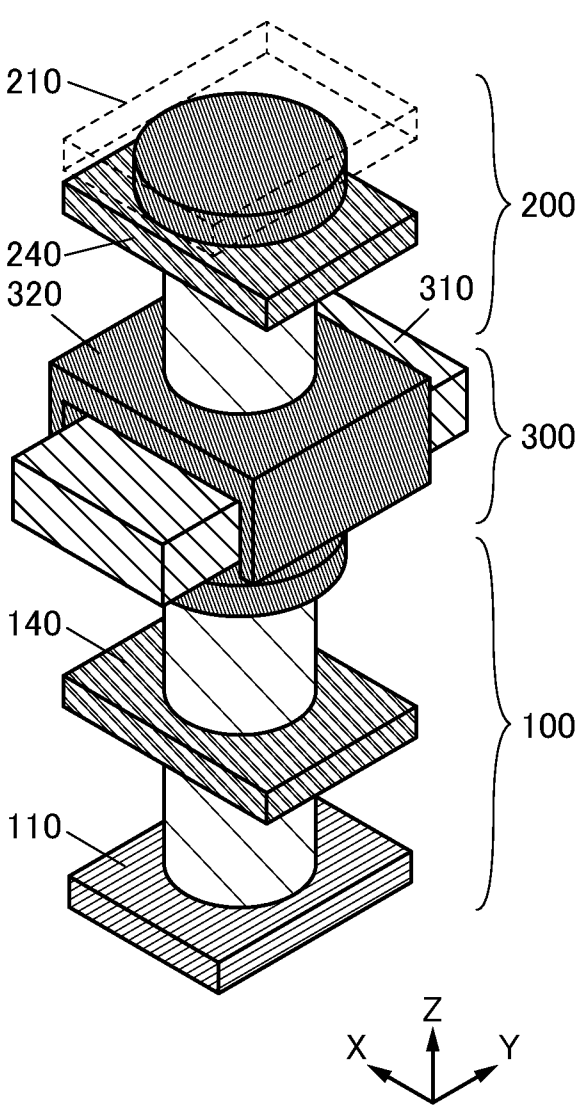

150
210
240
320
310
200
300
140
100
110
Z
X
Y

図14A

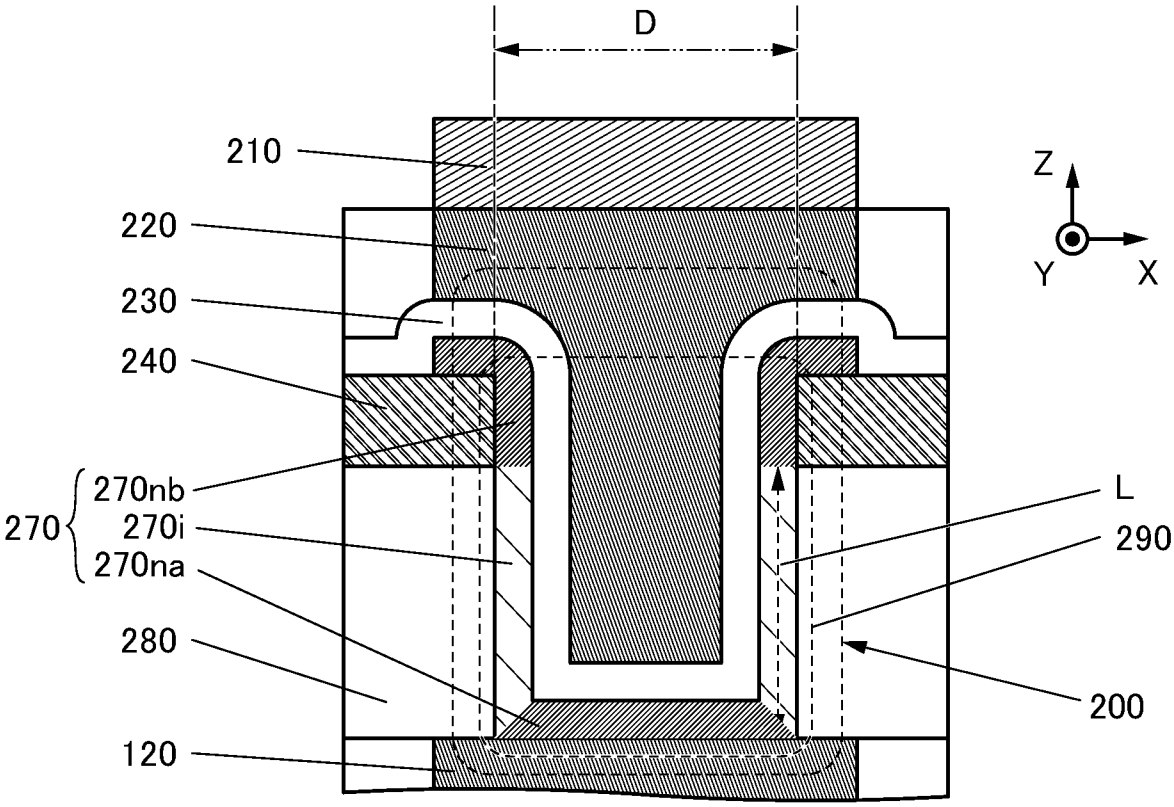

D
210
220
230
240
270
270nb
270i
270na
280
120
L
290
200
Z
Y
X

図14B

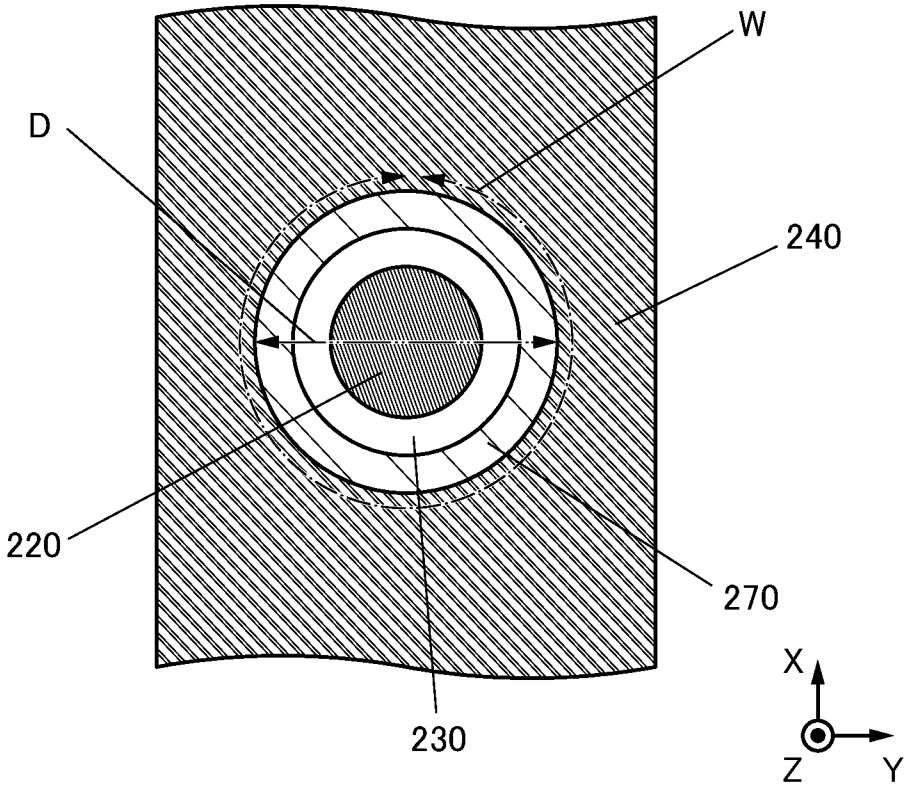

W
D
240
220
270
230
X
Z
Y

図15A

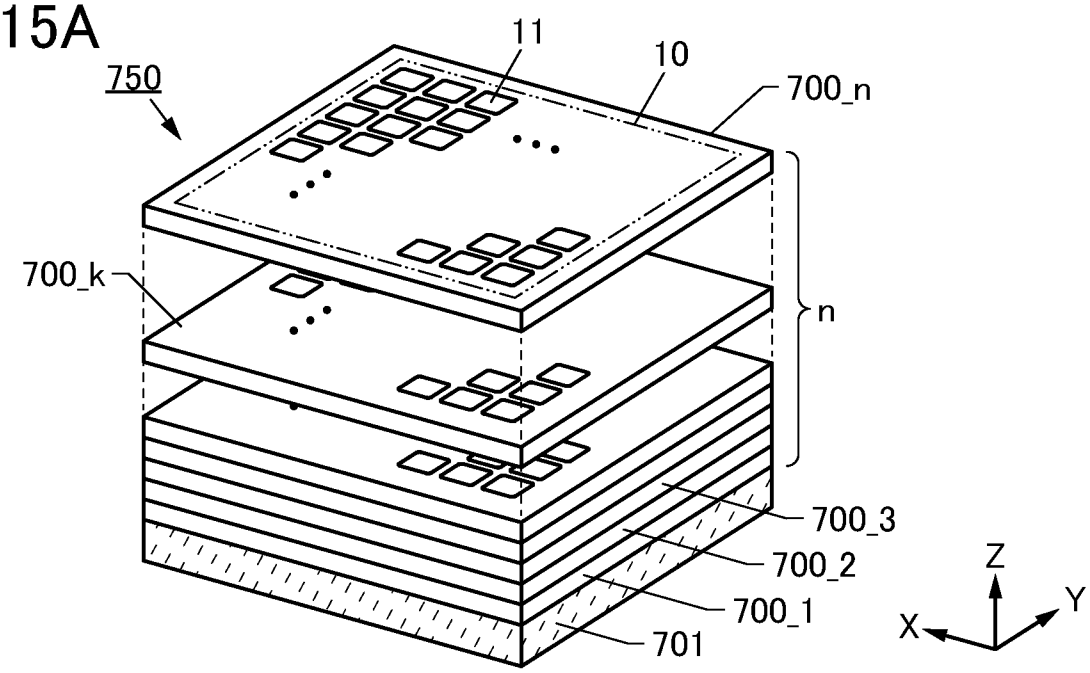

750
11
10
700_n
700_k
n
700_3
700_2
700_1
701
Z
Y
X

図15B

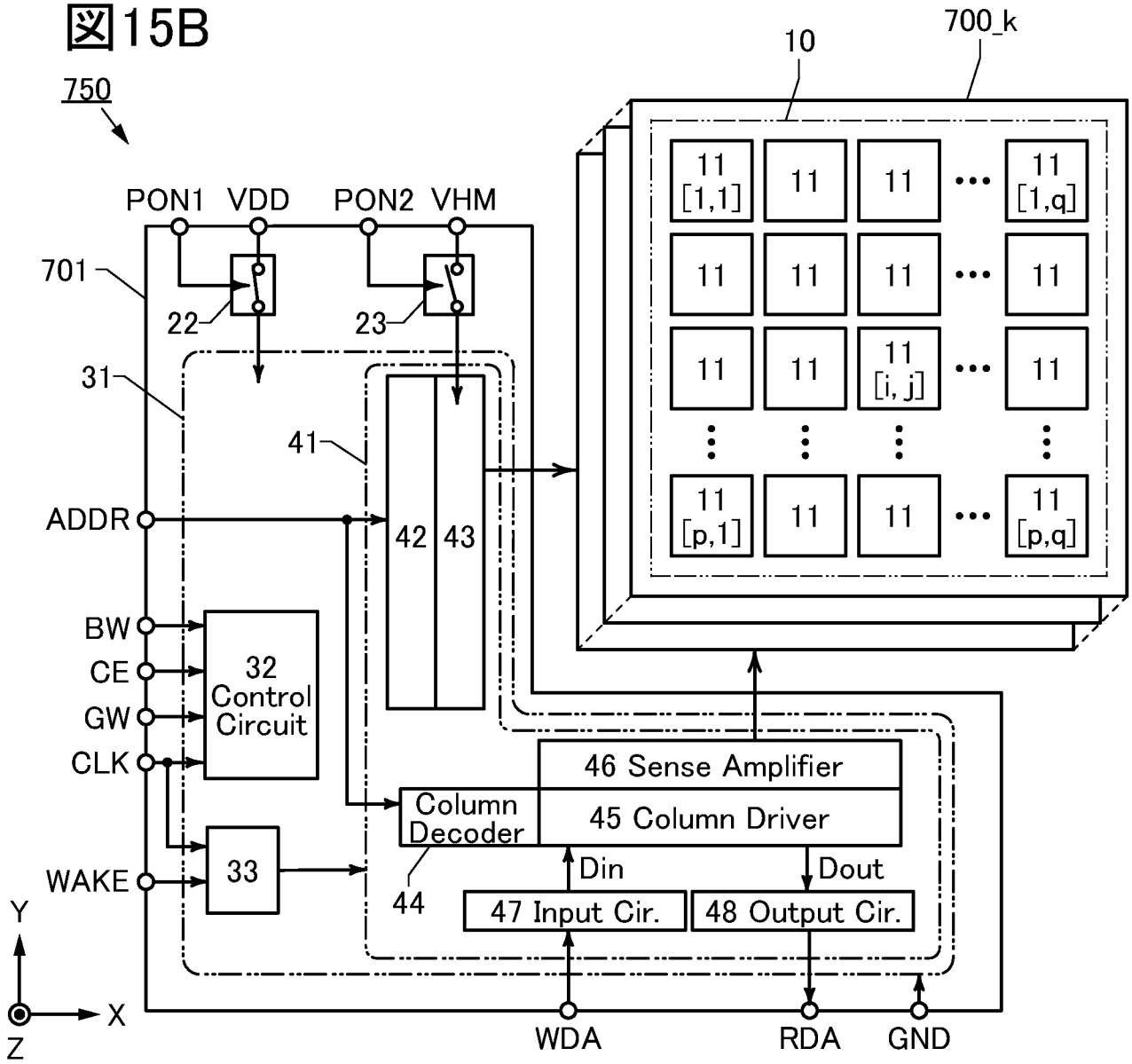

750
10
700_k
11 [1,1]
11 [1,q]
11 [i, j]
11 [p,1]
11 [p,q]
PON1
VDD
PON2
VHM
701
22
23
31
41
ADDR
42
43
BW
CE
GW
CLK
32 Control Circuit
WAKE
33
44
Column Decoder
46 Sense Amplifier
45 Column Driver
Din
Dout
47 Input Cir.
48 Output Cir.
WDA
RDA
GND
Y
X
Z

図16A

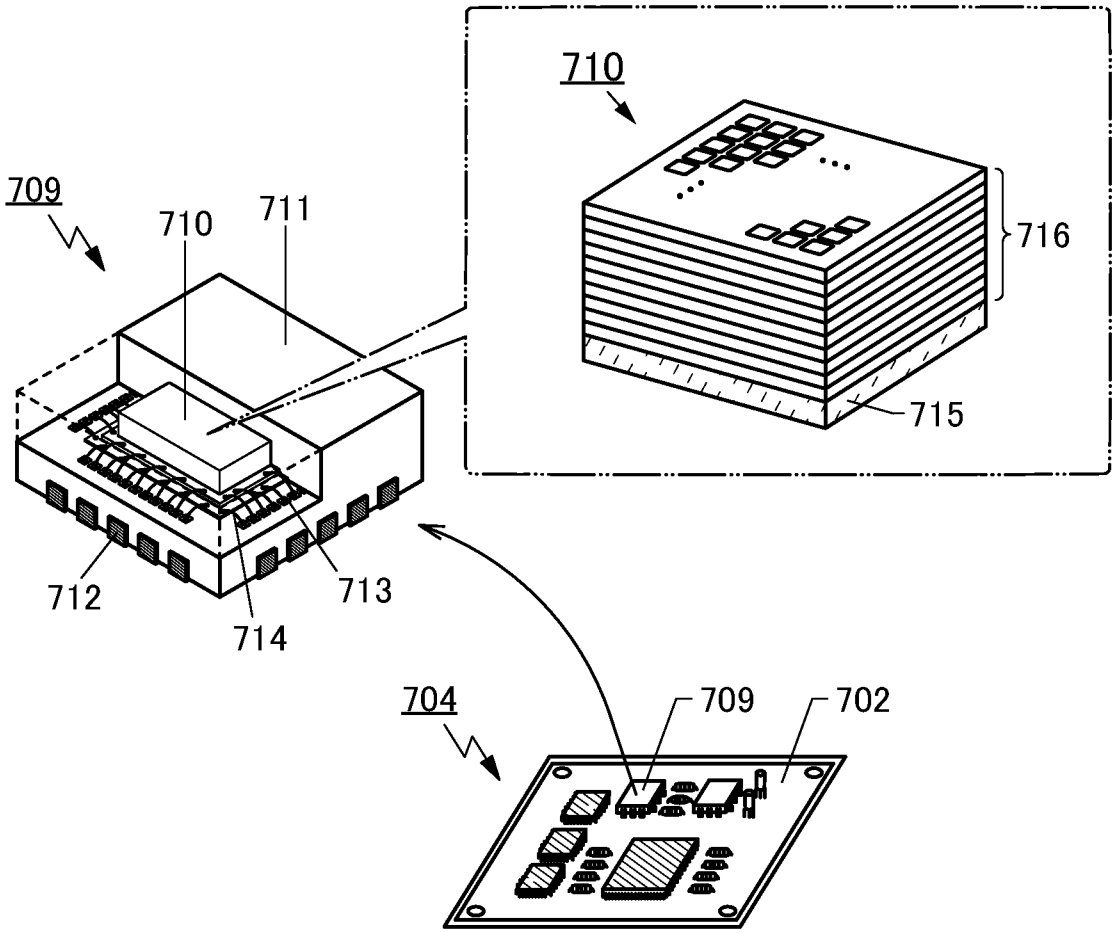

710
709
710
711
716
715
712
713
714
704
709
702

図16B

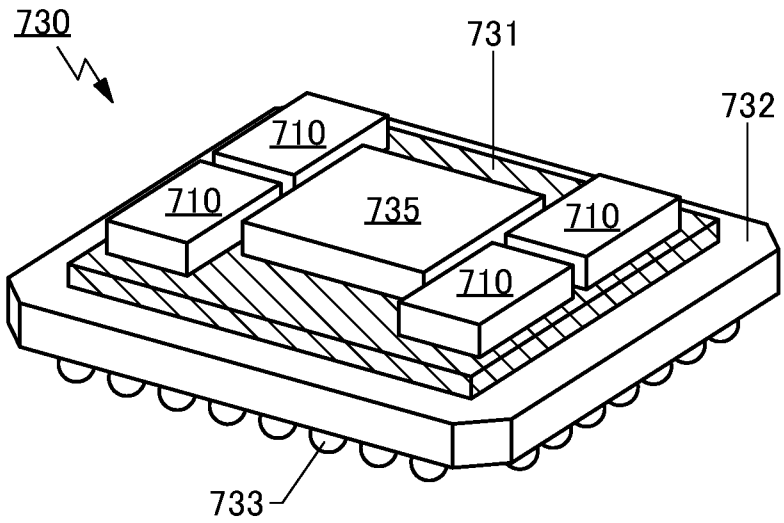

730
731
732
710
710
735
710
710
733

図17A

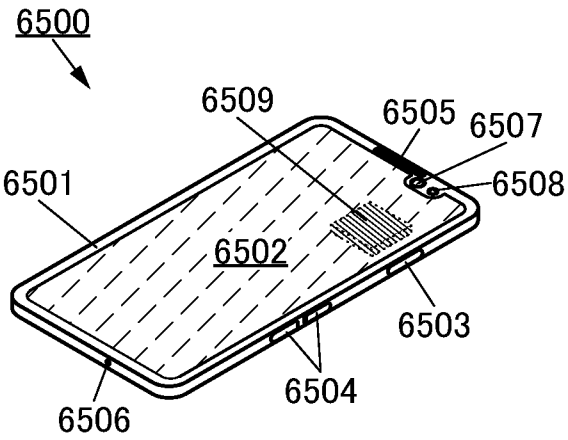


図17B

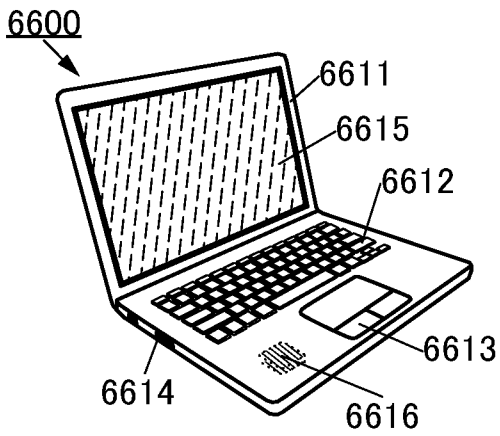


図17C

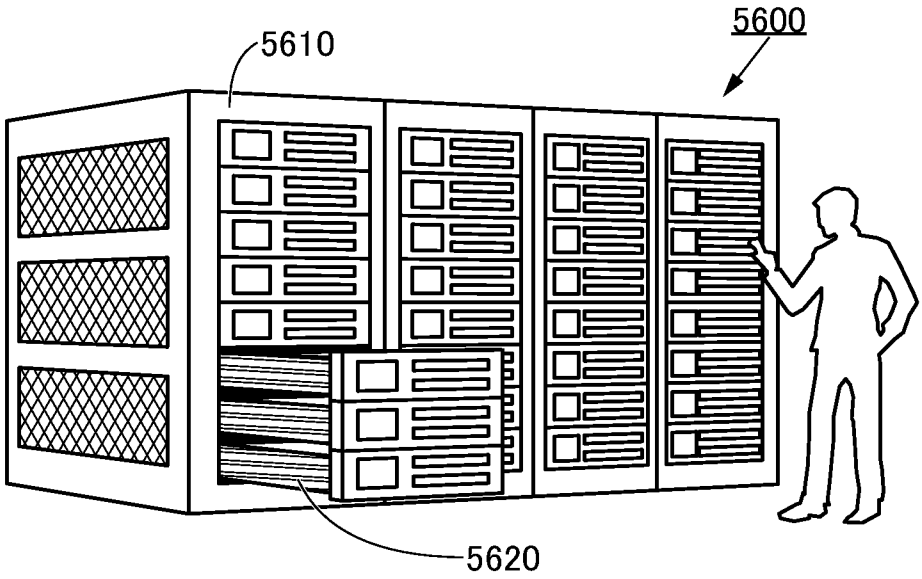


図17D

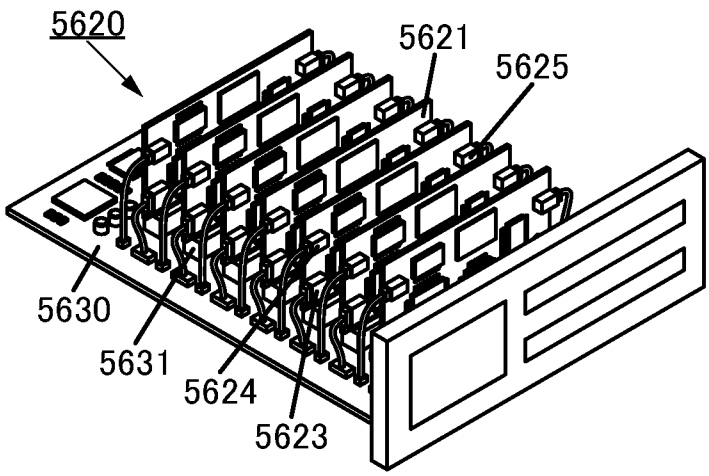


図17E

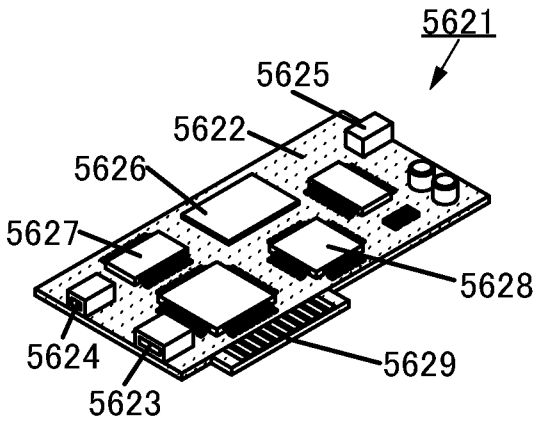


図18

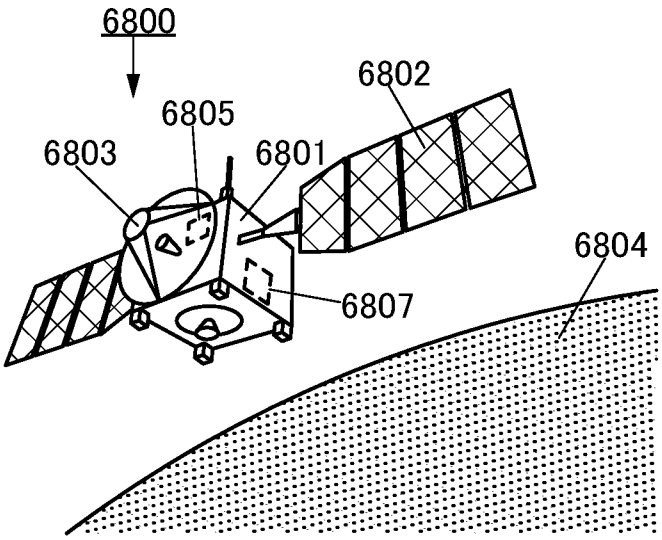
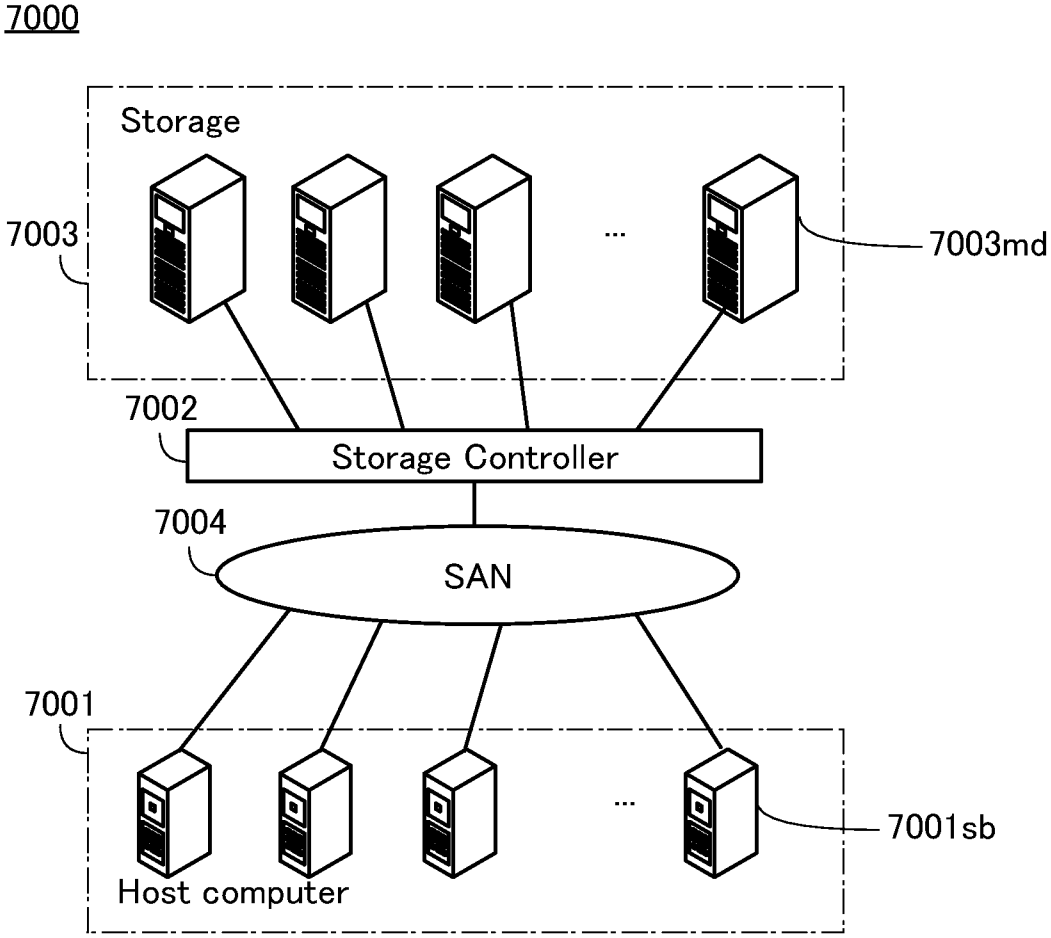


図19


7000
Storage
7003
7003md
7002
Storage Controller
7004
SAN
7001
7001sb
Host computer

INTERNATIONAL SEARCH REPORT

International application No.
PCT/IB2023/061251

A. CLASSIFICATION OF SUBJECT MATTER

H10B 12/00(2023.01)i; ***H01L 29/786***(2006.01)i; ***H10B 41/70***(2023.01)i
FI: H10B12/00 801; H01L29/78 613B; H01L29/78 618B; H10B41/70

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H10B12/00; H01L29/786; H10B41/70

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2024
Registered utility model specifications of Japan 1996-2024
Published registered utility model applications of Japan 1994-2024

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2016-149552 A (SEMICONDUCTOR ENERGY LAB CO LTD) 18 August 2016 (2016-08-18)	1-16
A	WO 2018/203181 A1 (SEMICONDUCTOR ENERGY LAB CO LTD) 08 November 2018 (2018-11-08)	1-16
A	US 2019/0305137 A1 (INTEL CORPORATION) 03 October 2019 (2019-10-03)	1-16

☐ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"D" document cited by the applicant in the international application
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
12 January 2024	**23 January 2024**

Name and mailing address of the ISA/JP	Authorized officer
Japan Patent Office (ISA/JP) **3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915** **Japan**	Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/IB2023/061251

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP 2016-149552 A	18 August 2016	US 2016/0233343 A1	
		WO 2016/128859 A1	
		TW 201640683 A	
WO 2018/203181 A1	08 November 2018	(Family: none)	
US 2019/0305137 A1	03 October 2019	(Family: none)	

国際調査報告

国際出願番号
PCT/IB2023/061251

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

H10B 12/00(2023.01)i; H01L 29/786(2006.01)i; H10B 41/70(2023.01)i
FI: H10B12/00 801; H01L29/78 613B; H01L29/78 618B; H10B41/70

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H10B12/00; H01L29/786; H10B41/70

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２４年
日本国実用新案登録公報	１９９６－２０２４年
日本国登録実用新案公報	１９９４－２０２４年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	JP 2016-149552 A (株式会社半導体エネルギー研究所) 18.08.2016 (2016-08-18)	1-16
A	WO 2018/203181 A1 (株式会社半導体エネルギー研究所) 08.11.2018 (2018-11-08)	1-16
A	US 2019/0305137 A1 (INTEL CORPORATION) 03.10.2019 (2019-10-03)	1-16

☐ Ｃ欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの
“D” 国際出願で出願人が先行技術文献として記載した文献
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
12.01.2024	23.01.2024

名称及びあて先
日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）
境　周一　5F 3654
電話番号 03-3581-1101 内線 3559

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/IB2023/061251

引用文献	公表日	パテントファミリー文献	公表日
JP 2016-149552 A	18.08.2016	US 2016/0233343 A1	
		WO 2016/128859 A1	
		TW 201640683 A	
WO 2018/203181 A1	08.11.2018	（ファミリーなし）	
US 2019/0305137 A1	03.10.2019	（ファミリーなし）	