

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5326113号
(P5326113)

(45) 発行日 平成25年10月30日(2013.10.30)

(24) 登録日 平成25年8月2日(2013.8.2)

(51) Int.Cl.	F 1
HO 1 L 21/304	(2006.01)
HO 1 L 21/28	(2006.01)
HO 1 L 21/768	(2006.01)
HO 1 L 21/8244	(2006.01)
HO 1 L 27/11	(2006.01)

請求項の数 13 (全 24 頁)

(21) 出願番号	特願2009-151288 (P2009-151288)
(22) 出願日	平成21年6月25日(2009.6.25)
(65) 公開番号	特開2011-9452 (P2011-9452A)
(43) 公開日	平成23年1月13日(2011.1.13)
審査請求日	平成24年2月24日(2012.2.24)

(73) 特許権者	302062931 ルネサスエレクトロニクス株式会社 神奈川県川崎市中原区下沼部1753番地
(74) 代理人	100064746 弁理士 深見 久郎
(74) 代理人	100085132 弁理士 森田 俊雄
(74) 代理人	100083703 弁理士 仲村 義平
(74) 代理人	100096781 弁理士 堀井 豊
(74) 代理人	100109162 弁理士 酒井 将行
(74) 代理人	100111246 弁理士 荒川 伸夫

最終頁に続く

(54) 【発明の名称】半導体装置の洗浄方法

(57) 【特許請求の範囲】

【請求項 1】

シリコンを含み、かつ主表面を有する半導体基板を準備する工程と、
前記主表面の上に窒化チタン層とシリコン層とを下から順に積層した積層ゲートを形成する工程と、

前記主表面と前記シリコン層表面との各々にニッケルプラチナシリサイドを形成する工程と、

前記主表面と前記積層ゲート表面との各々の前記ニッケルプラチナシリサイドの上に絶縁層を形成する工程と、

前記半導体基板の主表面と前記積層ゲートの表面との各々の前記ニッケルプラチナシリサイドが前記絶縁層から露出するように前記主表面と前記積層ゲートの表面との双方に達するシェアードコンタクトホールを前記絶縁層に形成する工程と、

前記シェアードコンタクトホールに硫酸洗浄、過酸化水素水洗浄およびAPM洗浄をそれぞれ別工程で行うことにより前記シェアードコンタクトホールに形成された変質層を除去する工程とを含む、半導体装置の洗浄方法。

【請求項 2】

前記APM洗浄におけるAPMの温度は50以下に設定されている、請求項1に記載の半導体装置の洗浄方法。

【請求項 3】

シリコンを含み、かつ主表面を有する半導体基板を準備する工程と、

10

20

前記主表面の上にメタル層とシリコン層とを下から順に積層した積層ゲートを形成する工程と、

前記主表面と前記シリコン層表面との各々にシリサイドを形成する工程と、

前記主表面と前記積層ゲート表面との各々の前記シリサイドの上に絶縁層を形成する工程と、

前記半導体基板の主表面と前記積層ゲートの表面との各々の前記シリサイドが前記絶縁層から露出するように前記主表面と前記積層ゲートの表面との双方に達するシェアードコンタクトホールを前記絶縁層に形成する工程と、

前記シェアードコンタクトホールから露出した前記積層ゲートの少なくとも前記シリコン層の側面に犠牲層を形成する工程と、

前記シリコン層の側面を前記犠牲層で覆った状態で、前記シェアードコンタクトホールに硫酸洗浄、過酸化水素水洗浄およびアンモニア水洗浄をそれぞれ別工程で行うことにより前記シェアードコンタクトホールに形成された変質層を除去する工程とを含む、半導体装置の洗浄方法。

【請求項 4】

シリコンを含み、かつ主表面を有する半導体基板を準備する工程と、

前記主表面の上にメタル層とシリコン層とを下から順に積層した積層ゲートを形成する工程と、

前記主表面と前記シリコン層表面との各々にシリサイドを形成する工程と、

前記主表面と前記積層ゲート表面との各々の前記シリサイドの上に第1の絶縁層を形成する工程と、

前記第1の絶縁層の上に前記第2の絶縁層を形成する工程と、

前記主表面直上の前記第1の絶縁層の部分と前記積層ゲート直上および側壁の前記第1の絶縁層の部分とが前記第2の絶縁層から露出するように孔を前記第2の絶縁層に形成する工程と、

少なくとも前記メタル層の側壁部に第3の絶縁層を形成する工程と、

前記メタル層の側壁部を前記第3の絶縁層で覆った状態で前記孔内をSPM洗浄およびAPM洗浄を行うことにより前記孔内に形成された変質層を除去する工程とを含む、半導体装置の洗浄方法。

【請求項 5】

シリコンを含み、かつ主表面を有する半導体基板を準備する工程と、

前記主表面の上にメタル層とシリコン層とを下から順に積層した積層ゲートを形成する工程と、

前記主表面と前記シリコン層表面との各々にシリサイドを形成する工程と、

前記主表面と前記積層ゲート表面との各々の前記シリサイドの上に犠牲層を形成する工程と、

前記犠牲層の上に絶縁層を形成する工程と、

前記主表面直上の前記犠牲層の部分と前記積層ゲート直上の前記犠牲層の部分とが前記絶縁層から露出するように孔を前記絶縁層に形成する工程と、

前記主表面の前記シリサイド上と前記積層ゲート表面の前記シリサイド上とに前記犠牲層を形成した状態で、前記孔内をフッ素系薬液で洗浄することにより前記孔内に形成された変質層を除去する工程とを含む、半導体装置の洗浄方法。

【請求項 6】

前記犠牲層は、前記シリサイドの上に酸化性のアッシング処理をすることにより形成される、請求項5に記載の半導体装置の洗浄方法。

【請求項 7】

前記犠牲層は、前記シリサイドの上に酸化性のウェット処理をすることにより形成される、請求項5に記載の半導体装置の洗浄方法。

【請求項 8】

前記犠牲層は、前記シリサイドの上に低温のシリコン酸化膜を堆積することにより形成

10

20

30

40

50

される、請求項 5 に記載の半導体装置の洗浄方法。

【請求項 9】

前記犠牲層は、前記シリサイドの上に酸素を含む窒素雰囲気でアニールすることにより形成される、請求項 5 に記載の半導体装置の洗浄方法。

【請求項 10】

前記シリサイドは、Ni、Co および Ti よりなる群から選ばれる 1 種以上の元素を含む金属のシリサイドおよび合金のシリサイドの少なくともいずれかを含む、請求項 3 ~ 9 のいずれか 1 項に記載の半導体装置の洗浄方法。

【請求項 11】

前記積層ゲートは、Ti、W、Ta および Al よりなる群から選ばれる 1 種以上の元素を含む金属、合金、前記金属の窒化物、前記合金の窒化物、前記金属のシリサイドおよび前記合金のシリサイドの少なくともいずれかを含む、請求項 3 ~ 10 のいずれか 1 項に記載の半導体装置の洗浄方法。

10

【請求項 12】

前記 APM 洗浄に用いられるアルカリ薬液は、pH 7 以上に調整されている、請求項 1 ~ 2、4 のいずれか 1 項に記載の半導体装置の洗浄方法。

【請求項 13】

前記アンモニア水洗浄に用いられるアルカリ薬液は、pH 7 以上に調整されている、請求項 3 に記載の半導体装置の洗浄方法。

【発明の詳細な説明】

20

【技術分野】

【0001】

本発明は、半導体装置の洗浄方法に関し、特に、シェアードコンタクトホールが形成された半導体装置の洗浄方法に関するものである。

【背景技術】

【0002】

半導体装置のコンタクトホール形成工程においては、良好なコンタクト抵抗を得るために、コンタクトホール形成のためのドライエッチング後の変質層の除去が必要である。この変質層は、ドライエッチング後の残渣物（残留ガスの生成物とレジスト起因の有機物とを含有するポリマー）およびコンタクトホールの底のシリサイドの酸化層を含んでいる。従来、この変質層は、SPM (Sulfuric Acid/Hydrogen Peroxide/Water Mixture；硫酸と過酸化水素水と水との混合液) および APM (Ammonium Hydroxide/Hydrogen Peroxide/Water mixture；アンモニア水と過酸化水素水と水との混合液) を用いた洗浄により除去される。

30

【0003】

より具体的には、たとえば CF (fluorocarbon；フロロカーボン) 系の残留ガスの生成物とレジスト起因の有機物とを含有するポリマーが SPM により分解除去される。また、たとえばコンタクトホールの底のシリサイド (NiPtSi；ニッケルプラチナシリサイド) の酸化層である NiPtSiO_x が APM によりエッチングによって除去される。

【0004】

40

一般的な半導体装置の基板洗浄の技術は、たとえば特開 2000-331978 号公報（特許文献 1）、特開 2008-85124 号公報（特許文献 2）などに記載されている。特開 2000-331978 号公報にはポリメタルゲート電極の形成において、レジスト残さ、パーティクルまたはドライエッチングにより生じたポリマーなどを除去するため、SPM 溶液と APM 溶液とを順次用いてシリコン基板を洗浄することが記載されている。また、特開 2008-85124 号公報には、コンタクトホール下面の半導体基板表面およびコンタクトホール下面のコンタクトプラグ表面にコバルトシリサイド層が形成された後に、未反応コバルトを硫酸などを用いて除去することが記載されている。

【先行技術文献】

【特許文献】

50

【0005】

【特許文献1】特開2000-331978号公報

【特許文献2】特開2008-85124号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

32nmノード以降のCMOS (Complementary Metal Oxide Semiconductor) デバイスにおいては、High-k/Metal Gate構造の採用が検討されている。High-k/Metal Gate構造では、ゲート電極層にゲートメタルが用いられる。High-k/Metal Gate構造において、SRAM (Static Random Access Memory) 部では、活性領域とゲート電極層との両方に達する1つのコンタクトホールからなるシェアードコンタクトが採用され得る。シェアードコンタクトの洗浄では、ゲートメタル材料 (たとえば、窒化チタン) とシェアードコンタクトホールの底のシリサイド (たとえば、NiPtSi) とが同時にシェアードコンタクトホールから露出した状態で、ホールエッチング後の変質層 (ドライエッチング後の残渣物、シリサイドの酸化層) の除去が必要とされる。10

【0007】

従来のpoly-Si (多結晶シリコン) / SiON (シリコン酸窒化物) ゲート構造で用いられるSPMの洗浄液はゲートメタル材料 (たとえば、窒化チタン) を溶解する。これにより、トランジスタ特性が劣化し、不良が発生する。そのためSPMの洗浄液を変質層の除去に使用することは困難である。20

【0008】

一方、フッ素系の洗浄液はゲートメタル材料 (たとえば、窒化チタン) を溶解しない。しかし、フッ素系の洗浄液でドライエッチング後のシェアードコンタクトホールを洗浄する場合、ドライエッチングによってダメージを受けたシェアードコンタクトホールの底のシリサイド (たとえば、NiPtSi) が粒界に沿って塊状で欠落する現象が起きる。これにより、コンタクト抵抗が増大する不良が発生するため、変質層の除去と良好なコンタクト抵抗の取得の両立は困難である。

【0009】

本発明は、上記課題に鑑みてなされたものであり、その目的は、ゲートメタル材料の溶解抑制と良好なコンタクト抵抗取得とを両立可能な半導体装置の洗浄方法を提供することである。30

【課題を解決するための手段】

【0010】

本発明の一実施例による半導体装置の洗浄方法は、以下の工程を備えている。

シリコンを含み、かつ主表面を有する半導体基板が準備される。主表面の上に窒化チタン層とシリコン層とを下から順に積層した積層ゲートが形成される。主表面とシリコン層表面との各々にニッケルプラチナシリサイドが形成される。主表面と積層ゲート表面との各々のニッケルプラチナシリサイドの上に絶縁層が形成される。半導体基板の主表面と積層ゲートの表面との各々のニッケルプラチナシリサイドが絶縁層から露出するように主表面と積層ゲートの表面との双方に達するシェアードコンタクトホールが絶縁層に形成される。シェアードコンタクトホールに硫酸洗浄、過酸化水素水洗浄およびAPM洗浄をそれぞれ別工程で行なうことによりシェアードコンタクトホールに形成された変質層が除去される。40

【発明の効果】

【0011】

本実施例の半導体装置の洗浄方法によれば、シェアードコンタクトホールに硫酸洗浄と過酸化水素水洗浄とがそれぞれ別工程で行なわれるため、硫酸と過酸化水素水との混合液であるSPMで洗浄する場合よりもメタル層の溶解を抑制することができる。メタル層の溶解を抑制できるため、トランジスタ特性が劣化しない。

【0012】

また、硫酸洗浄と過酸化水素水洗浄とをそれぞれ別工程で行なってもポリマーによる変質層を除去することができる。また、APM洗浄を行なうためシリサイドの酸化層による変質層を除去することもできる。

【0013】

また、メタル層の溶解を抑制することができるためフッ素系の洗浄液を用いる必要がない。したがって、シリサイドが欠落しないで良好なコンタクト抵抗を得ることができる。以上より、変質層を除去しつつ、ゲートメタル（メタル層）の溶解の抑制と良好なコンタクト抵抗の取得とを両立することができる。

【図面の簡単な説明】

10

【0014】

【図1】本発明の実施の形態1における半導体装置の製造方法のソース／ドレイン領域が形成された状態を示す概略断面図であり、図11の一点鎖線で囲まれたシェアードコンタクトホール付近を示す図である。

【図2】本発明の実施の形態1における図1の次工程を示す概略断面図である。

【図3】本発明の実施の形態1における図2の次工程を示す概略断面図である。

【図4】本発明の実施の形態1における図3の次工程を示す概略断面図である。

【図5】本発明の実施の形態1における図4の次工程を示す概略断面図である。

【図6】本発明の実施の形態1における図5の次工程を示す概略断面図である。

【図7】SRAMのメモリセルの等価回路図である。

20

【図8】本発明の実施の形態1における半導体装置の平面レイアウト構成を下から第1層目を示す概略平面図である。

【図9】本発明の実施の形態1における半導体装置の平面レイアウト構成を下から第2層目を示す概略平面図である。

【図10】本発明の実施の形態1における半導体装置の平面レイアウト構成を下から第3層目を示す概略平面図である。

【図11】図8～図10のV-V線に沿う概略断面図である。

【図12】本発明の実施の形態1における硫酸洗浄および過酸化水素水洗浄ならびに比較例1のSPM洗浄によるゲートメタルに対するエッチングレートを示す図である。

【図13】APMでのエッチングレートの温度依存性を示す図である。

30

【図14】本発明の実施の形態2における半導体装置の製造方法の酸化層が形成された状態を示す概略断面図であり、シェアードコンタクトホール付近を示す図である。

【図15】本発明の実施の形態2における図14の次工程を示す概略断面図である。

【図16】本発明の実施の形態3における半導体装置の製造方法の第3の絶縁膜が形成された状態を示す概略断面図であり、シェアードコンタクトホール付近を示す図である。

【図17】本発明の実施の形態3における図16の次工程を示す概略断面図である。

【図18】本発明の実施の形態4における図17の次工程を示す概略断面図である。

【図19】本発明の実施の形態5～7における半導体装置の製造方法の犠牲層が形成された状態を示す概略断面図であり、シェアードコンタクトホール付近を示す図である。

【図20】本発明の実施の形態5～7における図19の次工程を示す概略断面図である。

40

【図21】本発明の実施の形態5～7における図20の次工程を示す概略断面図である。

【図22】本発明の実施の形態5～7における図21の次工程を示す概略断面図である。

【図23】比較例1におけるシェアードコンタクトホール付近を示す概略断面図である。

【図24】比較例2におけるシェアードコンタクトホール付近を示す概略断面図である。

【発明を実施するための形態】

【0015】

以下、本発明の実施の形態について図に基づいて説明する。

(実施の形態1)

まず、本実施の形態の半導体装置の洗浄方法を含む製造方法について図1～図6を用いて説明する。

50

【0016】

図1を参照して、たとえばシリコンよりなる半導体基板SBに充填物TIが埋め込まれることによりSTI(Shallow Trench Isolation)よりなるトレンチ分離構造が形成される。充填物TIは、たとえばシリコン酸化膜からなる分離酸化膜で形成される。半導体基板SBの主表面MS上にゲート絶縁層GIとゲート電極用導電層とが形成される。ゲート絶縁層GIは、たとえばHig h-kゲート酸化膜で形成される。

【0017】

ゲート電極用導電層上にたとえばフォトレジスト(図示しない)が塗布される。続いてフォトレジストがパターニングされる。このフォトレジストのパターンをマスクとしてゲート電極用導電層にエッチングが施される。これにより、ゲート電極用導電層がパターニングされて積層ゲートであるゲート電極層GE2などが形成される。ゲート電極層GE2は、メタル層であるゲートメタルGMとシリコン層であるゲート多結晶シリコン(以下、多結晶シリコンをポリシリコンと称する。)GPとで形成される。ゲートメタルGMは、たとえばTiN(窒化チタン)で形成される。この後、フォトレジストのパターンがアッシングなどにより除去される。

10

【0018】

続いてゲート電極層GE2などをマスクとして不純物をイオン注入することなどにより、半導体基板SBの主表面MSにソース/ドレイン領域の低濃度領域が形成される。

【0019】

この後、ゲート電極層GE2などの上を覆うようにサイドウォールスペーサ用の絶縁層が形成される。この絶縁層は、たとえばシリコン酸化膜で形成される。この絶縁層上に、たとえばSiN(窒化シリコン)膜が形成される。その後、半導体基板SBの主表面MSが露出するまで全面エッチバックが施される。この際、SiN膜が除去されることによりゲート電極層GE2などの側壁にサイドウォールスペーサ用の絶縁層が残存して、サイドウォールスペーサSWが形成される。

20

【0020】

このサイドウォールスペーサSWとゲート電極層GE2などをマスクとして不純物をイオン注入などすることにより、半導体基板SBの主表面MSにソース/ドレイン領域の高濃度領域が形成される。このようにして、たとえばp型の低濃度領域と高濃度領域とによりLDD(Lightly Doped Drain)構造を有するp型のソース/ドレイン領域PDRが形成される。

30

【0021】

図2を参照して、半導体基板SBの主表面MS全面に高融点金属層が形成され、熱処理が施されることによりゲート電極層GE2および半導体基板SBの主表面MS上にシリサイド層(シリサイド)SCLが形成される。たとえば、高融点金属層は、NiPt(ニッケルプラチナ)膜、TiN膜を順次堆積することにより形成される。この後、N₂(窒素)雰囲気にて第1段階のアニールが施されることによりシリコンとの反応が進められる。その後、未反応の余剰なNiPt膜、TiN膜が薬液洗浄によって除去される。さらにN₂雰囲気にて第2段階のアニールが施されることによりシリコンとの反応が進められてシリサイド層SCLが形成される。

40

【0022】

図3を参照して、ゲート電極GE2、サイドウォールスペーサSWなどを覆うように半導体基板SBの主表面MS上にライナー窒化膜LNおよび層間絶縁層II1が順に積層して形成される。ライナー窒化膜LNと層間絶縁層II1とが絶縁層ILを形成する。半導体基板SBの主表面MSとゲート電極層GE2の表面との各々のシリサイド層SCLの上に絶縁層ILが形成される。ライナー窒化膜LNは、たとえばSiN膜で形成される。層間絶縁層II1は、たとえばシリコン酸化膜で形成される。その後、層間絶縁層II1がCMP(Chemical Mechanical Polishing)される。

【0023】

図4を参照して、層間絶縁層II1に図示しないレジストがパターニングされる。レジ

50

ストのパターンをマスクとして層間絶縁層 I I 1 にエッチングが施される。この後、レジストはアッシングなどにより除去される。これにより、活性領域である半導体基板 S B の主表面 M S とゲート電極層 G E 2 の表面との各々のシリサイド層 S C L の上方にシェアードコンタクトのための孔が形成される。なお、半導体基板 S B の主表面 M S およびゲート電極層のそれぞれにのみコンタクトホールを形成するパターンも存在する。

【 0 0 2 4 】

図 5 を参照して、ライナー窒化膜 L N がマスク無しでエッチングされることによりシリサイド層 S C L が絶縁層 I L から露出するようにシェアードコンタクトホール S C 2 が形成される。この際、シェアードコンタクトホール S C 2 内のゲート電極層 G E 2 の側壁に形成されたライナー窒化膜 L N とサイドウォールスペーサ S W とが除去される。そのため、シェアードコンタクトホール S C 2 内のゲート電極層 G E 2 の側壁では、ゲートポリシリコン G P 、ゲートメタル G M などが露出する。

【 0 0 2 5 】

また、半導体基板 S B の主表面 M S とゲート電極層 G E 2 との両方のシリサイド層 S C L の上に変質層 A L が形成される。変質層 A L は、たとえば C F 系の残留ガスの生成物とレジスト起因の有機物とを含有するポリマーと、シリサイドの酸化層である N i P t S i O x とで形成される。変質層 A L は、導電層 P L 1 との良好な接触を妨げることによりコンタクト抵抗増大の不良要因となる。導電層 P L 1 は、たとえばタンクステン (W) プラグである。

【 0 0 2 6 】

図 6 を参照して、シェアードコンタクトホール S C 2 に硫酸洗浄と過酸化水素水洗浄と A P M 洗浄とがそれぞれ別工程で行なれる。これにより変質層 A L が除去される。硫酸洗浄では、硫酸の温度は、たとえば 8 0 ℃ に設定される。洗浄時間は、たとえば 1 分間に設定される。過酸化水素水洗浄では、過酸化水素水の温度は、たとえば室温 (2 5 ℃) に設定される。洗浄時間は、たとえば 3 0 秒間に設定される。

【 0 0 2 7 】

A P M 洗浄では、A P M の温度 (液温) は、たとえば 5 0 ℃ 以下に設定される。A P M の温度は 5 0 ℃ ~ 室温に設定されることが好ましい。A P M の混合比は、たとえば 2 9 質量 % アンモニア水と 3 0 質量 % 過酸化水素水と純水とが 1 : 1 : 5 0 、または 4 : 1 : 2 0 0 の比率に設定される。2 9 質量 % アンモニア水と純水との混合比は、1 : 5 0 以上が好ましい。3 0 質量 % 過酸化水素水と純水との混合比は、1 : 4 0 0 ~ 1 : 5 0 の間が好ましい。

【 0 0 2 8 】

硫酸洗浄、過酸化水素水洗浄、A P M 洗浄の各々の洗浄の順番に制限はない。C F 系の残留ガスの生成物とレジスト起因の有機物とを含有するポリマーは、はっ水性を有しているので効果的に洗浄するために、硫酸洗浄、過酸化水素水洗浄、A P M 洗浄の順に洗浄することが好ましい。

【 0 0 2 9 】

この後、シェアードコンタクト内に導電性のプラグ層が形成される。

次に、上記のシェアードコンタクトが適用されるデバイスとして S R A M デバイスについて図 7 ~ 図 1 1 を用いて説明する。

【 0 0 3 0 】

図 7 を参照して、S R A M は揮発性の半導体記憶装置であり、この S R A M のメモリセルはたとえばフル C M O S (Complementary Metal Oxide Semiconductor) 型のメモリセルである。

【 0 0 3 1 】

この S R A M ではマトリックス (行列) 状に配置された相補型データ線 (ビット線) B L 、 / B L とワード線 W L との交差部にメモリセルが配置される。このメモリセルは 1 対のインバータ回路からなるフリップフロップ回路および 2 個のアクセストランジスタ A T 1 、 A T 2 で構成されている。このフリップフロップ回路により、クロスカップリングさ

10

20

30

40

50

せた2つの記憶ノードN1、N2が構成され、(High、Low)または(Low、High)の双安定状態が構成されている。このメモリセルは、所定の電源電圧が与えられている限り、双安定状態を保持し続ける。

【0032】

1対のアクセストランジスタAT1、AT2の各々は、たとえばnチャネルMOSトランジスタ(以下、nMOSトランジスタと称する)よりなっている。アクセストランジスタAT1のソース/ドレインの一方が記憶ノードN1に電気的に接続されており、ソース/ドレインの他方はビット線BLに電気的に接続されている。またアクセストランジスタAT2のソース/ドレインの一方は記憶ノードN2に電気的に接続されており、ソース/ドレインの他方はビット線BLに電気的に接続されている。またアクセストランジスタAT1、AT2の各々のゲートはワード線WLに電気的に接続されている。このワード線WLによりアクセストランジスタAT1、AT2の導通、非導通状態が制御される。

10

【0033】

インバータ回路は1個のドライバトランジスタDT1(もしくはDT2)および1個の負荷トランジスタLT1(もしくはLT2)で構成されている。

【0034】

1対のドライバトランジスタDT1、DT2の各々は、たとえばnMOSトランジスタよりなっている。1対のドライバトランジスタDT1、DT2の各々のソースはGND(接地電位)に電気的に接続されている。またドライバトランジスタDT1のドレインは記憶ノードN1に電気的に接続されており、ドライバトランジスタDT2のドレインは記憶ノードN2に電気的に接続されている。さらにドライバトランジスタDT1のゲートは記憶ノードN2に電気的に接続されており、ドライバトランジスタDT2のゲートは記憶ノードN1に電気的に接続されている。

20

【0035】

1対の負荷トランジスタLT1、LT2の各々は、たとえばpチャネルMOSトランジスタ(以下、pMOSトランジスタと称する)よりなっている。1対の負荷トランジスタLT1、LT2の各々のソースはVdd電源電圧に電気的に接続されている。また負荷トランジスタLT1のドレインは記憶ノードN1に電気的に接続されており、負荷トランジスタLT2のドレインは記憶ノードN2に電気的に接続されている。また負荷トランジスタLT1のゲートは記憶ノードN2に電気的に接続されており、負荷トランジスタLT2のゲートは記憶ノードN1に電気的に接続されている。

30

【0036】

このメモリセルにデータを書込むときは、ワード線WLが選択されてアクセストランジスタAT1、AT2が導通状態とされ、所望の論理値に応じてビット線対BL、/BLに強制的に電圧が印加されることにより、フリップフロップ回路の双安定状態がいずれかに設定される。またこのメモリセルからデータを読出すときは、アクセストランジスタAT1、AT2が導通状態とされ、記憶ノードN1、N2の電位がビット線BL、/BLに伝達される。

【0037】

本実施の形態の半導体装置の構成においては、負荷トランジスタLT1のゲート電極層と負荷トランジスタLT2のドレイン領域とがシェアードコンタクトにより互いに電気的に接続されており、負荷トランジスタLT2のゲート電極層と負荷トランジスタLT1のドレイン領域とがシェアードコンタクトにより互いに電気的に接続されている。以下、その構成について説明する。

40

【0038】

図8および図11を参照して、半導体基板SBの主表面には、たとえばSTI(Shallow Trench Isolation)によるトレンチ分離構造が形成されている。このトレンチ分離構造は、半導体基板SBの主表面に形成されたトレンチ分離用の溝TRと、その溝TR内を充填する充填物TIとを有している。

【0039】

50

このトレンチ分離構造により分離された半導体基板SBの主表面に、複数のSRAMメモリセルが形成されている。1つのSRAMメモリセル領域MC(図8中の破線で囲った領域)には、1対のドライバトランジスタDT1、DT2、1対のアクセストランジスタAT1、AT2および1対の負荷トランジスタLT1、LT2が形成されている。

【0040】

1対のドライバトランジスタDT1、DT2と1対のアクセストランジスタAT1、AT2との各々は、たとえばnMOSトランジスタよりなっており、半導体基板SBの主表面のp型ウエル領域PW1、PW2に形成されている。また1対の負荷トランジスタLT1、LT2の各々は、たとえばpMOSトランジスタよりなっており、半導体基板SBの主表面のn型ウエル領域NW内に形成されている。

10

【0041】

ドライバトランジスタDT1は、1対のソース／ドレイン領域となる1対のn型不純物領域NIR、NIRと、ゲート電極層GE1とを有している。1対のn型不純物領域NIR、NIRの各々は、p型ウエル領域PW1内の半導体基板SBの主表面に互いに間隔をあけて形成されている。ゲート電極層GE1は、1対のn型不純物領域NIR、NIRに挟まれるチャネル形成領域上にゲート絶縁層(図示せず)を挟んで形成されている。

【0042】

ドライバトランジスタDT2は、1対のソース／ドレイン領域となる1対のn型不純物領域NIR、NIRと、ゲート電極層GE2とを有している。1対のn型不純物領域NIR、NIRの各々は、p型ウエル領域PW2内の半導体基板SBの主表面に互いに間隔をあけて形成されている。ゲート電極層GE2は、1対のn型不純物領域NIR、NIRに挟まれるチャネル形成領域上にゲート絶縁層(図示せず)を挟んで形成されている。

20

【0043】

アクセストランジスタAT1は、1対のソース／ドレイン領域となる1対のn型不純物領域NIR、NIRと、ゲート電極層GE3とを有している。1対のn型不純物領域NIR、NIRの各々は、p型ウエル領域PW1内の半導体基板SBの主表面に互いに間隔をあけて形成されている。ゲート電極層GE3は、1対のn型不純物領域NIR、NIRに挟まれるチャネル形成領域上にゲート絶縁層(図示せず)を挟んで形成されている。

【0044】

アクセストランジスタAT2は、1対のソース／ドレイン領域となる1対のn型不純物領域NIR、NIRと、ゲート電極層GE4とを有している。1対のn型不純物領域NIR、NIRの各々は、p型ウエル領域PW2内の半導体基板SBの主表面に互いに間隔をあけて形成されている。ゲート電極層GE4は、1対のn型不純物領域NIR、NIRに挟まれるチャネル形成領域上にゲート絶縁層(図示せず)を挟んで形成されている。

30

【0045】

負荷トランジスタLT1は、1対のソース／ドレイン領域となる1対のp型不純物領域PIR、PIRと、ゲート電極層GE1とを有している。1対のp型不純物領域PIR、PIRの各々は、n型ウエル領域NW内の半導体基板SBの主表面に互いに間隔をあけて形成されている。ゲート電極層GE1は、1対のn型不純物領域PIR、PIRに挟まれるチャネル形成領域CHN1上にゲート絶縁層GIを挟んで形成されている。

40

【0046】

負荷トランジスタLT2は、1対のソース／ドレイン領域となる1対のp型不純物領域PIR、PIRと、ゲート電極層GE2とを有している。1対のp型不純物領域PIR、PIRの各々は、n型ウエル領域NW内の半導体基板SBの主表面に互いに間隔をあけて形成されている。ゲート電極層GE2は、1対のp型不純物領域PIR、PIRに挟まれるチャネル形成領域CHN2上にゲート絶縁層GIを挟んで形成されている。

【0047】

ドライバトランジスタDT1のドレイン領域とアクセストランジスタAT1の1対のソース／ドレイン領域の一方とは、同一のn型不純物領域NIRにより形成されている。またドライバトランジスタDT2のドレイン領域とアクセストランジスタAT2の1対のソ

50

ース / ドレイン領域の一方とは、互いに同一の n 型不純物領域 N I R により形成されている。

【 0 0 4 8 】

ドライバトランジスタ D T 1 のゲート電極層 G E 1 と負荷トランジスタ L T 1 のゲート電極層 G E 1 とは、互いに同一の導電層により形成されている。またドライバトランジスタ D T 2 のゲート電極層 G E 2 と負荷トランジスタ L T 2 のゲート電極層 G E 2 とは、互いに同一の導電層により形成されている。

【 0 0 4 9 】

主に図 1 1 を参照して、これらのトランジスタ D T 1 、 D T 2 、 A T 1 、 A T 2 、 L T 1 、 L T 2 の各々のゲート電極層、ソース / ドレイン領域に接するようにシリサイド層 S C L が形成されている。またこれらのトランジスタ D T 1 、 D T 2 、 A T 1 、 A T 2 、 L T 1 、 L T 2 の各々のゲート電極層、ソース / ドレイン領域などを覆うように半導体基板 S B 上にライナー窒化膜 L N および層間絶縁層 I I 1 が順に積層して形成されている。ライナー窒化膜 L N および層間絶縁層 I I 1 には、複数のコンタクトホール C H 1 ~ C H 8 および複数のシェアードコンタクトホール S C 1 、 S C 2 が形成されている。

10

【 0 0 5 0 】

主に図 8 を参照して、具体的には、ライナー窒化膜 L N および層間絶縁層 I I 1 には、ドライバトランジスタ D T 1 、 D T 2 の各々のソース領域に達するコンタクトホール C H 1 、 C H 2 が形成されている。またライナー窒化膜 L N および層間絶縁層 I I 1 には、アクセストランジスタ A T 1 、 A T 2 の各々の 1 対のソース / ドレイン領域の一方 (ドライバトランジスタ D T 1 、 D T 2 の各々のドレイン領域) に達するコンタクトホール C H 3 、 C H 4 が形成されている。またライナー窒化膜 L N および層間絶縁層 I I 1 には、アクセストランジスタ A T 1 、 A T 2 の各々の 1 対のソース / ドレイン領域の他方に達するコンタクトホール C H 5 、 C H 6 が形成されている。またライナー窒化膜 L N および層間絶縁層 I I 1 には、負荷トランジスタ L T 1 、 L T 2 の各々のソース領域に達するコンタクトホール C H 7 、 C H 8 が形成されている。

20

【 0 0 5 1 】

またライナー窒化膜 L N および層間絶縁層 I I 1 には、負荷トランジスタ L T 1 のゲート電極層 G E 1 と負荷トランジスタ L T 2 のドレイン領域との双方に達するシェアードコンタクトホール S C 1 が形成されている。またライナー窒化膜 L N および層間絶縁層 I I 1 には、負荷トランジスタ L T 2 のゲート電極層 G E 2 と負荷トランジスタ L T 1 のドレイン領域との双方に達するシェアードコンタクトホール S C 2 が形成されている。

30

【 0 0 5 2 】

主に図 1 1 を参照して、上記の複数のコンタクトホール C H 1 ~ C H 8 およびシェアードコンタクトホール S C 1 、 S C 2 の各々の内部には導電層 P L 1 (図 1 1) が充填されている。層間絶縁層 I I 1 上には、絶縁層 B L 1 と層間絶縁層 I I 2 とが順に積層して形成されている。この絶縁層 B L 1 および層間絶縁層 I I 2 には複数の貫通孔が形成されており、複数の貫通孔の各々の内部には複数の導電層 (第 1 メタル層) C L 1 の各々が埋め込まれている。これら複数の導電層 C L 1 により導電層パターンが構成されている。

40

【 0 0 5 3 】

主に図 8 を参照して、この導電層 C L 1 により、シェアードコンタクトホール S C 1 内の導電層 P L 1 とコンタクトホール C H 4 内の導電層 P L 1 とが電気的に接続されている。これにより、負荷トランジスタ L T 1 のゲート電極層 G E 1 と、負荷トランジスタ L T 2 のドレイン領域と、ドライバトランジスタ D T 2 のドレイン領域と、アクセストランジスタ A T 2 の 1 対のソース / ドレイン領域の一方とが電気的に接続されている。

【 0 0 5 4 】

また導電層 C L 1 により、シェアードコンタクトホール S C 2 内の導電層 P L 1 とコンタクトホール C H 3 内の導電層 P L 1 とが電気的に接続されている。これにより、負荷トランジスタ L T 2 のゲート電極層 G E 2 と、負荷トランジスタ L T 1 のドレイン領域と、ドライバトランジスタ D T 1 のドレイン領域と、アクセストランジスタ A T 1 の 1 対のソ

50

ース / ドレイン領域の一方とが電気的に接続されている。

【 0 0 5 5 】

またコンタクトホール C H 1、C H 2、C H 5 ~ C H 8 の各々の内部の導電層 P L 1 も個別に導電層 C L 1 と電気的に接続されている。

【 0 0 5 6 】

主に図 1 1 を参照して、層間絶縁層 I I 2 上には、絶縁層 B L 2 と層間絶縁層 I I 3 とが順に積層して形成されている。この絶縁層 B L 2 および層間絶縁層 I I 3 には複数のビアホール V H 1 1 ~ V H 1 8 が形成されており、複数のビアホール V H 1 1 ~ V H 1 8 の各々に連通するように層間絶縁層 I I 3 の表面に導電層埋め込み用の溝が形成されている。

10

【 0 0 5 7 】

複数のビアホール V H 1 1 ~ V H 1 8 の各々には、導電層 P L 2 が埋め込まれている。また複数の導電層埋め込み用の溝の各々には、複数の導電層（第 2 メタル層）C L 2 の各々が埋め込まれている。これら複数の導電層 C L 2 により導電層パターンが形成されている。

【 0 0 5 8 】

主に図 9 を参照して、ビアホール V H 1 3 およびコンタクトホール C H 5 を介してアクセストランジスタ A T 1 の 1 対のソース / ドレイン領域の他方に電気的に接続される導電層 C L 2 はビット線 / B L として機能する。またビアホール V H 1 4 およびコンタクトホール C H 6 を介してアクセストランジスタ A T 2 の 1 対のソース / ドレイン領域の他方に電気的に接続される導電層 C L 2 はビット線 B L として機能する。またビアホール V H 1 5 およびコンタクトホール C H 7 を介して負荷トランジスタ L T 1 のソース領域に電気的に接続され、かつビアホール V H 1 6 およびコンタクトホール C H 8 を介して負荷トランジスタ L T 2 のソース領域に電気的に接続される導電層 C L 2 は電源線 V d d として機能する。これらのビット線 B L 、 / B L および電源線 V d d は、図中縦方向に沿って互いに並走するように延びている。

20

【 0 0 5 9 】

またビアホール V H 1 1、V H 1 2、V H 1 7、V H 1 8 の各々の内部の導電層 P L 2 も個別に導電層 C L 2 と電気的に接続されている。

【 0 0 6 0 】

30

主に図 1 1 を参照して、層間絶縁層 I I 3 上には、絶縁層 B L 3 と層間絶縁層 I I 4 とが順に積層して形成されている。この絶縁層 B L 3 および層間絶縁層 I I 4 には複数のビアホール V H 2 1 ~ V H 2 4 が形成されており、複数のビアホール V H 2 1 ~ V H 2 4 の各々に連通するように層間絶縁層 I I 4 の表面に導電層埋め込み用の溝が形成されている。

【 0 0 6 1 】

複数のビアホール V H 2 1 ~ V H 2 4 の各々には、導電層（図示せず）が埋め込まれている。また複数の導電層埋め込み用の溝の各々には、複数の導電層（第 3 メタル層）C L 3 の各々が埋め込まれている。これら複数の導電層 C L 3 により導電層パターンが形成されている。

40

【 0 0 6 2 】

主に図 1 0 を参照して、ビアホール V H 2 1、ビアホール V H 1 1 およびコンタクトホール C H 1 を介してドライバトランジスタ D T 1 のソース領域に電気的に接続される導電層 C L 3 は G N D 線として機能する。またビアホール V H 2 2、ビアホール V H 1 2 およびコンタクトホール C H 2 を介してドライバトランジスタ D T 2 のソース領域に電気的に接続される導電層 C L 3 は G N D 線として機能する。またビアホール V H 2 3、ビアホール V H 1 7 およびコンタクトホール C H 9 を介してアクセストランジスタ A T 1 のゲート電極層 G E 3 に電気的に接続され、かつビアホール V H 2 4、ビアホール V H 1 8 およびコンタクトホール C H 1 0 を介してアクセストランジスタ A T 2 のゲート電極層 G E 3 に電気的に接続される導電層 C L 3 はワード線 W L として機能する。これらの G N D 線およ

50

びワード線W Lは、図中横方向に沿って互いに並走するように延びている。

【0063】

次に、本実施の形態の作用効果について比較例と比較して説明する。

本実施の形態によれば、シェアードコンタクトホールS C 2に硫酸洗浄と過酸化水素水洗浄とがそれぞれ別工程で行なわれるため、硫酸と過酸化水素水との混合液であるS P Mで洗浄する場合(比較例1)よりもゲートメタルG M(たとえば、T i N)の溶解を抑制することができる。以下、そのことを説明する。

【0064】

比較例1では、図5の状態から変質層A Lを除去するために、シェアードコンタクトホールS C 2にS P M洗浄とA P M洗浄とが連続的に行なわれる。図23を参照して、比較例1ではS P M洗浄とA P M洗浄とにより変質層A Lが除去されるが、ゲート電極層の側壁が露出しているためゲートメタル(たとえば、T i N)が溶解して消失することがわかった。

【0065】

そこで鋭意検討した結果、図12を参照して、ゲートメタルG Mの材料であるT i Nに対するエッティングレートは、S P Mでは20 nm/minであることがわかった。この問題を解決すべく本発明者らがさらに検討した結果、H₂SO₄(硫酸)とH₂O₂(過酸化水素)とで別工程でエッティングすれば、T i Nに対するエッティングレートは、H₂SO₄(硫酸)では0.2 nm/minであり、H₂O₂(過酸化水素)では1 nm/minとなることがわかった。したがって、T i Nに対する硫酸、過酸化水素水の各々のエッティングレートは、S P Mのエッティングレートより非常に小さい値となる。よって、硫酸洗浄と過酸化水素水洗浄とをそれぞれ別工程で行なうことによりS P M洗浄よりゲートメタルG M(たとえば、T i N)の溶解を抑制できることがわかった。

【0066】

本実施の形態では、硫酸の酸化還元電位がS P Mの酸化還元電位より低いためゲートメタルG M(たとえば、T i N)に対するエッティングレートをS P Mで洗浄する場合よりも低くすることができる。したがって、S P Mで洗浄する場合よりもゲートメタルG Mの除去を抑制することができる。ゲートメタルG M(たとえば、T i N)の溶解を抑制できるため、トランジスタ特性が劣化しない。

【0067】

また、硫酸洗浄と過酸化水素水洗浄とをそれぞれ別工程で行なってもポリマーによる変質層を除去することができる。比較例1のS P M洗浄では下記の式(1)で示されるように硫酸(H₂SO₄)と過酸化水素(H₂O₂)からカロ酸(H₂SO₅)が生成される。

【0068】

【化1】

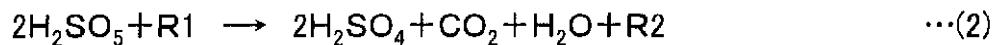


【0069】

下記の式(2)で示されるようにカロ酸により変質層A Lに含まれる有機物R 1が酸化される。このようにして変質層A Lに含まれる有機物R 1を含有するポリマーが分解除去される。なお、有機物R 1の一部は、酸化されず有機物R 2として残存し得る。

【0070】

【化2】



【0071】

なお、下記の式(3)で示されるようにカロ酸により変質層A Lに含まれるシリサイド(たとえば、N i P t S i)が酸化される。これによりシリサイド(たとえば、N i P t S i)が酸化保護される。

【0072】

10

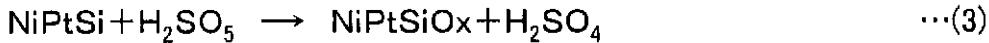
20

30

40

50

【化3】



【0073】

本実施の形態では、下記の式(4)および(5)で示されるように硫酸により変質層ALのポリマーに含まれる有機物R1が酸化される。このようにして変質層ALに含まれる有機物R1を含有するポリマーが分解除去される。これにより、残留ガスの生成物とレジスト起因の有機物とを含有するポリマーを分解除去することができる。なお、有機物R1の一部は、酸化されず有機物R2として残存し得る。

【0074】

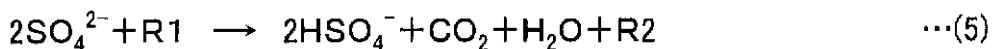
10

【化4】



【0075】

【化5】



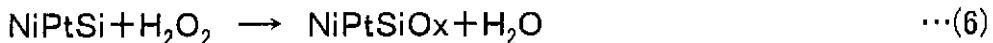
【0076】

なお、下記の式(6)で示されるように過酸化水素により変質層ALに含まれるシリサイド(たとえば、NiPtSi)が酸化される。これによりシリサイド(たとえば、NiPtSi)が酸化保護される。

20

【0077】

【化6】



【0078】

つまり、本実施の形態によれば、硫酸洗浄と過酸化水素水洗浄とがそれぞれ別工程で行われることにより、残留ガスの生成物とレジスト起因の有機物を含有したポリマーの分解効果を損なうことなく、ゲートメタルGMの溶解を抑制することができる。

【0079】

30

また、本実施の形態によれば、APM洗浄を行なうことによりシリサイドの酸化層(たとえば、NiPtSiOx)を除去することができる。

【0080】

また、本実施の形態によれば、APM洗浄を低温化することにより、シェアードコンタクトホールSC2の底のシリサイド(たとえば、NiPtSi)の酸化層(たとえば、NiPtSiOx)のエッティング量とゲートメタルGM(たとえば、TiN)のエッティング量との選択比を向上させることができる。これにより、ゲートメタルGMの溶解の抑制と良好なコンタクト抵抗の取得との両立が可能となる。この点について詳細に説明する。

【0081】

40

図13を参照して、ゲートメタルGMの材料であるTiNおよびTh.Ox(熱酸化膜)のAPMでのエッティングレートの温度依存性が示されている。図13では、測定の便宜のためシリサイドの酸化層(たとえば、NiPtSiOx)ではなくTh.Ox(熱酸化膜)が示されているが、エッティングレートの温度依存性についてシリサイドの酸化層(たとえば、NiPtSiOx)とTh.Oxとは同様の傾向を有している。図13に示されるように、低温の方がTiNに対するTh.Oxの選択比が良くなる。したがって、低温の方がTiNに対するシリサイドの酸化層(たとえば、NiPtSiOx)の選択比が良くなる。

【0082】

NiPtSiOxの除去に必要なエッティング量としてはTh.Ox換算で1nm程度である。TiNのエッティング量は、32nmノード以降のSoC(System on a Chip)製品

50

への適用を考慮すると30nm以下に抑えることが好ましい。TiNのエッチング量が30nm以下であれば活性層までの距離(図8中矢印L)より短いためトランジスタ特性が劣化しない。

【0083】

図13を参照して、APMの温度が50の場合のエッチングレートは、Th.Oxが約0.02nm/minであり、TiNが約0.6nm/minである。したがって、APMの温度が50の場合には、NiPtSiOxのエッチング量はTh.Ox換算で約1nmとなり、TiNのエッチング量は約30nmとなる。よって、APMの処理温度を50以下にすることによりTiNのエッチング量を30nm以下にすることができる。

【0084】

ただし、処理温度が低すぎるとTh.Ox換算で1nm程度のNiPtSiOxのエッチング量を得るのに処理時間がかかりすぎ、生産性を低下させる要因となる。したがって、APMの処理温度を50以下で生産性を低下させない処理温度とすることによりTiNのエッチング量を抑制しつつ生産性を向上させることができる。

【0085】

本実施の形態では、ゲートメタルGMの除去を抑制することができるためフッ素系の洗浄液を用いる必要がない。したがって、シェアードコンタクトホールSC2において、ゲート電極層GE2上のシリサイド層SCLと半導体基板SBの主表面MS上のシリサイド層SCLのシリサイドが欠落しないで良好なコンタクト抵抗を得ることができる。

【0086】

よって、本実施の形態では、ゲートメタルGMの溶解の抑制と良好なコンタクト抵抗の取得とを両立することができる。

【0087】

(実施の形態2)

本実施の形態は、実施の形態1と比較してシェアードコンタクトホール内の洗浄を行なう前にゲート電極層の側壁に酸化膜が形成されている点とAPM洗浄のかわりにアンモニア水洗浄を行なう点で主に異なっている。

【0088】

本実施の形態では、シェアードコンタクトホールSC2が形成される段階(図5参照)までは、実施の形態1と同様の製造方法が適用される。

【0089】

図14を参照して、本実施の形態では、シェアードコンタクトホールSC2において、ゲート電極層GE2の側壁とゲート電極層GE2上のシリサイド層SCLと半導体基板SBの主表面MS上のシリサイド層SCLとに酸化性のアッシング処理により犠牲層OLが形成される。犠牲層OLは、たとえば酸化層で形成される。犠牲層OLの上には変質層ALが形成される。

【0090】

図15を参照して、シェアードコンタクトホールSC2に硫酸洗浄と過酸化水素水洗浄とが別々に行なわれる。実施の形態1のAPM洗浄のかわりにアンモニア水洗浄が行なわれる。

【0091】

なお、本実施の形態のこれ以外の構成および方法は、上述した実施の形態1と同様であるため、同一の要素については同一の符号を付し、その説明を繰り返さない。

【0092】

次に本実施の形態の作用効果について比較例と比較して説明する。

本実施の形態によれば、硫酸洗浄と過酸化水素水洗浄とがそれぞれ別工程で行われることにより、残留ガスの生成物とレジスト起因の有機物を含有したポリマーの分解効果を損なうことなく、ゲートメタルGMの溶解を抑制することができる。

【0093】

本実施の形態によれば、アンモニア水洗浄では過酸化水素水を含まないためAPM洗浄

10

20

30

40

50

と比較してゲートメタルGM（たとえば、TiN）のエッチング量をより抑えることができる。これにより、トランジスタ特性の劣化を抑制できる。

【0094】

比較例1のAPM洗浄では下記の式(7)で示されるように過酸化水素(H₂O₂)によりシリコン(Si)が酸化される。下記の式(8)で示されるようにシリコン酸化物(SiO₂)がアンモニア水の水酸化物イオン(OH⁻)と反応することによりエッチングされる。

【0095】

【化7】



【0096】

【化8】



【0097】

本実施の形態のアンモニア水洗浄では、下記の式(9)で示されるようにシリコン(Si)がアンモニア水の水酸化物イオン(OH⁻)と反応することによりエッチングされる。

【0098】

【化9】



【0099】

シリコン(Si)がアンモニア水の水酸化物イオン(OH⁻)によりダイレクトにエッチングされる場合は、過酸化水素水による酸化を経る場合よりエッチングの速度が速い。そのためアンモニア水洗浄ではAPM洗浄よりシリコン(Si)がダメージを受けやすい。

【0100】

本実施の形態によれば、犠牲層OLによりアンモニア水がゲートポリシリコンGPに接触することが抑制されるため、アンモニア水洗浄によりゲートポリシリコンGPがエッチングされることを抑制することができる。

【0101】

また犠牲層OLにより硫酸および過酸化水素水がゲートメタルGMに接触することが防止されるため、硫酸洗浄および過酸化水素水洗浄によりゲートメタルGMがエッチングされることを防止することができる。

【0102】

（実施の形態3）

本実施の形態は、実施の形態1と比較してゲートメタルの側壁部に絶縁層を形成する点とSPM洗浄する点とAPM洗浄する点とで主に異なっている。

【0103】

本実施の形態では、層間絶縁層II1がエッチングされる段階（図4参照）までは、実施の形態1と同様の製造方法が適用される。本実施の形態では、ライナー窒化膜LNが第1の絶縁層に該当し、層間絶縁層II1が第2の絶縁層に該当する。半導体基板SBの主表面MS直上のライナー窒化膜LNの部分とゲード電極層GE2直上および側壁のライナー窒化膜LNの部分とが層間絶縁層II1から露出するようにシェアードコンタクトホールSC2のための孔が形成される。

【0104】

図16を参照して、第3の絶縁層IL3がシェアードコンタクトホールSC2のための孔と層間絶縁層II1との上にデポジションにより形成される。第3の絶縁層IL3は、

10

20

30

40

50

少なくともゲートメタルGM（たとえば、TiN）の側壁部に形成されていればよい。第3の絶縁層IL3は、たとえばSiNで形成される。第3の絶縁層IL3は、たとえばシリコン酸化膜で形成されていてもよい。第3の絶縁層IL3は、後肯定のエッティングにより取りきれる膜厚とエッティングされた後にサイドウォールスペーサSWが残る膜厚との間の厚さに形成されることが好ましい。

【0105】

図17を参照して、第3の絶縁層IL3とライナー窒化膜LNがマスク無しでエッティングされることによりシェアードコンタクトホールSC2が形成される。ドライエッティングの異方性によりゲート電極層GE2の側壁部のゲートポリシリコンGPとゲートメタルGMとが露出しないようにシェアードコンタクトホールSC2のための孔の底の第3の絶縁層IL3およびライナー窒化膜LNとが除去され得る。半導体基板SBの主表面MSとゲート電極層GE2との両方のシリサイド層SCLの上に変質層ALが形成される。

10

【0106】

図18を参照して、ゲート電極層GE2の側壁を構成するゲートメタルGMの側壁部が第3の絶縁層IL3で覆われた状態でシェアードコンタクトホールSC2のための孔にSPM洗浄とAPM洗浄とが別々に行なれる。

【0107】

なお、本実施の形態のこれ以外の構成および方法は、上述した実施の形態1と同様であるため、同一の要素については同一の符号を付し、その説明を繰り返さない。

20

【0108】

本実施の形態によれば、第3の絶縁層IL3によりゲートメタルGM（たとえば、TiN）が露出することが防止されるため、SPM洗浄およびAPM洗浄を行ってもゲートメタルGMの溶解を防止することができる。これによりトランジスタ特性の劣化を防ぐことができる。

【0109】

また、半導体装置の製造方法では、積層構造の各層の形成時にばらつきが発生するため各層オーバーエッティング量が大きく設定される。本実施の形態では、第3の絶縁層IL3を後から形成するため、第3の絶縁層IL3のオーバーエッティング量を制御することにより、第3の絶縁層IL3を形成しない場合と比較して各層のオーバーエッティング量を小さく設定することができる。

30

【0110】

（実施の形態4）

本実施の形態は、実施の形態1と比較してシリサイド層SCLの上に犠牲層を形成する点とフッ素系薬液で洗浄する点で主に異なっている。

【0111】

本実施の形態では、シリサイド層SCLが形成される段階（図2参照）までは、実施の形態1と同様の製造方法が適用される。

【0112】

図19を参照して、半導体基板SBの主表面MSとゲート電極層GE2との両方のシリサイド層SCLの上に犠牲層OXが形成される。犠牲層OXは、酸化性のアッシング処理を施すことにより形成される。酸化性のアッシング処理としては、たとえばO₂（酸素）プラズマにより2分間程度の処理が施される。

40

【0113】

図20を参照して、犠牲層OX、サイドウォールスペーサSWなどを覆うように半導体基板SBの主表面MS上にライナー窒化膜LNおよび層間絶縁層II1が順に積層される。その後、層間絶縁層II1にCMPが施される。

【0114】

図21を参照して、層間絶縁層II1にエッティングが施される。ライナー窒化膜LNがエッティングされることによりシェアードコンタクトホールSC2のための孔が形成される。この際、シェアードコンタクトホールSC2のための孔内のゲート電極層GE2の側壁

50

に形成されたライナー窒化膜LNとサイドウォールスペーサSWとが除去される。半導体基板SBの主表面MSとゲート電極層GE2との両方の犠牲層OXの上に変質層ALが形成される。

【0115】

図22を参照して、シェアードコンタクトホールSC2のための孔にフッ素系薬液による洗浄が行なれる。フッ素系薬液は、たとえばフッ素系化合物と有機溶剤と水からなっている。これにより、変質層ALならびに半導体基板SBの主表面MS直上およびゲート電極層GE2直上の犠牲層OXが除去される。フッ素系薬液による洗浄は、犠牲層OXをちょうど取りきる程度の時間で行なわれることが好ましい。

【0116】

なお、本実施の形態のこれ以外の構成および方法は、上述した実施の形態1と同様であるため、同一の要素については同一の符号を付し、その説明を繰り返さない。

【0117】

次に本実施の形態の作用効果について比較例と比較して説明する。

比較例2では、シェアードコンタクトホールSC2にフッ素系薬液による洗浄が行われる。図24を参照して、フッ素系薬液による洗浄により変質層ALが除去されるが、ドライエッチングによりダメージを受けたシリサイド(たとえば、NiPtSi)が粒界に沿って塊状で落下する現象が起きる。これによりコンタクト抵抗が増大する不良が発生する。

【0118】

本実施の形態によれば、犠牲層OXを形成することにより、シリサイドをドライエッチングによるダメージから保護することができる。またシリサイドをフッ素系薬液によるダメージから保護することができる。これにより、良好なコンタクト抵抗を得ることができる。

【0119】

本実施の形態によれば、フッ素系薬液による洗浄ではゲートメタルGM(たとえば、TiN)の溶解が抑制されるため、トランジスタ特性が劣化しない。

【0120】

(実施の形態5)

本実施の形態は、実施の形態4と比較して犠牲層の形成方法の点で主に異なっている。

【0121】

図19を参照して、本実施の形態では、犠牲層OXは、酸化性のウェット処理を施すことにより形成される。酸化性のウェット処理としては、たとえば98質量%硫酸と30質量%過酸化水素とを体積比で5:1の割合で混合された硫酸過水水溶液により10分間程度の処理が施される。硫酸過水水溶液の温度は、たとえば130に設定される。

【0122】

なお、本実施の形態のこれ以外の構成および方法は、上述した実施の形態4と同様であるため、同一の要素については同一の符号を付し、その説明を繰り返さない。

【0123】

本実施の形態によれば、実施の形態4の作用効果と同様の作用効果を有する。

(実施の形態6)

本実施の形態は、実施の形態4と比較して犠牲層の形成方法の点で主に異なっている。

【0124】

図19を参照して、本実施の形態では、犠牲層OXは、低温のSiO₂(シリコン酸化膜)を堆積することにより形成される。低温のSiO₂膜は、たとえば300のプラズマTEOS(Tetraethoxysilane)膜を1~2nm程度デポジションして形成される。

【0125】

なお、本実施の形態のこれ以外の構成および方法は、上述した実施の形態4と同様であるため、同一の要素については同一の符号を付し、その説明を繰り返さない。

【0126】

10

20

30

40

50

本実施の形態によれば、実施の形態4の作用効果と同様の作用効果を有する。

(実施の形態7)

本実施の形態は、実施の形態4と比較して犠牲層の形成方法の点で主に異なっている。

【0127】

図19を参照して、半導体基板SBの主表面MS全面に高融点金属層が形成され、熱処理が施されることによりゲート電極層GE2および半導体基板SBの主表面MS上にシリサイド層SCLが形成される。たとえば、高融点金属層は、NiPt膜、TiN膜を順次堆積することにより形成される。この後、N₂(窒素)雰囲気にて第1段階のアニールが施されることによりシリコンとの反応が進められる。その後、未反応の余剰なNiPt膜、TiN膜が薬液洗浄によって除去される。さらに微量のO₂(酸素)を含むN₂雰囲気にて第2段階のアニールが施されることによりシリコンとの反応が進められてシリサイド層SCLとシリサイドの酸化層が形成される。本実施の形態では、このシリサイドの酸化層が犠牲層OXに該当する。O₂ガスの流量としては、N₂ガスの流量に対して10%程度に設定される。

【0128】

なお、本実施の形態のこれ以外の構成および方法は、上述した実施の形態4と同様であるため、同一の要素については同一の符号を付し、その説明を繰り返さない。

【0129】

本実施の形態によれば、実施の形態4の作用効果と同様の作用効果を有する。

また、本実施の形態によれば、犠牲層OXを形成するためシリサイドを酸化させる工程を追加する必要がないので生産性を向上させることができる。

【0130】

上記では、シリサイドについて、NiPtSiを例として説明したが、Ni、Co(コバルト)およびTiよりなる群から選ばれる1種以上の元素を含む金属のシリサイドおよび合金のシリサイドの少なくともいずれかが含まれていればよい。たとえば、NiPtSi(ニッケルプラチナシリサイド)、NiSi(ニッケルシリサイド)、CoSi(コバルトシリサイド)、TiSi(チタンシリサイド)などが適用され得る。

【0131】

上記では、ゲートメタルGMについて、TiNを例として説明したが、積層ゲートは、Ti、W、Ta(タンタル)およびAl(アルミニウム)よりなる群から選ばれる1種以上の元素を含む金属、合金、その金属の窒化物、その合金の窒化物、その金属のシリサイドおよびその合金のシリサイドの少なくともいずれかが含まれていればよい。たとえば、TiN(窒化チタン)、W(タンゲステン)、WSi(タンゲステンシリサイド)、TaSiN(窒化タンタルシリサイド)、TiAlN(窒化チタンアルミニウム)などが適用され得る。

【0132】

なお、APM洗浄に用いられるアルカリ薬液は、pH7以上に調整されていることが好ましい。

【0133】

なお、アンモニア水洗浄に用いられるアルカリ薬液は、pH7以上に調整されていることが好ましい。

【0134】

なお、上記のアルカリ薬液は、アンモニア以外にTMAB(テトラメチルアンモニウムハイドロキサイド)、アミンなどを含む薬液であってもよい。

【0135】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることを意図される。

【産業上の利用可能性】

10

20

30

40

50

【0136】

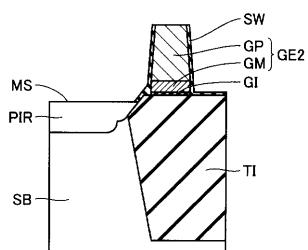
本発明は、シェアードコンタクトホールが形成された半導体装置の洗浄方法に特に有利に適用され得る。

【符号の説明】

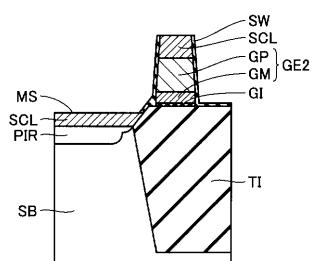
【0137】

A T 1 , A T 2 アクセストランジスタ、B L , / B L ビット線、B L 1 ~ B L 3 絶縁層、C H 1 ~ C H 1 0 コンタクトホール、C H N 1 , C H N 2 チャネル形成領域、C L 1 ~ C L 3 導電層、D T 1 , D T 2 ドライバトランジスタ、G E ゲート電極用導電層、G E 1 ~ G E 4 ゲート電極層、G I ゲート絶縁層、G M ゲートメタル、G P ゲートポリシリコン、I I 1 ~ I I 4 層間絶縁層、I L 絶縁層、I L 3 第3の絶縁膜、L N ライナー窒化膜、L T 1 , L T 2 負荷トランジスタ、M C メモリセル領域、M S 主表面、N 1 , N 2 記憶ノード、N I R n型不純物領域、N W n型ウエル領域、O L , O X 犠牲層、P I R p型不純物領域、P L 1 , P L 2 導電層、P W 1 , P W 2 p型ウエル領域、S B 半導体基板、S C 1 , S C 2 シェアードコンタクトホール、S C L シリサイド層、S W サイドウォールスペーサ、T I 充填物、V H 1 1 ~ V H 1 8 , V H 2 1 ~ V H 2 4 ピアホール、W L ワード線。 10

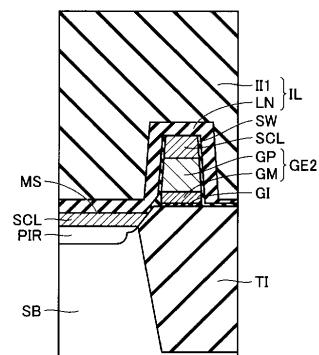
【図1】



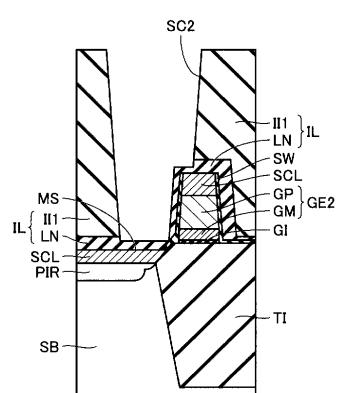
【図2】



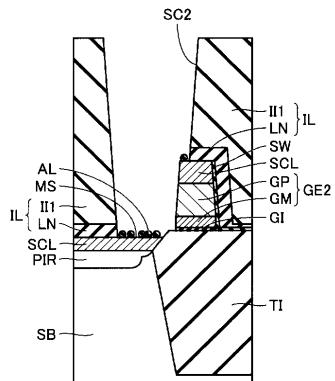
【図3】



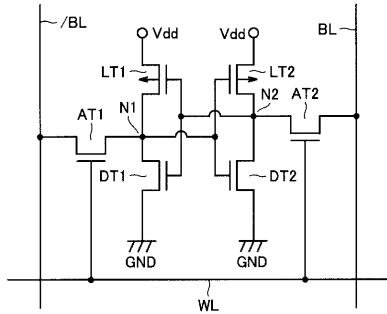
【図4】



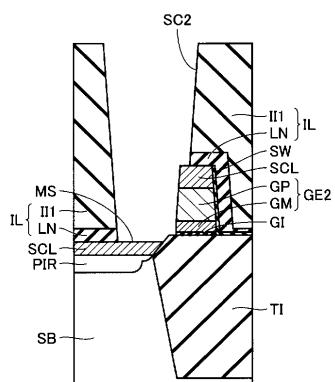
【 図 5 】



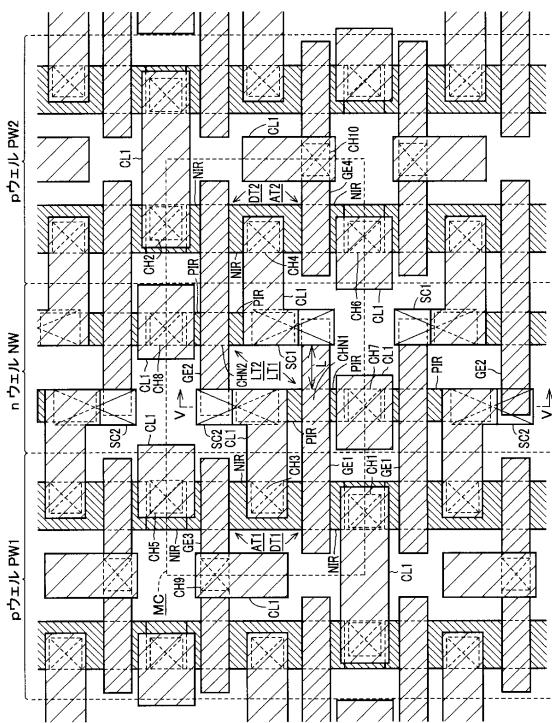
【 図 7 】



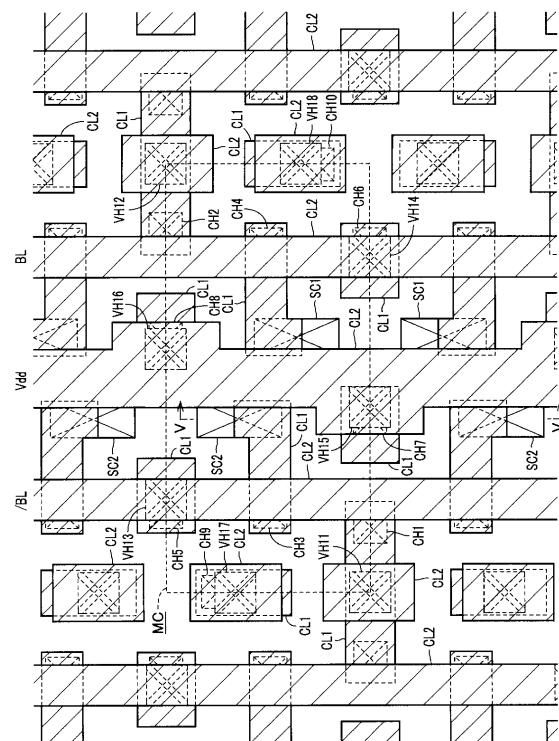
【図6】



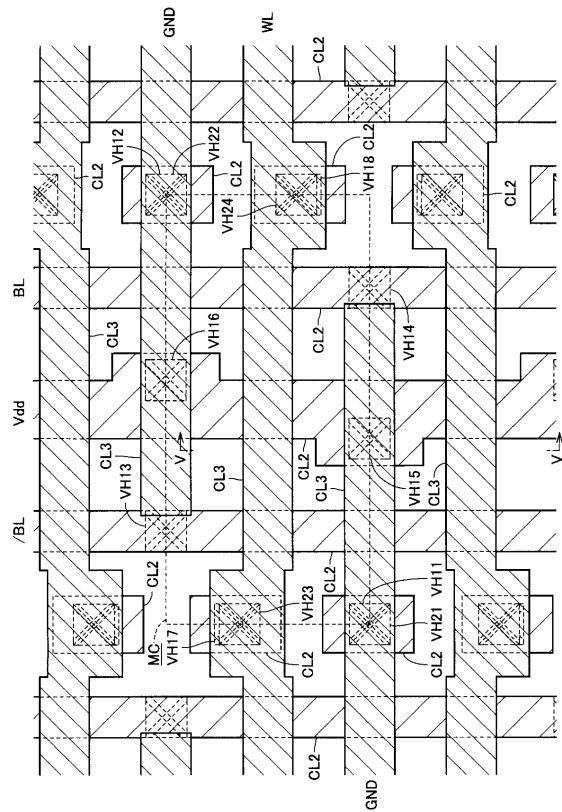
【 四 8 】



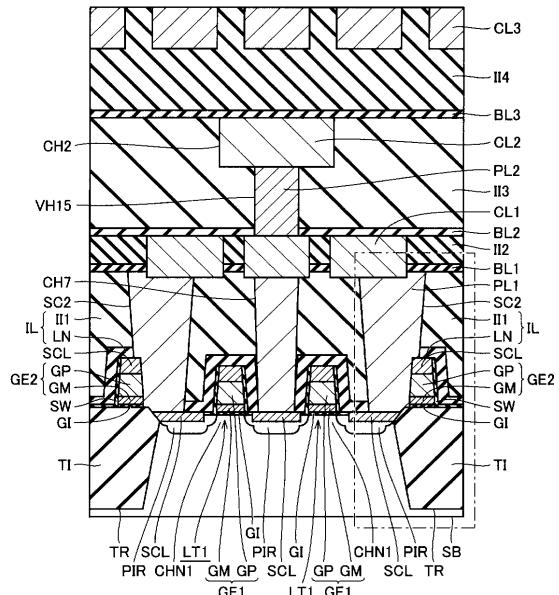
【図9】



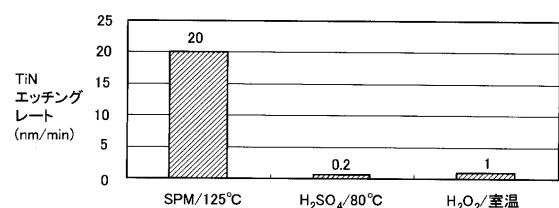
【図10】



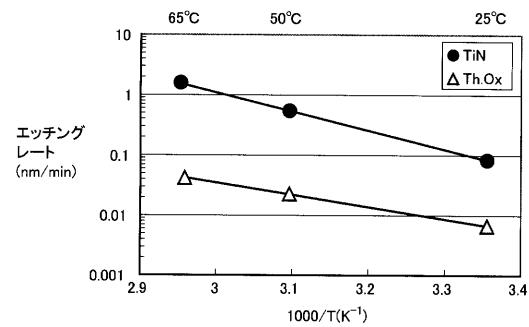
【図11】



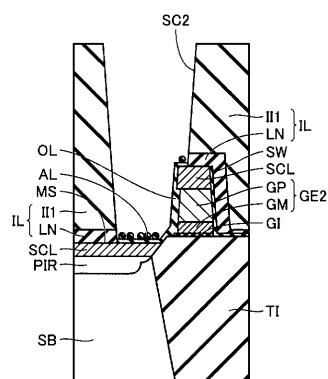
【図12】



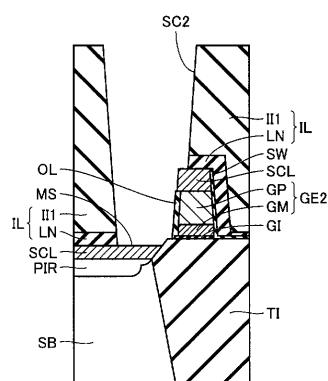
【図13】



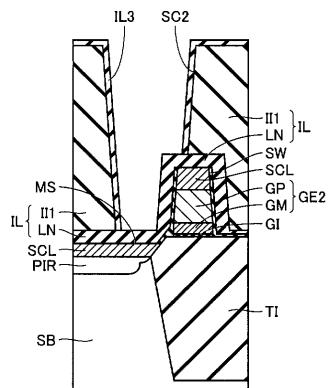
【図14】



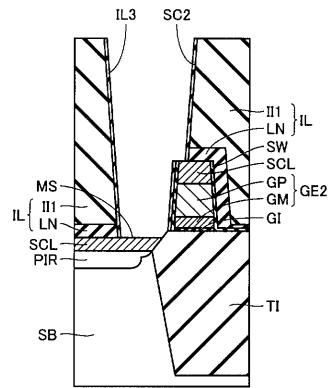
【図15】



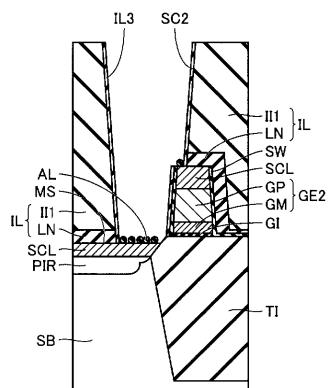
【図16】



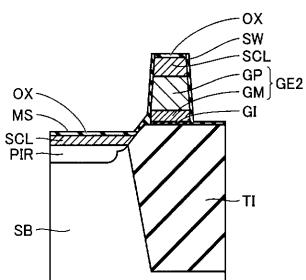
【図18】



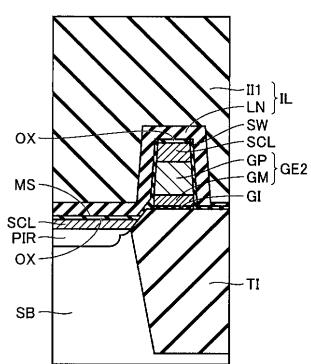
【図17】



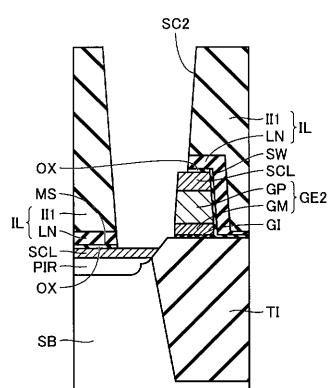
【図19】



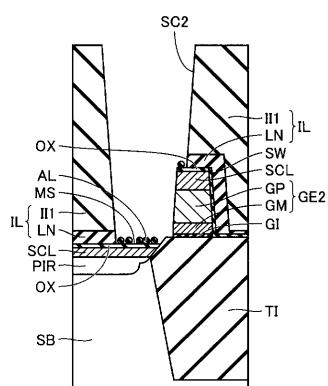
【図20】



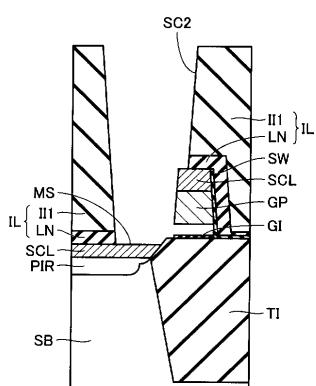
【図22】



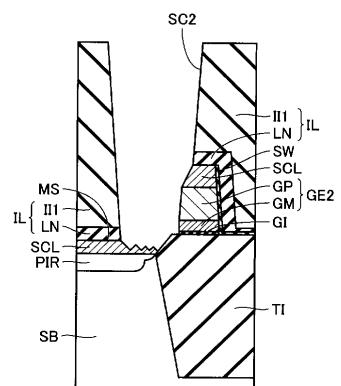
【図21】



【図23】



【図24】



フロントページの続き

(74)代理人 100124523
弁理士 佐々木 真人

(72)発明者 栗栖 裕和
東京都千代田区大手町二丁目 6 番 2 号 株式会社ルネサステクノロジ内

(72)発明者 武島 豊
東京都千代田区大手町二丁目 6 番 2 号 株式会社ルネサステクノロジ内

(72)発明者 菅野 至
東京都千代田区大手町二丁目 6 番 2 号 株式会社ルネサステクノロジ内

(72)発明者 東 雅彦
東京都千代田区大手町二丁目 6 番 2 号 株式会社ルネサステクノロジ内

(72)発明者 広田 祐作
東京都千代田区大手町二丁目 6 番 2 号 株式会社ルネサステクノロジ内

審査官 遠藤 謙一

(56)参考文献 特開2001-102347 (JP, A)
特開2007-019506 (JP, A)
特開2006-100378 (JP, A)

(58)調査した分野(Int.Cl. , DB名)

H 01 L 21 / 304
H 01 L 21 / 28
H 01 L 21 / 768
H 01 L 21 / 8244
H 01 L 27 / 11