

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-268564

(P2005-268564A)

(43) 公開日 平成17年9月29日(2005.9.29)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
HO 1 L 27/146	HO 1 L 27/14	A 4M118
HO 4 N 5/335	HO 4 N 5/335	E 5CO24

審査請求 有 請求項の数 5 O L (全 14 頁)

(21) 出願番号	特願2004-79553 (P2004-79553)	(71) 出願人	000006747 株式会社リコー 東京都大田区中馬込1丁目3番6号
(22) 出願日	平成16年3月19日 (2004.3.19)	(74) 代理人	100085464 弁理士 野口 繁雄
		(72) 発明者	中川 眞 東京都大田区中馬込1丁目3番6号 株式会社リコー内
		(72) 発明者	坂本 邦秀 東京都大田区中馬込1丁目3番6号 株式会社リコー内
		(72) 発明者	板垣 伸 東京都大田区中馬込1丁目3番6号 株式会社リコー内

最終頁に続く

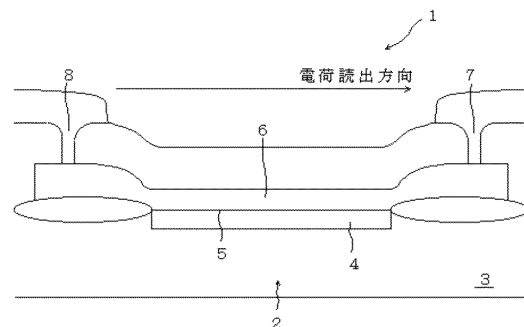
(54) 【発明の名称】 固体撮像素子及び固体撮像素子の製造方法

(57) 【要約】

【課題】本発明は、安価にかつダイナミックレンジの低下を引き起こすことなく、残像特性の劣化を抑制する固体撮像素子及び固体撮像素子の製造方法に関する。

【解決手段】固体撮像素子1は、第一導電型の基板領域3とともに光電変換部2を構成する第二導電型領域4の上層に、光電変換部2で光電変換された電荷の電荷読出側から電荷読出側とは反対側の電位印加側にわたって、絶縁膜5を介して光透過性を有する導電性材料6を形成し、導電性材料6の電荷読出方向側とその反対側に電圧印加部7と電圧印加部8を設け、電圧印加部7と電圧印加部8に異なる電圧を印加している。導電性材料6に生じた電位分布により第二導電型領域4のポテンシャル分布に傾斜をつけ、信号電荷を電荷読出側へ移動させ、電荷の読み残しに起因する残像現象を安価に抑制するとともに、高速の読み出しを行うことができる。

【選択図】 図2



【特許請求の範囲】**【請求項 1】**

第一導電型の基板領域とともに光電変換部を構成する第二導電型領域の上層に、絶縁膜を介して光透過性を有する導電性材料が形成され、当該導電性材料の電荷読出側とその反対側に電圧印加部が形成され、当該電荷読出側の電圧印加部の方に高い電圧が印加されることを特徴とする固体撮像素子。

【請求項 2】

第一導電型の基板領域とともに光電変換部を構成する第二導電型領域の上層に、絶縁膜を介して光透過性を有する導電性材料が、前記光電変換部で光電変換された電荷の電荷読出方向に対して略直交する方向に帯状に延在して複数形成され、当該複数の導電性材料に、前記電荷読出側の導電性材料ほど高電位となる電圧が印加されることを特徴とする固体撮像素子。

10

【請求項 3】

第一導電型の基板領域上に絶縁膜を介して光透過性を有する導電性材料が形成され、当該導電性材料に電圧が印加されることで発生する空乏層を受光部とする固体撮像素子において、前記導電性材料の電荷読出側とその反対側に電圧印加部が形成され、当該電荷読出側の電圧印加部の方に高い電圧が印加されることを特徴とする固体撮像素子。

【請求項 4】

第一導電型の基板領域上に絶縁膜を介して光透過性を有する導電性材料が形成され、当該導電性材料に電圧が印加されることで発生する空乏層を受光部とする固体撮像素子において、前記導電性材料が、前記受光部で光電変換された電荷の電荷読出方向に対して略直交する方向に帯状に延在して複数形成され、当該複数の導電性材料に、前記電荷読出側の導電性材料ほど高電位となる電圧が印加されることを特徴とする固体撮像素子。

20

【請求項 5】

請求項 1 から請求項 4 のいずれかに記載の固体撮像素子を製造する固体撮像素子の製造方法であって、請求項 1 から請求項 4 のいずれかに記載の導電性材料を、CMOS プロセスのゲート電極を形成する工程で、トランジスタのゲート電極と同時に形成することを特徴とする固体撮像素子の製造方法。

【発明の詳細な説明】**【技術分野】**

30

【0001】

本発明は、固体撮像素子及び固体撮像素子の製造方法に関し、詳細には、安価にかつダイナミックレンジの低下を引き起こすことなく、残像特性の劣化を抑制する固体撮像素子及び固体撮像素子の製造方法に関する。

【背景技術】**【0002】**

近年、信号処理の高速化に伴って、固体撮像素子での信号電荷の読出時間も短くなってきている。固体撮像素子での信号電荷の読出時間が短くなると、光電変換部に信号電荷を読み残すことで生じる残像現象が問題となってきており、固体撮像素子における信号電荷の読み出しの高速化、低残像化が要望されている。

40

【0003】

光電変換部に蓄えられた信号電荷の読み出しは、図 1 2 に示す回路構成では、光電変換部に隣接する MOS 構造の電荷読出ゲート 101 に電圧が加えられることにより、読出ゲート 101 直下のポテンシャルが光電変換部のポテンシャルよりも高くなり、信号電荷が転送ゲート 101 に転送される。また、図 1 3 に示す回路構成例では、光電変換部の電位を直接アンプに接続し、その接続点の電位を読み出している。

【0004】

ところが、通常、光電変換部のポテンシャル構造は電荷読出方向に平坦であるため、光電変換部での電荷の転送速度は、遅く、完全に信号電荷が読み出されるには時間がかかる。また、全信号電荷を完全に読み出すことが困難である。

50

【0005】

従来、固体撮像素子の製造技術としては、フォトダイオードの拡散層を複数の領域に分け、それぞれの領域の不純物濃度を変更する技術が報告されている。すなわち、図14(a)に示すように、フォトダイオード領域を3つの領域201、202、203に分け、それぞれの領域201、202、203に対して、写真製版技術とイオン注入技術を用いてP型基板200に対してN型不純物を導入する。このとき、読出方向に従って、順に不純物濃度が濃くなるように、すなわち、不純物濃度が領域203 > 領域202 > 領域201となるように、イオン注入の注入量を制御する。フォトダイオード部の領域201 ~ 203のポテンシャル201p ~ 203pは、不純物濃度に依存するため、図14(b)に示すように、領域201 < 領域202 < 領域203の順に高くなるポテンシャル201p ~ 203pが形成される。信号電荷は、高いポテンシャルの部分へと移動するため、このような不純物濃度の変化するフォトダイオード領域201 ~ 203からなるフォトダイオードを形成することで電荷の読み残しを無くし、また、高速な読出しを実現することができる(特許文献1参照)。

10

【0006】

しかしながら、この例では、フォトダイオード形成のための写真製版とイオン注入を複数回行う必要があり、工程数の増加に伴って、コストが高くなるとともに、個々の同一濃度領域内でのポテンシャル分布がフラットとなるため、同一濃度領域内での信号電荷の移動をさらに向上させる必要がある。

【0007】

そして、従来、図15に示すように、電荷読出方向と逆方向に向かって、フォトダイオードとなる不純物拡散層300が細く枝分かれするようにレイアウトする技術が報告されている。この場合、LOCOSとなる基板領域301に寄生トランジスタの反転防止のために導入されている基板と同じ導電性の不純物がフォトダイオード拡散領域へ横方向拡散するために、電荷読出方向とは逆方向に向かってフォトダイオード拡散の実効的な不純物濃度が低下することになる。

20

【0008】

したがって、読出方向と逆方向に向かって濃度が薄くなる不純物分布を作り出すことによって、図14の場合と同様に、読出方向に向かって高くなるポテンシャル分布を形成する。

30

【0009】

【特許文献1】特開2000-150853号公報

【発明の開示】

【発明が解決しようとする課題】

【0010】

しかしながら、上記図15に示した従来技術にあっては、フォトダイオードの面積を縮小しているため、フォトダイオードの接合容量が低下して、ダイナミックレンジが縮小し、画像特性が劣化するとともに、開口率の低下によって感度が低下するという問題があった。

【0011】

そこで、本発明は、ダイナミックレンジの低下を引き起こすことなく、残像特性の劣化を安価に抑制する固体撮像素子及び固体撮像素子の製造方法を提供することを目的としている。

40

【0012】

具体的には、請求項1記載の発明は、第一導電型の基板領域とともに光電変換部を構成する第二導電型領域の上層に、絶縁膜を介して光透過性を有する導電性材料を形成し、当該導電性材料の電荷読出側とその反対側に電圧印加部を形成し、当該電荷読出側の電圧印加部の方が高電位となるように電圧を印加することにより、導電性材料に電位分布を持たせて、導電性材料に発生した電位に応じたポテンシャルの分布を第二導電型領域の表面付近に発生させ、光電変換部で発生した信号電荷をポテンシャルの高い電荷読出側へ移動さ

50

せて、電荷の読み残しに起因する残像現象を安価に抑制するとともに、高速の読み出しを行うことのできる固体撮像素子を提供することを目的としている。

【0013】

請求項2記載の発明は、第一導電型の基板領域とともに光電変換部を構成する第二導電型領域の上層に、絶縁膜を介して光透過性を有する導電性材料を、光電変換部で光電変換された電荷の電荷読出方向に対して略直交する方向に帯状に延在して複数形成し、当該複数の導電性材料に、電荷読出側の導電性材料ほど高電位となる電圧を印加することにより、第二導電型領域に電荷読出側ほど深いポテンシャル分布を発生させて、光電変換部で発生した信号電荷をポテンシャルの高い電荷読出側に移動させて、残像現象を安価に抑制し、高速の読み出しを行えるようにするとともに、導電性材料に電流を流さないことで、消費電流を削減しつつ第二導電型領域内にポテンシャル分布を形成して、消費電流の少ない固体撮像素子を提供することを目的としている。

10

【0014】

請求項3記載の発明は、第一導電型の基板領域上に絶縁膜を介して光透過性を有する導電性材料を形成し、当該導電性材料に電圧が印加されることで発生する空乏層を受光部として、当該導電性材料の電荷読出側とその反対側に電圧印加部を形成し、電荷読出側の電圧印加部の方が高電位となる電圧を印加することにより、導電性材料に電位分布を持たせて、導電性材料に発生した電位に応じたポテンシャルの分布を基板の表面付近に発生させ、光電変換部で発生した信号電荷をポテンシャルの高い電荷読出側へ移動させて、電荷の読み残しに起因する残像現象を安価に抑制するとともに、高速の読み出しを行うことのできる固体撮像素子を提供することを目的としている。

20

【0015】

請求項4記載の発明は、第一導電型の基板領域上に絶縁膜を介して光透過性を有する導電性材料を形成し、当該導電性材料に電圧が印加されることで発生する空乏層を受光部として、当該導電性材料を、受光部で光電変換された電荷の電荷読出方向に対して略直交する方向に帯状に延在して複数形成し、当該複数の導電性材料に、電荷読出側の導電性材料ほど高電位となる電圧を印加することにより、基板内に電荷読出側ほど深いポテンシャル分布を発生させて、光電変換部で発生した信号電荷をポテンシャルの高い電荷読出側に移動させて、残像現象を安価に抑制し、高速の読み出しを行えるようにするとともに、導電性材料に電流を流さないことで、消費電流を削減しつつ基板内にポテンシャル分布を形成して、消費電流の少ない固体撮像素子を提供することを目的としている。

30

【0016】

請求項5記載の発明は、請求項1から請求項4のいずれかに記載の導電性材料を、CMOSプロセスのゲート電極を形成する工程で、トランジスタのゲート電極と同時に形成することにより、安価に残像現象を抑制した固体撮像素子を製造する固体撮像素子の製造方法を提供することを目的としている。

【課題を解決するための手段】

【0017】

請求項1記載の発明の固体撮像素子は、第一導電型の基板領域とともに光電変換部を構成する第二導電型領域の上層に、絶縁膜を介して光透過性を有する導電性材料が形成され、当該導電性材料の電荷読出側とその反対側に電圧印加部が形成され、当該電荷読出側の電圧印加部の方に高い電圧が印加されることにより、上記目的を達成している。

40

【0018】

請求項2記載の発明の固体撮像素子は、第一導電型の基板領域とともに光電変換部を構成する第二導電型領域の上層に、絶縁膜を介して光透過性を有する導電性材料が、前記光電変換部で光電変換された電荷の電荷読出方向に対して略直交する方向に帯状に延在して複数形成され、当該複数の導電性材料に、前記電荷読出側の導電性材料ほど高電位となる電圧が印加されることにより、上記目的を達成している。

【0019】

請求項3記載の発明の固体撮像素子は、第一導電型の基板領域上に絶縁膜を介して光透

50

過性を有する導電性材料が形成され、当該導電性材料に電圧が印加されることで発生する空乏層を受光部とする固体撮像素子において、前記導電性材料の電荷読出側とその反対側に電圧印加部が形成され、当該電荷読出側の電圧印加部の方に高い電圧が印加されることにより、上記目的を達成している。

【0020】

請求項4記載の発明の固体撮像素子は、第一導電型の基板領域上に絶縁膜を介して光透過性を有する導電性材料が形成され、当該導電性材料に電圧が印加されることで発生する空乏層を受光部とする固体撮像素子において、前記導電性材料が、前記受光部で光電変換された電荷の電荷読出方向に対して略直交する方向に帯状に延在して複数形成され、当該複数の導電性材料に、前記電荷読出側の導電性材料ほど高電位となる電圧が印加されることにより、上記目的を達成している。

10

【0021】

請求項5記載の発明の固体撮像素子の製造方法は、請求項1から請求項4のいずれかに記載の固体撮像素子を製造する固体撮像素子の製造方法であって、請求項1から請求項4のいずれかに記載の導電性材料を、CMOSプロセスのゲート電極を形成する工程で、トランジスタのゲート電極と同時に形成することにより、上記目的を達成している。

【発明の効果】

【0022】

請求項1記載の発明の固体撮像素子によれば、第一導電型の基板領域とともに光電変換部を構成する第二導電型領域の上層に、絶縁膜を介して光透過性を有する導電性材料を形成し、当該導電性材料の電荷読出側とその反対側に電圧印加部を形成し、当該電荷読出側の電圧印加部の方が高電位となるように電圧を印加するので、導電性材料に電位分布を持たせて、導電性材料に発生した電位に応じたポテンシャルの分布を第二導電型領域の表面付近に発生させることができ、光電変換部で発生した信号電荷をポテンシャルの高い電荷読出側へ移動させて、電荷の読み残しに起因する残像現象を安価に抑制することができる。とともに、高速の読み出しを行うことができる。

20

【0023】

請求項2記載の発明の固体撮像素子によれば、第一導電型の基板領域とともに光電変換部を構成する第二導電型領域の上層に、絶縁膜を介して光透過性を有する導電性材料を、光電変換部で光電変換された電荷の電荷読出方向に対して略直交する方向に帯状に延在して複数形成し、当該複数の導電性材料に、電荷読出側の導電性材料ほど高電位となる電圧を印加するので、第二導電型領域に電荷読出側ほど深いポテンシャル分布を発生させて、光電変換部で発生した信号電荷をポテンシャルの高い電荷読出側に移動させて、残像現象を安価に抑制することができ、高速の読み出しを行えるようにすることができる。とともに、導電性材料に電流を流さないことで、消費電流を削減しつつ第二導電型領域内にポテンシャル分布を形成して、消費電流を削減することができる。

30

【0024】

請求項3記載の発明の固体撮像素子によれば、第一導電型の基板領域上に絶縁膜を介して光透過性を有する導電性材料を形成し、当該導電性材料に電圧が印加されることで発生する空乏層を受光部として、当該導電性材料の電荷読出側とその反対側に電圧印加部を形成し、電荷読出側の電圧印加部の方が高電位となる電圧を印加するので、導電性材料に電位分布を持たせて、導電性材料に発生した電位に応じたポテンシャルの分布を基板の表面付近に発生させることができ、光電変換部で発生した信号電荷をポテンシャルの高い電荷読出側へ移動させて、電荷の読み残しに起因する残像現象を安価に抑制することができる。とともに、高速の読み出しを行うことができる。

40

【0025】

請求項4記載の発明の固体撮像素子によれば、第一導電型の基板領域上に絶縁膜を介して光透過性を有する導電性材料を形成し、当該導電性材料に電圧が印加されることで発生する空乏層を受光部として、当該導電性材料を、受光部で光電変換された電荷の電荷読出方向に対して略直交する方向に帯状に延在して複数形成し、当該複数の導電性材料に、電

50

荷読出側の導電性材料ほど高電位となる電圧を印加するので、基板内に電荷読出側ほど深いポテンシャル分布を発生させて、光電変換部で発生した信号電荷をポテンシャルの高い電荷読出側に移動させて、残像現象を安価に抑制することができ、高速の読み出しを行えるようにすることができる。同時に、導電性材料に電流を流さないことで、消費電流を削減することができる。

【0026】

請求項5記載の発明の固体撮像素子の製造方法によれば、請求項1から請求項4のいずれかに記載の導電性材料を、CMOSプロセスのゲート電極を形成する工程で、トランジスタのゲート電極と同時に形成しているので、安価に残像現象を抑制した固体撮像素子を製造することができる。

10

【発明を実施するための最良の形態】

【0027】

以下、本発明の好適な実施例を添付図面に基づいて詳細に説明する。なお、以下に述べる実施例は、本発明の好適な実施例であるから、技術的に好ましい種々の限定が付されているが、本発明の範囲は、以下の説明において特に本発明を限定する旨の記載がない限り、これらの態様に限られるものではない。

【実施例1】

【0028】

図1～図4は、本発明の固体撮像素子及び固体撮像素子の製造方法の第1実施例を示す図であり、図1は、本発明の固体撮像素子及び固体撮像素子の製造方法の第1実施例を適用した固体撮像素子1の平面図、図2は、図1のA-A矢視断面図である。

20

【0029】

図1及び図2において、固体撮像素子1は、光電変換部2を構成する第一導電型の基板領域(P)3と第二導電型(N-)領域4の上層に、絶縁膜5を介して光透過性を有する導電性材料(電極)6が配置されている。固体撮像素子1は、この導電性材料6のフォトダイオードの電荷読出側に電圧印加部7が設けられており、電圧印加部7とは反対側に、電圧印加部8が設けられている。

【0030】

固体撮像素子1は、導電性材料6を、従来のCMOSプロセスで用いられるトランジスタの電極となるポリシリコンを形成する工程と同時に形成している。この場合、ポリシリコンによる光の吸収が、固体撮像素子1の感度に影響を及ぼさない程度に、ポリシリコン層の膜厚を制御する。

30

【0031】

また、フォトダイオードの上層に絶縁膜5を介して配置する導電性材料6としては、ポリシリコン以外に、ITO、SnO₂、ZnO等の透明電極材料を用いてもよい。

【0032】

この固体撮像素子1は、電圧印加部7に、電圧印加部8に対して、電圧印加部7 > 電圧印加部8となる電圧が印加されると、導電性材料6に電流が流れる。

【0033】

このとき、導電性材料6がある電気抵抗を持っているため、導電性材料6の電位は、図3に示すように、電圧印加部8側から電圧印加部7側方向に向かって順次増大する。この導電性材料6の電位によって発生する基板内の第二導電型(N-)領域4の表面付近のポテンシャルは、図4に示すように、電圧印加部8側から電圧印加部7側に向かって徐々に高くなる。

40

【0034】

したがって、光照射によって発生した電荷は、このポテンシャルの傾斜に沿って、電荷読出側へと移動する。

【0035】

このように、本実施例の固体撮像素子1は、第一導電型の基板領域3とともに光電変換部2を構成する第二導電型領域4の上層に、絶縁膜5を介して光透過性を有する導電性材

50

料 6 を形成し、当該導電性材料 6 の電荷読出側とその反対側に電圧印加部 7 と電圧印加部 8 を形成し、電圧印加部 7 と電圧印加部 8 に、当該電圧印加部 7 が当該電圧印加部 8 よりも高電位となる電圧を印加している。

【 0 0 3 6 】

したがって、導電性材料 6 に電位分布を持たせて、導電性材料 6 に発生した電位に応じたポテンシャルの分布を第二導電型領域 4 の表面付近に発生させることができ、光電変換部 2 で発生した信号電荷をポテンシャルの高い電荷読出側へ移動させて、電荷の読み残しに起因する残像現象を安価に抑制することができるのと同時に、高速の読み出しを行うことができる。

【 実施例 2 】

【 0 0 3 7 】

図 5 ~ 図 7 は、本発明の固体撮像素子及び固体撮像素子の製造方法の第 2 実施例を示す図であり、図 5 は、本発明の固体撮像素子及び固体撮像素子の製造方法の第 2 実施例を適用した固体撮像素子 10 の平面図、図 6 は、図 5 の B - B 矢視断面図である。

【 0 0 3 8 】

図 5 及び図 6 において、固体撮像素子 10 は、光電変換部 11 が第一導電型の基板領域 12 と第二導電型 (N -) 領域 13 で構成されており、この第二導電型 (N -) 領域 13 の上層に、絶縁膜 14 を介して光透過性を持つ帯状の導電性材料による電極 15 a ~ 15 f が複数形成されている。これらの電極 15 a ~ 15 f は、読出方向に近づくほど順次高い電圧が与えられる。

【 0 0 3 9 】

固体撮像素子 10 は、導電性材料の電極 15 a ~ 15 f を、従来の CMOS プロセスで用いられるトランジスタの電極となるポリシリコンを形成する工程と同時に形成している。この場合、ポリシリコンによる光の吸収が、固体撮像素子 10 の感度に影響を及ぼさない程度に、ポリシリコン層の膜厚を制御する。

【 0 0 4 0 】

また、フォトダイオードの上層に絶縁膜 14 を介して配置する電極 15 a ~ 15 f となる導電性材料としては、ポリシリコン以外に、ITO、SnO₂、ZnO 等の透明電極材料を用いてもよい。

【 0 0 4 1 】

固体撮像素子 10 は、光電変換部 11 を構成する第一導電型の基板領域 12 と第二導電型 (N -) 領域 13 の上層に、絶縁膜 14 を介して形成された導電性材料の電極 15 a ~ 15 f に読出方向ほど順次高い電位が与えられると、図 7 に示すように、読出方向に近づくほど、すなわち、電極 15 a から電極 15 f へと移動するに従って、高い階段状のポテンシャル分布を得ることができ、読出側へ光信号電荷を移動させることができる。

【 0 0 4 2 】

このように、本実施例の固体撮像素子 10 は、第一導電型の基板領域 12 とともに光電変換部 11 を構成する第二導電型領域 13 の上層に、絶縁膜 14 を介して光透過性を有する導電性材料の電極 15 a ~ 15 f を、光電変換部 11 で光電変換された電荷の電荷読出方向に対して略直交する方向に帯状に延在して複数形成し、当該複数の導電性材料の電極 15 a ~ 15 f に、電荷読出側の導電性材料の電極 15 a ~ 15 f ほど高電位となる電圧を印加している。

【 0 0 4 3 】

したがって、第二導電型領域 13 に電荷読出側ほど深いポテンシャル分布を発生させて、光電変換部 11 で発生した信号電荷をポテンシャルの高い電荷読出側に移動させて、残像現象を安価に抑制することができ、高速の読み出しを行えるようにすることができるのと同時に、導電性材料の電極 15 a ~ 15 f に電流を流さないことで、消費電流を削減しつつ第二導電型領域 13 内にポテンシャル分布を形成して、消費電流を削減することができる。

【 実施例 3 】

10

20

30

40

50

【0044】

図8及び図9は、本発明の固体撮像素子及び固体撮像素子の製造方法の第3実施例を示す図であり、図8は、本発明の固体撮像素子及び固体撮像素子の製造方法の第3実施例を適用した固体撮像素子20の平面図、図9は、図8のC-C矢視断面図である。

【0045】

図8及び図9において、固体撮像素子20は、第一導電型の基板領域(P)21上に、第二導電型層を設けることなく、絶縁膜22を介して光透過性を有する導電性材料の電極23が設けられており、この導電性材料の電極23の電荷読出側とその反対側に電圧印加部24と電圧印加部25が形成され、当該電圧印加部24が当該電圧印加部25よりも高電位となる電圧が印加される。

10

【0046】

固体撮像素子20は、電荷読出部29側には、導電性材料の電極23と所定間隔空けて読出ゲート26が形成されており、第一導電型の基板領域(P)21には、読出ゲート26を挟んで、導電性材料の電極23側と電荷読出部29側に拡散層28と拡散層27が形成されている。

【0047】

すなわち、この固体撮像素子20は、基板21上に絶縁膜22を介して配置された導電性材料の電極23に電圧印加することで発生する基板21の表面の空乏層を光検出部とする固体撮像素子である。

【0048】

そして、固体撮像素子20は、導電性材料の電極23を、従来のCMOSプロセスで用いられるトランジスタの電極となるポリシリコンを形成する工程と同時に形成している。この場合、ポリシリコンによる光の吸収が、固体撮像素子20の感度に影響を及ぼさない程度に、ポリシリコン層の膜厚を制御する。

20

【0049】

また、フォトダイオードの上層に絶縁膜22を介して配置する電極23となる導電性材料としては、ポリシリコン以外に、ITO、SnO₂、ZnO等の透明電極材料を用いてもよい。

【0050】

この固体撮像素子20は、電圧印加部24と電圧印加部25に、電圧印加部24の方が高電位となる電圧が印加されて、導電性材料の電極23にポテンシャル分布が発生すると、基板21の表面付近に発生するポテンシャルに傾斜が発生し、電荷読出側に光信号電荷が移動する。この信号電荷は、拡散層28に移動した後、読出ゲート26に電圧が加えられることにより、拡散層27に転送され、後段のアンプへ出力される。

30

【0051】

このように、本実施例の固体撮像素子20は、第一導電型の基板領域21上に絶縁膜22を介して光透過性を有する導電性材料で電極23を形成し、当該導電性材料の電極23に電圧が印加されることで発生する空乏層を受光部として、当該導電性材料の電荷読出側とその反対側に、電圧印加部24と電圧印加部25を形成し、電圧印加部24と電圧印加部25に、当該電圧印加部24が当該電圧印加部25よりも高電位となる電圧を印加して

40

【0052】

したがって、導電性材料の電極23に電位分布を持たせて、導電性材料の電極23に発生した電位に応じたポテンシャルの分布を基板領域21の表面付近に発生させることができ、光電変換部で発生した信号電荷をポテンシャルの高い電荷読出側へ移動させて、電荷の読み残しに起因する残像現象を安価に抑制することができるのと同時に、高速の読み出しを行うことができる。

【実施例4】

【0053】

図10～図11は、本発明の固体撮像素子及び固体撮像素子の製造方法の第4実施例を

50

示す図であり、図10は、本発明の固体撮像素子及び固体撮像素子の製造方法の第4実施例を適用した固体撮像素子30の平面図、図11は、図10のD-D矢視断面図である。

【0054】

図10及び図11において、固体撮像素子30は、第一導電型の基板領域(P)31上に、第二導電型層を設けることなく、絶縁膜32を介して光透過性を有する導電性材料により複数の電極33a~33fが形成されており、この導電性材料の電極33a~33fの電荷読出側に電荷読出ゲート34が設けられている。固体撮像素子30は、電荷読出ゲート34の受光部と反対側には拡散層35が形成される。

【0055】

固体撮像素子30は、導電性材料の電極33a~33fを、従来のCMOSプロセスで用いられるトランジスタの電極となるポリシリコンを形成する工程と同時に形成している。この場合、ポリシリコンによる光の吸収が、固体撮像素子30の感度に影響を及ぼさない程度に、ポリシリコン層の膜厚を制御する。

【0056】

また、フォトダイオードの上層に絶縁膜32を介して配置する電極33a~33fとなる導電性材料としては、ポリシリコン以外に、ITO、SnO₂、ZnO等の透明電極材料を用いてもよい。

【0057】

そして、固体撮像素子30は、導電性材料の電極33a~33fに読出方向に向かって順次高くなる電圧を与えると、図7と同様に、読出方向に近づくほど深い階段状のポテンシャル分布を得ることができる。したがって、電荷読出ゲート34に電圧印加することで、信号電荷が容易に拡散層35へ転送される。

【0058】

このように、本実施例の固体撮像素子30は、第一導電型の基板領域31上に絶縁膜32を介して光透過性を有する導電性材料で電極33a~33fを形成し、導電性材料の電極33a~33fに電圧が印加されることで発生する空乏層を受光部として、当該導電性材料の電極33a~33fを、受光部で光電変換された電荷の電荷読出方向に対して略直交する方向に帯状に延在して複数形成し、当該複数の導電性材料の電極33a~33fに、電荷読出側の導電性材料の電極ほど高電位となる電圧を印加している。

【0059】

したがって、基板31に電荷読出側ほど深いポテンシャル分布を発生させて、光電変換部で発生した信号電荷をポテンシャルの高い電荷読出側に移動させて、残像現象を安価に抑制することができ、高速の読み出しを行えるようにすることができる。導電性材料に電流を流さないことで、消費電流を削減しつつ基板31内にポテンシャル分布を形成することができる。

【0060】

そして、各実施例において、導電性材料6、15a~15f、23、33a~33fを、CMOSプロセスのゲート電極を形成する工程で、トランジスタのゲート電極と同時に形成している。したがって、残像現象を抑制した固体撮像素子1、10、20、30を安価に製造することができる。

【0061】

以上、本発明者によってなされた発明を好適な実施例に基づき具体的に説明したが、本発明は上記のものに限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【産業上の利用可能性】

【0062】

ダイナミックレンジの低下を引き起こすことなく、残像特性を抑制し高速動作可能な固体撮像素子及び固体撮像素子の製造方法に適用することができる。

【図面の簡単な説明】

【0063】

10

20

30

40

50

【図 1】本発明の固体撮像素子及び固体撮像素子の製造方法の第 1 実施例を適用した固体撮像素子の平面図。

【図 2】図 1 の固体撮像素子の A - A 矢視断面図。

【図 3】図 1 及び図 2 の固体撮像素子の電極の電位分布を示す図。

【図 4】図 1 及び図 2 の固体撮像素子の電極の電位によって発生する基板内の第二導電型 (N -) 領域の表面付近のポテンシャル分布を示す図。

【図 5】本発明の固体撮像素子及び固体撮像素子の製造方法の第 2 実施例を適用した固体撮像素子の平面図。

【図 6】図 5 の固体撮像素子の B - B 矢視断面図。

【図 7】図 5 及び図 6 の固体撮像素子の電極の電位によって発生する基板内の表面付近のポテンシャル分布を示す図。 10

【図 8】本発明の固体撮像素子及び固体撮像素子の製造方法の第 3 実施例を適用した固体撮像素子の平面図。

【図 9】図 8 の固体撮像素子の C - C 矢視断面図。

【図 10】本発明の固体撮像素子及び固体撮像素子の製造方法の第 4 実施例を適用した固体撮像素子の平面図。

【図 11】図 10 の固体撮像素子の D - D 矢視断面図。

【図 12】固体撮像素子の光電変換部からの信号電荷の読出回路構成の一例を示す図。

【図 13】固体撮像素子の光電変換部からの信号電荷の読出回路構成の他の例を示す図。

【図 14】従来の固体撮像素子の正面拡大断面図 (a) とそのフォトダイオード部のポテンシャルを示す図 (b)。 20

【図 15】従来の他の固体撮像素子のレイアウト図。

【符号の説明】

【 0 0 6 4 】

- 1 固体撮像素子
- 2 光電変換部
- 3 第一導電型基板領域 (P)
- 4 第二導電型 (N -) 領域
- 5 絶縁膜
- 6 導電性材料
- 7 電圧印加部
- 8 電圧印加部
- 1 0 固体撮像素子
- 1 1 光電変換部
- 1 2 第一導電型基板領域
- 1 3 第二導電型 (N -) 領域
- 1 4 絶縁膜
- 1 5 a ~ 1 5 f 電極
- 2 0 固体撮像素子
- 2 1 第一導電型基板領域 (P)
- 2 2 絶縁膜
- 2 3 電極
- 2 4 電圧印加部
- 2 5 電圧印加部
- 2 6 読出ゲート
- 2 7、2 8 拡散層
- 2 9 電位読出部
- 3 0 固体撮像素子
- 3 1 第一導電型基板領域 (P)
- 3 2 絶縁膜

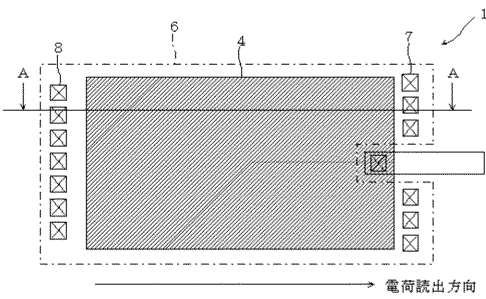
30

40

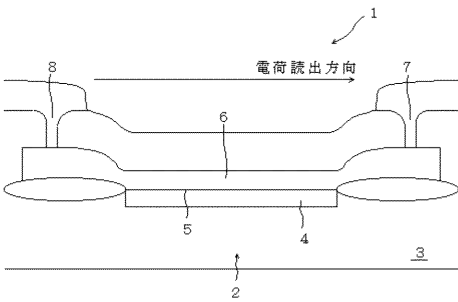
50

- 3 3 a ~ 3 3 f 電極
- 3 4 電荷読出ゲート
- 3 5 拡散層

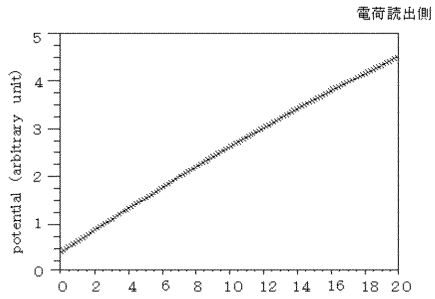
【図 1】



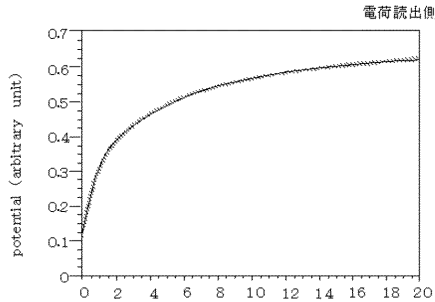
【図 2】



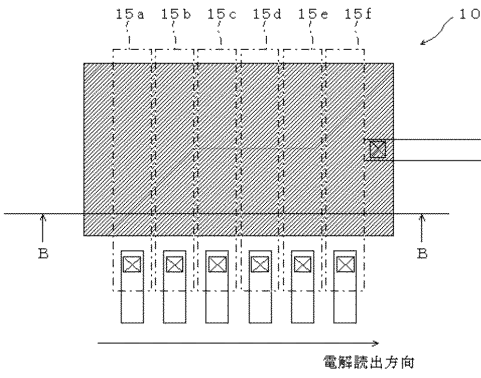
【図 3】



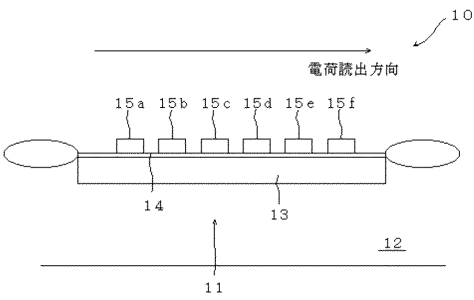
【図 4】



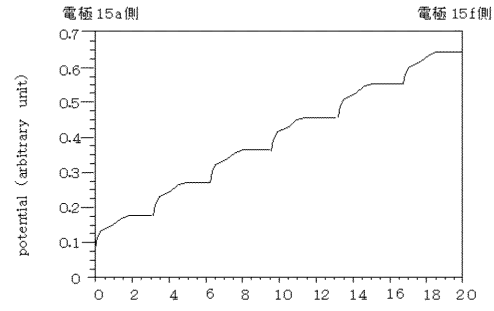
【 図 5 】



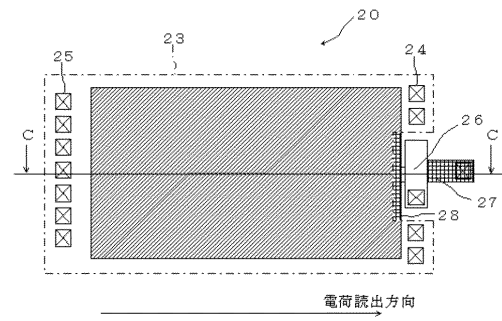
【 図 6 】



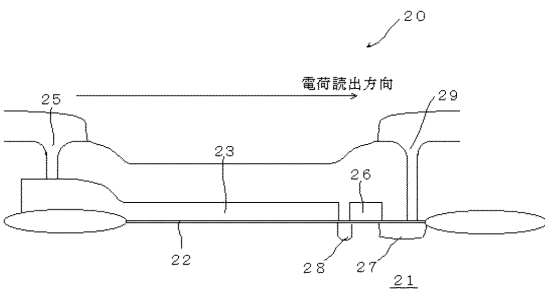
【 図 7 】



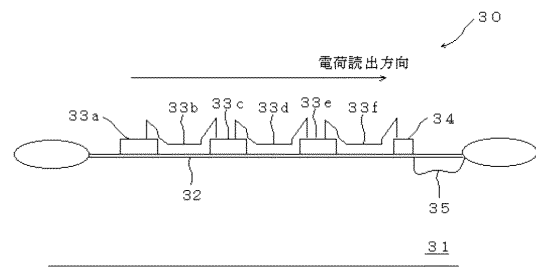
【 図 8 】



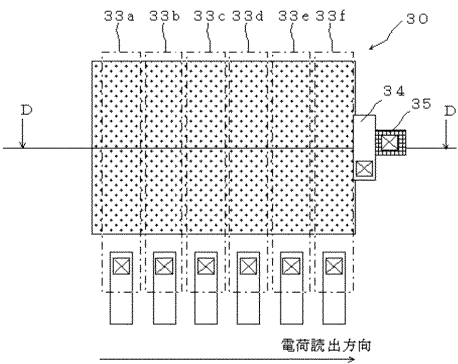
【 図 9 】



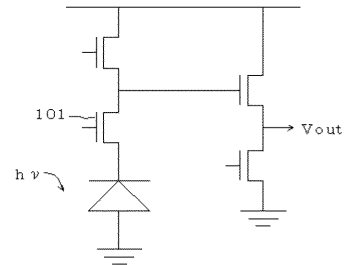
【 図 11 】



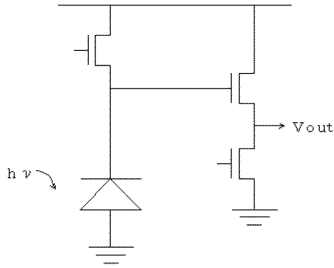
【 図 10 】



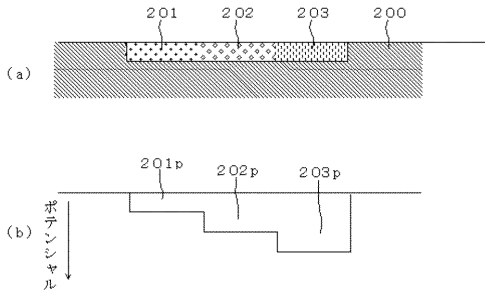
【 図 12 】



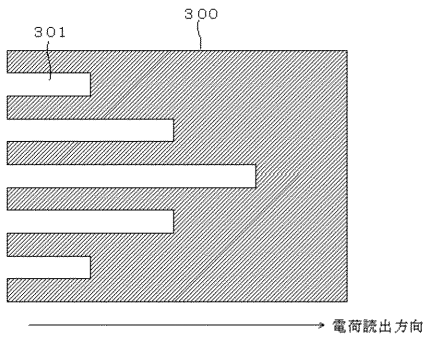
【図 1 3】



【図 1 4】



【図 1 5】



【 手 続 補 正 書 】

【 提 出 日 】 平 成 17 年 6 月 21 日 (2005.6.21)

【 手 続 補 正 1 】

【 補 正 対 象 書 類 名 】 明 細 書

【 補 正 対 象 項 目 名 】 0 0 0 9

【 補 正 方 法 】 変 更

【 補 正 の 内 容 】

【 0 0 0 9 】

【 特 許 文 献 1 】 特 開 平 7 - 2 0 2 1 5 8 号 公 報

フロントページの続き

Fターム(参考) 4M118 AA02 AA10 AB01 BA14 CA03 CB14 DA21 DA23 FA06 FA33
5C024 AX01 CX43 CY47 GX03 GY31 GY41