

(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(51) Int. Cl.⁶
G11C 11/41

(45) 공고일자 1999년07월01일
(11) 등록번호 10-0205669
(24) 등록일자 1999년04월03일

(21) 출원번호	10-1991-0025486	(65) 공개번호	특 1992-0013465
(22) 출원일자	1991년 12월 30일	(43) 공개일자	1992년 07월 29일
(30) 우선권주장	636,518 1990년 12월 31일 미국(US)		
(73) 특허권자	텍사스 인스트루먼트 인코포레이티드	윌리엄 비. 캠퍼러	
	미국 텍사스주 달라스 처칠 웨이 7839		
(72) 발명자	마크지. 하워드		
	미합중국 75213 텍사스주 달라스 윈체스터 7031		
	쉬발링에스. 마한트-웨티		
	미합중국 75081 텍사스주 리차드슨 스코츠보로 레인 1405		
	하워드티겔라르		
	미합중국 75002 텍사스주 알렌 메도우크린 드라이브 505		
(74) 대리인	주성민		

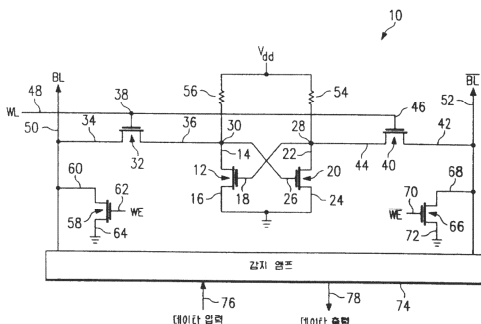
심사관 : 장현근

(54) 메모리 셀 회로 및 어레이

요약

메모리 셀들의 어레이(202)에 적용될 수 있는 개량된 메모리 셀(118)이 제공된다. 어레이(202)는 제1게이트 도체 영역(224)와 제2게이트 도체 영역(238)을 포함하는데, 상기 제1 및 제2게이트 도체 영역들은 서로 수직이다. 상기 셀의 각 1/2은 교차 결합된 트랜치 트랜지스터에 접속된 두 개의 직렬 트랜지스터들을 포함한다. 상기 트랜치 트랜지스터들의 교차 결합은 평행 국부 상호 접속 영역(256 및 258)의 사용을 통해 이루어진다.

대표도



명세서

[발명의 명칭]

메모리 셀 회로 및 어레이

[도면의 간단한 설명]

제1도는 종래 기술의 4T-2R SRAM메모리 셀의 설명도.

제2도는 두 개의 저항 소자들에 대한 등가 저항을 제공하기 위하여 스위칭된 트랜지스터들을 사용하고 있는 종래 기술의 4T-2R SRAM 메모리 셀의 설명도.

제3도는 본 발명에 따라 제조되고 동작되는 메모리 셀의 개략도.

제4a도는 본 발명에 따라 제조되고 평행 워드선들을 갖는 메모리셀들의 어레이의 설명도.

제4b도는 셀들의 어레이 및 개별 셀들과 각 비트선들 사이의 접속 상호 관계의 설명도.

제4c도는 제4a도의 어레이에 따라 제조된 개별 셀들의 공간적 조건의 설명도.

제5a도는 본 발명에 따라 제조되고 직각 워드선들을 갖고 있는 메모리 셀들의 어레이의 설명도.

제5b도는 셀들의 어레이 및 개별 셀들과 각 비트선들 사이의 상호 관계의 설명도.

제5c도는 제5a도의 어레이에 따라 제조된 개별 셀들의 공간적 조건의 설명도.

제6a도는 본 발명에 따라 제조된 메모리 셀의 교차 결합 트랜지스터들의 개략도.

제6b도는 본 발명에 따라 제조된 메모리 셀에 있는 교차 결합 트랜지스터들에 대한 또다른 포맷의 개략도.

제7a도는 메모리 셀들의 어레이를 제조하기 위해 형성된 활성 영역의 상면도.

제7b도는 제7a도 메모리 셀 영역의 단면도.

제8a도는 그 위에 배치되고 있는 게이트 도체 영역을 갖고 있는 셀 어레이의 상면도.

제8b도는 제1게이트 도체와 에픽택셀 반도체 층내에 형성되어 있는 트렌치를 포함한 제8a도의 단면도.

제9a도는 직각 게이트 도체 영역들이 부가된 것을 나타내는 상면도.

제9b도는 제1게이트 도체에 인접한 제2게이트 도체와 트렌치 내에 형성된 부가적인 트레치 게이트 도체를 포함한 제9a도의 단면도.

제10a도는 국부적인 상호 연결 영역이 부가된 것을 나타내는 상면도.

제10b도는 국부적인 상호 연결 영역들을 포함한 제10a도의 단면도.

제11a도는 비트선들과 금속 접촉부들이 부가된 것을 나타내는 상면도.

제11b도는 제11a도에 나타난 단면 위치 뒤에 형성되어 있기 때문에 부분 단면도로 도시된 비트선과 접촉부를 포함한 제11a도의 단면도.

* 도면의 주요부분에 대한 부호의 설명

119 : 제어회로 120, 122 : 교차 결합 트랜지스터

140 : 비트선 158 : 반전된 비트선

176, 178 : 기입 가능 트랜지스터 192 : 감지 앰프

214 : 매립 확산 영역 260 : 절연층

262 : 비트선 264 : 금속 접촉부

[발명의 상세한 설명]

본 발명은 집적 회로, 특히 메모리 셀과 그 동작에 관한 것이다.

종래의 메모리 기술에서, 스택 액세스 메모리(SRAM)셀들은 다양한 회로 구조로 제조될 수 있다. 이 회로들은 전력요구, 전류 누설 및 전체적인 디바이스 크기를 최소화하면서 데이터 보유 능력을 제공하기 위하여 제조된다. 결과적으로, 최소 수의 구성요소들을 갖는 메모리 셀을 만드는 것이 바람직하다. 셀 내의 각 구성요소에 대해, 구성요소의 크기와 내부적 및 외부적 상호 접속들에 대한 고려가 있어야 한다.

전형적인 종래의 SRAM 셀은 4T-2R 구조로 제조 된다. 이와 같은 구조 내의 두 저항은 저항기 소자 또는 등가 저항을 만들어 내기 위해 사용되는 스위칭된 캐패시터들을 포함할 수 있다. 4T-2R 셀이 조밀하다고는 하지만 셀의 나머지 트랜지스터들이 패스 트랜지스터 크기에 정비례된 크기로 제조되어야 하기 때문에 셀의 일부분으로 제조된 패스 트랜지스터들이 임계 크기이다. 그 결과, 패스 트랜지스터를 위한 선정된 크기를 선택하면 반드시 셀 내의 나머지 트랜지스터들을 위한 더 큰 크기를 정해야 한다. 따라서, 더 큰 트랜지스터들과 그에 대한 저항기들은 셀 내에 포함되어야 하는데, 이 때문에 바람직하지 않게도 디바이스 크기와 전력 요구를 증가시키게 된다. 더욱이, 상기 큰 저항기들은 상대적으로 좁은 영역에서 큰 저항치를 요구하기 때문에 본 분야의 기술에서 공지된 추가적인 문제들을 발생시킨다.

다르게는, 4T-2R 셀의 저항기들은 스위칭된 캐패시티브 저항을 이용하여 제조 될 수 있다. 이 디바이스는 셀 구조를 완성하기 위해서 총 8개의 트랜지스터들을 필요로 한다. 따라서, 스위칭된 캐패시티브 저항의 사용은 트랜지스터들의 게이트들, 소오스들 및 드레인들에 수많은 상호 접속들을 갖는 총 8개의 트랜지스터들을 필요로 한다. 각 외부 상호 접속은 디바이스로의 접속부를 필요로 하고, 결과적으로는 디바이스 상에 더 많은 표면적을 소비한다. 그 결과, 디바이스 캐패시턴스와, 많은 수의 필요한 메모리 셀에의 상호 접속과 관련된 생산성과 같은 다른 문제들에 따라 디바이스 크기들이 증가된다.

따라서, 최소 수의 디바이스들과 관련 상호 접속들을 포함하며 최소 전력을 소비하고 좁은 면적안에서 제조될 수 있는 메모리 셀에 대한 필요성이 생긴다.

본 발명에 따르면, 종래의 메모리 셀 디바이스들과 관련된 단점과 문제점들을 실질적으로 제거하고 방직한 메모리 셀 회로 및 어레이, 그 형성 방법 및 그 동작이 제공된다.

본 발명에 따라 제조된 메모리 어레이는 각각 두 개의 모드로 동작할 수 있는 다수의 셀들을 포함한다. 상기 두 개의 모드 각각은 제1 및 제2신호의 조합을 통해 이루어진다. 상기 메모리 어레이는 제1신호를 전송하는 제1도선과 제2신호를 전송하며 상기 제1도선과 거의 수직인 제2도선을 더 포함한다.

본 발명에서 다수의 셀들 각각은 제1의 직렬 접속 쌍의 트랜지스터들과 제1의 직렬 접속 쌍의 트랜지스터들을 포함할 수 있다. 더욱이, 각 셀은 직렬 접속된 트랜지스터들의 상기 제1 및 제2쌍 사이에 접속된 쌍의 교차 결합된 트랜지스터들을 포함할 수 있다.

본 발명은 종래 메모리 셀 구조에 비해 많은 기술적 장점들을 제공한다. 본 발명에 따라 제조된 메모리 셀은 효과적인 데이터 저장과 재생을 달성하기 위하여 사용된 최소 수의 디바이스들을 포함한다. 더욱

이, 수직 워드 선들의 사용은 간략화된 제조 과정이란 기술적인 장점을 제공한다. 그 결과, 제조비의 감소라는 기술적인 장점이 있다. 수직 워드선들의 사용은 두 개의 교차하는 워드선들의 각 교점에서 메모리 어레이의 완전 디코딩이라는 기술적인 장점을 가져온다. 이와같은 "교점" 액세스의 특징은 한 번에 단 하나의 셀이 활성이 되도록 하여서 활성 전력 소비의 감소라는 기술적인 장점을 제공한다. 수직 워드선들은 비트선들과 접촉부들의 공유를 허용하므로, 셀의 크기를 줄이고 제조성을 높인다. 본 발명의 줄어든 셀의 크기는 표면적 소비의 감소라는 기술적인 장점을 더 제공함으로써, 주어진 면적에 더 높은 집적 밀도를 제공한다.

제1도는 전체적으로 (10)으로 표시되어 있는 종래 기술의 메모리 셀을 도시하고 있다. 메모리 셀(10)은 드레인(14), 소오스(16) 및 게이트(18)를 갖는 제1트랜지스터(12)와 드레인(22), 소오스(24) 및 게이트(26)를 갖는 제2트랜지스터(20)를 포함하는 저장 디바이스를 포함한다. 제1 ; 제2트랜지스터(12 및 20)은 교차 결합 구조로 접속되어 있다. 따라서, 트랜지스터(12)의 게이트(18)는 제2트랜지스터(20)의 드레인(22)에 연결된다. 제1트랜지스터(12)의 제2트랜지스터(20)으로의 이와 같은 게이트-드레인 접속은 제1노드(28)를 규정한다. 유사하게, 제2트랜지스터(20)의 게이트(26)는 제1트랜지스터(12)의 드레인(14)에 접속된다. 제2트랜지스터(20)의 제1트랜지스터(12)로의 이와 같은 게이트-드레인 접속은 제2노드(30)를 규정한다. 제1 및 제2트랜지스터(12 및 20)의 소오스(16 및 24)는 함께 접속되어 접지로 접속된다.

메모리 셀(10)은 드레인(34), 소오스(36) 및 게이트(38)를 갖는 제1패스 트랜지스터(32)를 더 포함한다. 유사하게, 메모리 셀(100)은 드레인(42), 소오스(44) 및 게이트(46)를 갖는 제2패스 트랜지스터(40)를 포함한다. 패스 트랜지스터(32 및 40)의 소오스(36 및 44)는 각각 제2 및 제1노드(30 및 38)에 접속된다. 패스 트랜지스터(32 및 40)의 게이트(38 및 46)는 함께 접속되어 워드선(48)에 접속된다. 제1패스 트랜지스터(32)의 드레인(34)는 비트선(50)에 접속된다. 제2패스 트랜지스터(40)의 드레인(42)는 반전된 비트선(52)에 접속된다. 제1 및 제2노드(28 및 30)는 각각 저항(54 및 56)을 통하여 공급 전압 Vdd에 접속된다.

기입 가능 트랜지스터(58)는 소오스(60), 게이트(62) 및 드레인(64)를 포함한다. 기입 가능 트랜지스터(58)의 소오스(60)은 비트선(50)에 접속된다. 기입 가능 트랜지스터(58)의 게이트(62)는 WE로 표기된 기입 가능 신호를 수신할 수 있다. 유사하게, 제2기입 가능 트랜지스터(66)는 소오스(68), 게이트(70) 및 드레인(72)를 포함한다. 소오스(68)은 반전된 비트선(52)에 접속된다. 제2기입 가능 트랜지스터(66)의 게이트(70)은 기입 가능 신호의 반전을 수신할 수 있다.

기입 가능 트랜지스터(58 및 66)의 드레인(64 및 72)는 접지에 접속되어 있다. 비트선(50)과 반전된 비트선(52)는 둘다 감지 앰프(74)에 접속된다. 감지 앰프(74)는 데이터를 수신하기 위한 입력(76)과 데이터를 출력하기 위한 출력(78)을 갖는다. 기입 가능 트랜지스터(58 및 66)이 셀(10)의 일부로서 도시되어 있지만, 본 분야의 기술에 공지된 것처럼 이해되어야 할 것은, 다수의 셀들이 그 각 열(column)이 접속된 단일 쌍의 기입 가능 트랜지스터들을 갖는 어레이로 접속될 수 있다는 것이다.

메모리 셀(10)의 동작은 다음과 같다. 메모리 셀(10)은 두가지 상이한 모드로 동작한다. 제1모드는 메모리 셀(10)이 이진수 0 또는 1을 나타내는 데이터 값을 유지하는 비액세스 또는 저장 모드이다.

메모리 셀(10)의 제2동작 모드는 이진 정보가 메모리 셀(10)으로부터 판독되거나 메모리 셀(10)에 기입되는 액세스 모드이다.

비액세스 또는 저장 모드에서, 워드선 신호와 대응하는 워드선(48)은 로우(low)이다. 따라서, 제1 및 제2패스 트랜지스터(32 및 40)는 비도통 상태에 있고, 따라서, 교차 결합된 트랜지스터(12 및 20)은 비트선(50)과 반전된 비트선(52)로부터 효과적으로 고립된다.

이 모드에서, 메모리 셀(10)에 의해 저장된 이진 값에 따라 제1트랜지스터(12)나 제2트랜지스터(20) 중 하나가 다른 트랜지스터가 오프되어 있는 동안 온된다. 예를 들면, 제1트랜지스터(12)가 온이고 제2트랜지스터(20)이 오프인 경우를 생각해 보자. 제1트랜지스터(12)가 온되어 있으면, 제2노드(30)는 트랜지스터(12)를 통하여 효과적으로 접지에 접속될 것이다. 따라서 제2노드(30)에 연결되어 있는 제2트랜지스터(20)의 게이트(26)는 로우이고, 그로인해 제2트랜지스터(20)을 비도통 상태로 유지시킨다. 제2트랜지스터(20)이 비도통 상태이며, 제1트랜지스터(12)의 게이트(18)는 저항기(50)를 통하여 공급 전압 Vdd에 접속된다.

저항기(54)의 저항은 상술한 예에서 제1트랜지스터(12)를 도통 상태로 유지하도록 충분한 전압이 제2노드(28)과 제1트랜지스터(12)의 게이트(18)에 유지되도록 선택된다. 그러나, 본 분야의 기술에 공지된 것처럼, 전류가 제1노드(28)로 부터 천천히 누설될 것이고, 따라서 제1노드(28)로부터 누설되는 전류를 보상하도록 전원 전압으로부터 충분한 전류가 흘러 나오도록 하기 위하여 저항기(54)의 저항값은 적절한 저항으로 선택되어야 한다. 이에 더하여, 온도 상승에 따른 저항의 증가를 수용하기 위해 저항기(54)의 저항값은 이 예시적인 모드 동안 온도의 변화에 상관없이 제1노드(28)에 충분한 전류가 공급되도록 선택되어야 한다.

주목해야 할 점은 메모리 셀(10)의 대형 구조 때문에 저항(56)의 선택은 셀이 반대 방식으로 동작하도록, 즉 제1트랜지스터(12)가 도통되지 않는 동안 제2트랜지스터(20)이 도통되도록 저항기(54)의 것과 동일하다는 것이다.

메모리 셀(10)의 제2 또는 액세스 모드 동안, 워드선(48)의 워드선 신호는 하이(high)에서, 패스 트랜지스터(32 및 40)이 도통되게 한다. 그 결과, 제1 및 제2노드(28 및 30)는 패스 트랜지스터(46 및 38)를 통해 각각 반전된 비트선(52)와 비트선(50)에 접속된다. 일단 이 접속이 성립되면, 메모리 셀(10)은 데이터가 기입되었는지 또는 이와는 달리 데이터가 그곳으로부터 판독되었는지 할 수 있다. 패스 트랜지스터(32 및 40)이 도통하고 있는 제2모드 동안 메모리 셀(10)에 기입하기 위하여 데이터는 입력(76)을 통해 감지 앰프(74)로 전송된다. 감지 앰프(74)는 본 분야의 기술에 공지된 것처럼, 기입 가능 트랜지스터(58 및 66)의 게이트(62 및 70)에 각각 상충되는 신호를 제공한다. 따라서 기입 가능 신호는 비트선(50) 또는 반전된 비트선(52)를 선택적으로 접지시키기 위해 인가된다. 그 결과, 교차 결합된

트랜지스터(12 및 20)은 자신들의 현 상태를 유지하거나 다른 상태로 스위칭될 수 있다. 메모리 셀(100)로부터 데이터를 판독하기 위하여, 감지 앰프(74)는 비트선(50)과 반전된 비트선(52)상의 신호들의 상대적인 크기를 감지하여 본 분야의 기술에 공지된 것처럼 출력(78)을 통하여 데이터 출력을 제공한다. 따라서, 메모리 셀(10)은 데이터의 저장/재생을 위한 4T-2R 구조를 제공한다. 비록 단 4개의 트랜지스터가 필요하지만, 총 디바이스의 크기는 셀 내에 포함된 저항들로 인하여 증가된다. 더욱이, 저항기들을 포함하기 때문에 복잡성과 제조비가 증가된다.

제2도는 전체적으로 (80)으로 표시된 종래 기술의 트랜지스터 8개의 메모리 셀을 도시하고 있다. 제2도의 메모리 셀(80)은 제1도의 메모리(10)과 유사하고, 따라서 양 메모리 셀들의 유사 부분은 유사한 부품 번호가 주어졌다. 그러나, 메모리 셀(10)의 저항기(54 및 56)은 메모리 셀(80) 내에서 각각의 스위칭된 캐패시티브 시스템에 의해 대체되어 있다. 저항기(54)를 대체하고 있는 스위칭된 캐패시티브 시스템은 드레인(84), 소오스(86) 및 게이트(88)를 갖는 제1트랜지스터(82)와 드레인(92), 소오스(94) 및 게이트(96)를 갖는 제2트랜지스터(90)를 포함한다. 제1트랜지스터(82)의 소오스(86)은 제2트랜지스터(90)의 드레인(92)에 접속된다. 이 접속은 디바이스 기판에 연결되는 기생 캐패시터(98 ; 점선으로 도시됨)로 접속된다. 전형적으로 기판은 도시된 것처럼 접지에 접속된다.

상술한 것과 유사한 방식으로, 제1도 내에 도시된 메모리 셀(10)의 저항기(56)은 제2도에서 트랜지스터 2개의 스위칭된 캐패시터 구조에 의해 대체된다. 이 구조는 드레인(102), 소오스(104) 및 게이트(106)를 갖는 제3트랜지스터(100)를 포함한다. 이에 더하여, 상기 스위칭된 캐패시터 구조는 드레인(110), 소오스(112) 및 게이트(114)를 포함하는 제4트랜지스터를 포함한다. 제3트랜지스터(100)의 소오스(104)는 제4트랜지스터(108)의 드레인(110)에 접속된다. 이 접속은 기생 캐패시터(98)와 같은 전형적으로 접지로 접속되는 디바이스 기판에 접속되는 기생 캐패시터(116)에 접속된다.

트랜지스터(82 및 100)의 드레인(84 및 102)는 각각 전원 전압 Vdd에 접속된다. 트랜지스터(82 및 100)의 게이트(88 및 106)은 서로 접속되어서, 제1클럭 신호 "ø1을 수신하도록 동작 가능하다.

유사하게, 트랜지스터(90 및 108)의 게이트(96 및 114)는 접속되어서 제2클럭 신호 "ø2를 수신하도록 동작 가능하다.

메모리 셀(80)은 제1도의 메모리 셀(100과 관련하여 기술된 동일한 두 개의 보드에서 동작한다. 제2모드 또는 액세스 모드는 제1도의 메모리 셀(10)과 관련하여 기술된 것과 동일한 방식으로 발생한다. 그러나, 제1모드에서, 제1 및 제2트랜지스터(82 및 90)와 제3 및 제4트랜지스터(100 및 108)의 트랜지스터 쌍들은 제1도에 도시된 저항기(54 및 56)에 의해 제공된 저항과 등가의 저항을 제공한다. 특히 본 분야의 기술에 공지된 것처럼, 기생 캐패시터(98)와 제1 및 제2트랜지스터(82 및 90)의 조합은 저항이 다음과 같이 근사될 수 있도록 틀릴될 수 있다.

$$R = \frac{1}{fC}$$

여기에서, R 은 스위칭된 트랜지스터 쌍의 등가 저항 ; f는 클럭 신호 "ø1 및 "ø2의 주파수 ; 및 C는 기생 캐패시터(98)의 캐패시턴스. 유사하게, 제3 및 제4트랜지스터(100 및 108)도 상기(식1)에 따른 등가 저항을 제공하도록 동작한다. 특히, 클럭 신호"ø1 및 "ø2는 트랜지스터(82 및 100)이 단일 시점에 도통되도록 하고 트랜지스터(90 및 108)이 별개의 시점에 도통되도록 하는 비중첩 클럭 신호이다.

이와 같은 교호적인 스위칭은 제1시점동안 전하가 전원 전압 Vdd부터 트랜지스터(82 및 100)을 통해 각각 기생 캐패시터(98 및 116)으로 전달되도록 한다. 그후, "ø2가 하이인 동안 "ø1은 로우여서, 트랜지스터(90 및 108)이 도통되도록 한다. 이 도통 상태 동안, 전하는 기생 캐패시터(98 및 116)으로부터 각각 제1노드(28)와 제2노드(30)으로 넘어간다. 따라서 교대로 스위칭되는 트랜지스터 쌍들의 사용으로 등가 저항이 실현된다.

따라서, 제2도의 메모리 셀(80)은 제1도에 관련하여 기술된 것처럼 큰 저항기에 대한 필요성이 제거되는 메모리 디바이스를 제공한다. 그러나, 제1도의 메모리 셀(10)의 4개의 트랜지스터에 비하여 총 8개의 디바이스 트랜지스터[기입 가능 트랜지스터(58 및 66)는 제외]가 필요하기 때문에 절충이 발생한다. 이에 더하여, 제2도의 메모리 셀(80)은 추가된 트랜지스터들 사이의 상호 접속을 필요로 하고, 메모리 셀의 패스 트랜지스터들로의 비트선들과 워드선들에 대한 별개의 접속들을 포함한다. 본 발명은 관련 상호 접속의 수를 최소화하면서 셀에 사용되는 트랜지스터의 수를 최소화한다.

제3도는 본 발명에 따라 제조되고 동작되는 메모리 셀(118)과 제어 회로(119)를 도시하고 있다. 메모리 셀(118)은 제1트랜지스터(120) 및 제2트랜지스터(122)를 포함하는 한 쌍의 교차 결합 트랜지스터를 포함한다. 양호한 실시예에서, 제1 및 제2트랜지스터(120 및 122)는 n 채널 트랜지스터들이다. 제1트랜지스터(120)은 제1노드(126)에 접속된 소오스(124)를 포함한다. 제1트랜지스터(120)의 게이트(128)은 제2노드(130)에 접속된다. 제1트랜지스터(120)의 드레인(132)는 접지에 접속된다. 제2트랜지스터(122)는 제1트랜지스터(120)에 교차 결합된다. 따라서, 제2트랜지스터(122)의 소오스(134)는 제1트랜지스터(120)의 게이트(128)에 접속되어 있는 제2노드(130)에 접속된다. 제2트랜지스터(122)의 게이트(136)은 제1노드(126)에 접속된다. 제2트랜지스터(122)의 드레인(138)은 접지에 접속된다.

제1노드(126)은 직렬 접속 트랜지스터 쌍(142 및 144)를 통해 비트선(140)에 접속된다. 양호한 실시예에서, 트랜지스터(142 및 144)는 n 채널 트랜지스터이다. 기생 캐패시턴스(145 ; 점선으로 도시됨)는 트랜지스터(142 및 144)와 디바이스 기판 사이에 존재한다.

전형적으로, 이 캐패시턴스는 도시된 것처럼 접지에 접속된다. 트랜지스터(142)의 소오스(146)은 비트선(140)에 접속된다. 트랜지스터(142)의 게이트(148)은 클럭 신호 "ø1을 수신하기 위하여 제1워드선(149 ; WL1로 표시됨)에 접속된다. 트랜지스터(142)의 드레인(150)은 트랜지스터(144)의 소오스(152)

에 접속된다. 트랜지스터(144)의 게이트(154)는 클럭 신호 " $\phi 2$ "를 수신하기 위하여 제2 워드선(153 ; WL2로 표시됨)에 접속된다. 트랜지스터(144)의 드레인(156)은 제1노드(126)에 접속된다.

제2노드(130)은 한쌍의 직렬 트랜지스터(160 및 162)에 의해 반전된 비트선(158)에 접속된다. 양호한 실시예에서, 트랜지스터(160 및 162)는 n 채널 트랜지스터이다. 기생 캐패시턴스(163 ; 점선으로 도시됨)은 트랜지스터(160 및 162)와 디바이스 기판 사이에 존재한다.

트랜지스터(162)의 게이트(166)는 클럭 신호 " $\phi 1$ "를 수신하기 위하여 제1워드선(149)에 접속된다. 트랜지스터(162)의 드레인(168)은 트랜지스터(160)의 소오스(170)에 접속된다. 트랜지스터(160)의 게이트(172)는 클럭 신호 " $\phi 2$ "를 수신하기 위하여 제2워드선(153)에 접속된다. 트랜지스터(160)의 드레인(174)은 제2노드(130)에 접속된다.

비트선(140)과 반전된 비트선(158)은 각각 관련된 기입 가능 트랜지스터(176 및 178)를 갖는다. 특히, 기입 가능 트랜지스터(176)의 소오스(180)은 비트선(140)에 접속된다. 기입 가능 트랜지스터(176)의 게이트(182)는 기입 가능 신호(WE)를 수신하기 위하여 접속된다. 기입 가능 트랜지스터(176)의 드레인(184)은 접지에 접속된다. 유사하게, 기입 가능 트랜지스터(178)은 반전된 비트선(158)에 접속된

소오스(186)을 포함한다. 게이트(188)은 반전된 기입 가능 신호 \overline{WE} 를 수신하도록 접속된다. 기입 가능 트랜지스터(178)의 드레인(190)은 접지에 접속된다.

비트선(140)과 반전된 비트선(158)은 둘다 제1도 및 제2도와 관련하여 상술된 것과 동일한 방식으로 감지 앰프(192)에 접속된다. 따라서, 감지 앰프(192)는 데이터를 수신하기 위한 입력(194)과 데이터를 출력하기 위한 출력(196)을 포함한다.

메모리 셀(118)의 동작은 다음과 같다. 메모리 셀(118)은 일반적으로 제1도 및 제2도에 관련하여 기술된 것과 동일한 두 개의 상이한 모드로 동작한다. 따라서, 제1모드는 메모리 셀(118)이 데이터 값을 유지하는 비엑세스 또는 저장 모드이다. 메모리 셀(118)의 제2동작 모드는 이전 정보가 메모리 셀(118)로부터 판독되거나 메모리 셀(118)에 기입되는 액세스 모드이다.

비엑세스 모드 또는 저장 모드에서, 트랜지스터(142 및 144)와 트랜지스터(160 및 162)의 트랜지스터쌍들은 각각 스위칭된 캐패시티브 구조로 동작한다. 특히 이 모드 동안, 클럭 신호 " $\phi 1$ " 및 " $\phi 2$ "는 클럭 신호 " $\phi 2$ "가 로우인 동안 클럭 신호 " $\phi 1$ "은 하이가 되도록 및 그 반대가 되도록 제어 회로(119)에 의해 교번하게 된다. 따라서, 클럭 신호 " $\phi 1$ "이 하일 때, 트랜지스터(142 및 162)는 온이고 트랜지스터(144 및 160)은 오프이다. 그후, 클럭 신호들은 교번하여서, " $\phi 1$ "이 로우로 가서 트랜지스터(142 및 162)를 턴오프하는 동안 " $\phi 2$ "는 하이가 되어 트랜지스터(144 및 160)을 턴온한다. 이와 같은 방식으로, 비트선(140)과 제1노드(126) 사이와 반전된 비트선(158)과 제2노드(130) 사이에 접속된 각 트랜지스터쌍들은 다음으로 근사되는 등가 저항을 제공한다.

[수학적 식 1]

$$R = \frac{1}{fC}$$

여기에서, R은 스위칭된 트랜지스터쌍의 등가 저항 ; f는 클럭 신호 " $\phi 1$ " 및 " $\phi 2$ "의 주파수 ; 및 c는 기생 캐패시터(145 또는 163)의 캐패시턴스..

따라서, 위로부터 주지해야 할 것은 비엑세스 동작 모드 동안 트랜지스터(142 및 144)와 트랜지스터(160 및 162)를 포함하는 각 트랜지스터쌍들이 비트선(140)과 제1노드(126) 사이와 반전된 비트선(158)과 제2노드(130) 사이에 등가 저항을 제공한다는 것이다.

더욱이, 비엑세스 모드동안 제어 회로(119)는 비트선(140)과 반전된 비트선(158) 모두를 공급 전압Vdd에 접속한다. 따라서, 전하는 두선(140 및 158)로부터 스위칭된 트랜지스터쌍들을 통해 각각 제1 및 제2노드(126 및 130)으로 전달된다.

저항 R은 주파수의 함수이기 때문에, 저항을 원하는 대로 조정하기 위하여 논리회로가 제공될 수 있다. 특히, 저항은 온도의 변화와 함께 유리하게 조정될 수 도 있다. 따라서, 더 높은 디바이스 온도에 더 낮은 저항을 제공하기 위하여 주파수는 높아질 수 있다.

이와 같은 높은 온도는 각 셀에 대해 더 큰 전류 누설을 일으키고, 따라서 전원 전압 Vdd로부터 더 많은 양의 전류를 필요로 함으로써 더 작은 저항이 이와같은 부가적인 전류를 제공할 것이다. 이와 반대로, 더 낮은 디바이스 온도에 대해 더 큰 저항을 제공하기 위하여 주파수는 낮춰질 수 있다. 주파수를 조정하기 위해 사용되는 논리회로는 메모리 셀들의 어레이와 동일한 칩상에 용이하게 제공된다.

제2 또는 액세스 동작 모드 동안, 트랜지스터(142 및 144)와 트랜지스터(160 및 162)를 포함하는 각 트랜지스터쌍은 제2도와 관련하여 기술된 것과 동일한 방식으로 패스 트랜지스터로 동작한다.

특히 액세스 모드 동안, 클럭 신호 " $\phi 1$ " 및 " $\phi 2$ "는 둘다 제어 회로(119)에 의해 하이 포텐셜에 유지된다., 따라서, 트랜지스터(142, 144, 160 및 162) 각각은 도통한다. 그리하여, 제1노드(126)은 비트선(140)에 접속되고 제2노드(130)은 반전된 비트선(158)에 접속된다. 제어회로(119)는 비트선(140)과 반전된 비트선(158)을 Vdd에 더 이상 유지하지 않는다. 그 대신, 액세스 모드 동안 두 선(140 및 158)은 본 분야의 기술에 공지된 것처럼 메모리 셀(118)을 판독/기입하기 위해 감지 앰프(192)에 의해 제어된다. 따라서, 액세스 모드 동안 비트선(140), 반전된 비트선(158) 및 감지 앰프(192)를 이용하여 데이터가 상기 셀에 기입되거나 셀로부터 판독될 수 있다.

상술한 바로부터 주지해야 할 것은 본 발명이 트랜지스터(142 및 144)와 트랜지스터(160 및 162)를 포함하는 이중 목적 트랜지스터쌍들을 가진 메모리 셀을 제공한다는 것이다. 각 트랜지스터쌍은 메모리 셀의

두 개의 일반적인 동작 모드 동안 상이한 기능을 수행한다. 특히, 비엑세스 동작 모드 동안 각 트랜지스터쌍은 메모리의 각 비트선과 노드 사이에 등가 저항을 제공한다. 제2 또는 액세스 동작 모드 동안, 각 트랜지스터쌍은 메모리 셀로부터 판독하거나 메모리 셀에 기입하기 위한 액세스를 제공하기 위하여 등가의 패스 트랜지스터로서 동작한다. 트랜지스터쌍들의 기능의 이와 같은 이중성은 상기 트랜지스터쌍들에 의해 수행되는 두 기능들 각각에 대해 개선된 잇점을 제공한다. 예를 들면, 제1트랜지스터들이 등가 저항으로 동작하는 제1모드 동안, 스위칭된 트랜지스터쌍들의 사용은 디바이스 크기의 축소 및 좁은 면적 내에 저항기를 제조할 필요없는 저항의 실현을 허용한다. 제2 또는 액세스 동작 모드 동안 동일 트랜지스터쌍들을 패스 트랜지스터들로 사용함으로써 셀에 사용되는 트랜지스터들의 수를 전체적으로 줄이는 것이 달성된다.

더욱이, 각 셀의 전원 전압으로의 독립적인 외부 접속은 필요하지 않고, 따라서 외부 상호접속의 수는 상당히 줄어든다. 이와같은 외부 접속의 감소는 디바이스 효율을 증가시키고, 디바이스 크기와 누설을 감소시키고 디바이스 제조의 용이함과 비용을 개선시킨다.

제4a도는 전체적으로 (198)로 표시된 셀들의 어레이의 도식을 도시하고 있다. 간단하게 하기 위하여, 각 셀은 "C"로 표시된다.

설명을 위하여 어레이(198)은 각 셀이 그 행과 열의 위치가 괄호로 표시되어[즉, (행, 열)] 있는 전형적인 행렬형식으로 4개 행의 셀들과 4개 열의 셀들을 갖는 것으로 도시되어 있다. 이해되어야 할 것을 어레이(198)은 본 분야의 기술에 숙달된 자에 의해 요구되는 어떠한 수의 셀들도 포함할 수 있다는 것이다. 어레이(198)의 각 행은 WL1 및 WL2로 표시된 한쌍의 워드선들을 포함한다. 설명을 위해 제1어레이 행의 워드선들은 "A"로 표시되고, 제2행을 위한 워드선들은 "B"로 표시되는 식이다. 워드선들은 클럭 신호 "ø1"과 "ø2"가 제3도와 관련하여 상술된 것처럼 어레이(198)의 임의의 주어진 행 내에 있는 각 셀에 접속되도록 한다. 따라서, WL1과 WL2는 주어진 행의 각 셀이 액세스되도록 액세스 모드 동안 하이로 유지될 수 있다. 선택적으로, WL1 및 WL2는 상기 행의 각 메모리 셀이 데이터 값을 유지하는 비 액세스 또는 저장 모드에서 비중첩 방식으로 클럭될 수 있다.

제4a도의 설명으로부터 주지해야 할 것은 주어진 행의 WL1과 WL2가 교대로 클럭되는 액세스 모드 동안 상기 행의 각 셀은 각자의 비트선 및 반전된 비트선 상에 로드할 것인 점이다. 따라서, 도시된 예에서 만약 셀들의 제1행이 액세스 모드에 있으면 상당한 전류 유출이 셀들의 상기 행에 접속된 각 비트선과 반전된 비트선들로부터 도출된 전류의 축적효과로부터 발생한 것이다.

따라서, 이와 같은 축적 전류 유출이 감소되는 메커니즘을 제공하는 것이 바람직하다. 본 발명의 추가적인 측면은 그와 같은 메커니즘을 제공하는데, 이하에서 상세히 기술된다.

제4b도는 워드선 접속은 없지만 이하에 명백한 목적들을 위한 비트선 접속들을 갖는 어레이(198)의 도식이 도시되어 있다. 제4a도를 참조하여 상술된 것처럼, 어레이(198)내의 셀은 동일 행의 나머지 셀들과 함께 액세스된다. 따라서, 동일 열 내에서 서로 인접하고 있는 두 셀은 동시에 액세스되지 않는다. 그리하여, 일일 열 내에 있는 두 셀이 다른 셀의 동작을 방해함이 없이 동일 비트선과 반전된 비트선을 접촉하는 것이 허용된다. 따라서, 하나의 접촉 지점(200)은 서로 인접해 있고 일 열 내에 있는 두 셀을 위한 비트선 또는 반전된 비트선 중 하나에의 접촉이다. 그리하여, 셀(1,1)과 셀(2,1)은 비트선이 나 반전된 비트선에의 각각 필요한 접촉을 위해 접촉 지점(200)으로부터 관련 셀 쪽으로 그려진 선들로 제4b도에 도시되어 있다.

접촉 공유의 결과, 하나의 셀은 비트선 또는 반전된 비트선에의 각각의 접촉을 위해서 단지 "1/2 접촉"만 요구된다고 언급된다.

어욱이, 각 셀이 바트선으로의 1/2 접촉을 필요로 하고 반전된 비트선으로의 1/2 접촉을 필요로 하기 때문에, 각 셀은 한 셀당 총 한 개의 접촉을 필요로 한다고 언급된다. 이 개념은 이하에서 제4c도에서 더 설명된다. 접촉(200)은 양호하게 금속 접촉부이고, 아래에서 제11a도 및 제11b도를 참조하여 더 상세하게 기술된다.

제4c도는 어레이(198)의 첫 두행과 첫 세열을 전체적인 레이아웃 형식으로 도시하고 있다. 제4c도로부터 다시 주지해야 할 것은 각 쌍의 셀들이 한 쌍의 접촉부들을 공유하고 따라서 각 셀은 총 한 개의 접촉부(즉, 2X1/2 접촉부)를 필요로 한다는 것이다. 제4c도는 어레이(198) 내의 각 셀에 대한 공간적 요구 사항을 더 도시하고 있다. 특히, 각 비트선 또는 반전된 비트선은 본 분야의 기술에 공지된 것처럼 1 "금속 폭"을 연장한다고 언급되는 금속선을 요구한다. 각 금속선을 평행 금속선으로부터 1 "금속 간격"만큼 떨어져야 하는데 금속 간격은 전형적으로 금속선과 동일한 폭이다.

따라서, 주지해야 할 것은 단일 셀은 2 금속폭과 2 금속간격의 총 면적을 차지한다는 것이다. 그리하여, 제4a도 내지 제4c도에 도시된 원리에 따라 제조된 셀들의 완전한 레이아웃에 대해 각 셀은 상기 셀의 요구 조건들은 전적으로 수용하기 위하여 2 금속 간격, 2 금속선 및 1 접촉부의 누적적인 요구 조건들을 갖는다. 다음의 제5a도 내지 제5c도는 어레이(198)내의 각 셀에 대한 금속간격, 금속선 및 접촉 요구 조건들을 더 줄이기 위하여 본 발명에 포함된 추가적인 발명의 개념들을 도시하고 있다.

제5도는 전체적으로 (202)로 표시된 셀들의 어레이를 도시하고 있다. 다시, 어레이(200)은 행렬 형식으로 조직된 셀들을 포함하고, 이 어레이 내의 각 셀은 행과 열의 위치로 표시된다. 비트선들은 간단하게 하기 위해 제5a도에는 도시되어 있지 않지만, 이하의 제5b도 및 제5c도를 참조하여 상세하게 기술될 것이다. 어레이(202) 내의 각 셀은 다시 2개의 관련 워드선들을 갖고 있지만, 워드선들을 제4a도에 도시된 것처럼 평행하게 움직이기 보다는 제5a도에 있는 워드선들은 서로 수직이다. 셀은 "교차 지점"참조에 의해, 즉 셀의 상기 지점에서 교차하는 두 워드선을 이용함으로써 두 모드 중 하나(특, 액세스 또는 저장)에 위치된다. 예를 들면, 셀c(1,1)은 WL1A와 WL2B의 조합에 의해 두 모드 중 하나에 위치된다. 그리하여, 주지해야 할 것은 제5a도에 도시된 구조는 상술된 평행 워드선들과 반대로 수직 워드선들을 이용하여 특정 셀에의 액세스 또는 저장을 허용한다는 것이다. 그 결과, 어레이(202) 내의 단 하나의 셀만이 임의의 시간에 액세스 모드 또는 저장 모드에 있게 된다. 따라서, 동일 행 또는 동일 열에서든지 두 개의 인접 셀들이 동시에 액세스 또는 저장 모드에 있는 경우는 없다. 이하에서 명백해지겠지만, 동시에

액세스되거나 저장되는 셀 수의 감소는 전체적인 셀 크기의 감소를 가능하게 하고, 회로 제조 기술 상의 제약 요소들을 개선한다. 이 축소된 셀 크기는 어레이의 전체적인 크기를 더 줄인다. 이에 더하여, 종래 기술처럼 한 무리 또는 한 행의 셀들에 비해 한 번에 단 하나의 셀만이 액세스되기 때문에 어레이의 활성 전력 소비가 감소된다.

제5b도는 제5a도에 기술된 워드선들을 갖지는 않지만 어레이의 셀들을 완성시키기 위해 필요한 비트선들이 부가된 어레이(202)를 도시하고 있다. 어레이 내의 각 셀은 접촉 지점(204)에 의해 각 비트선 및 반전된 비트선에 접속된다. 제5a도에 관련하여 상술된 것처럼, 수직 워드선들의 사용에 의해 한 열에서 인접하거나 한 행에서 인접한 두셀이 한 번에 액세스 될 수 없다. 그 결과, 단일 비트선 또는 반전된 비트선은 4개의 다른 셀 들에 접속될 수 있다. 예를 들면, 셀C(1,1), C(1,2), C(2,1) 및 C(2,2)를 포함하는 사각을 이루는 4개의 셀에서, 주지해야 할 것은 이 4개의 셀들 중 단 하나만이 한 번에 액세스된다는 것이다. 그 결과, 각 셀은 하나의 셀이 활성화되는(즉, 액세스되거나 저장되는) 동안 다른 3개의 셀에 유해한 영향을 끼치지 않고서 동일한 반전된 비트선을 공유할 수 있다.

그리하여, 주지해야 할 것은 각 접촉 지점(204)가 4개의 상이한 셀들을 다룬다는 것이다. 그 결과, 각 셀은 비트선 또는 반전된 비트선에 접속하기 위하여 1/4의 접촉 지점만을 필요로 한다고 할 수 있다. 그리하여, 각 셀은 비트선과 반전된 비트선 모두에 필요한 접속을 완성하기 위해서 총 1/2(즉, $2 \times 1/4$)의 접촉부를 필요로 한다. 이하 제5c도에서 기술되는 것처럼, 이와 같이 감소된 수의 비트선들과 접촉부들은 전체적인 셀 및 어레이 크기를 감소시킨다.

제5c도는 제4c도와 유사하게 어레이(202)의 행1 내지의 첫 3개 셀의 공간 배치도를 도시하고 있다. 그러나, 제5b도와 관련하여 기술된 것처럼, 단일 접촉 지점(204)는 4개의 상이한 셀들을 위한 접속을 제공한다. 이에 더하여, 단일 비트선은 비트선 양쪽에 한 쌍의 셀들을 다루기 때문에 셀당 각 비트선의 단지 1/2만이 필요하다. 그 결과 각 셀은 셀당 단일 금속선(즉, $2 \times 1/2$)만을 필요로 한다고 언급된다. 셀당 금속선 폭들의 수의 감소는 셀당 금속선 간격들의 수를 더 줄여서, 각 셀은 도시된 것처럼 단 하나의 금속선 간격만을 요구하게 된다. 그 결과, 제 5a도 내지 제5c도의 실시예에서의 각 셀은 하나의 금속선 폭, 하나의 금속선 간격 및 1/2의 금속 접촉부를 필요로 한다. 그 결과, 셀의 전체적인 크기는 그 제조의 복잡성과 함께 상당히 감소될 수 있다.

제6a도 및 제6b도는 본 발명에 따라 셀들 제조함에 있어서의 필요한 면적과 복잡성을 더욱 최소화하기 위해 본 발명과 함께 사용된 부가적인 발명의 측면을 도시하고 있다. 특히, 제6a도는 제3도에 도시된 교차 결합된 트랜지스터(120 및 122)를 도시하고 있다. 노드(126)은 직렬 접속 트랜지스터쌍(142 및 144)를 통해 비트선(140 ; 도시되지 않음)에 접속되어 있고 노드(130)은 직렬 접속 트랜지스터쌍(160 및 162)를 통해 반전된 비트선(158)에 접속되어 있었다. 트랜지스터(120 및 122)의 게이트(128 및 136)의 교차 결합은 제6a도에 도시된 것처럼 제조되었다면 이 접속을 만드는데 사용되는 필요한 상호 접속 재질의 실질적인 교차를 필요로 한다.

전형적으로, 이 접속은 게이트(136)을 노드(126)에, 그리고 게이트(128)을 노드(130)에 접속하기 위해 별개의 금속층들을 사용함으로써 형성된다. 별개의 금속층들의 사용은 각 금속층을 제조하기 위한 별개의 독립적인 처리 단계를 필요로 한다. 더욱이, 한 층이 다른 층위에 놓여야 하므로 상기의 제조는 2개의 층과 이 둘 사이에 형성되는 전형적인 절연층을 수용하기 위해 높이가 더 높은 디바이스를 필요로 한다. 그러나, 제6도는 본 발명 안에 포함되고, 트랜지스터(120 및 122)를 교차 결합시키기 위한 금속층들을 횡단할 필요성을 제거하기 위해 사용되는 대체 상호 접속법을 도시하고 있다.

제6b도는 제6a도에 도시된 교차 결합된 트랜지스터(120 및 122)를 위한 대체 레이아웃 포맷의 간략도를 도시하고 있다. 특히, 제6b도에 도시된 것으로부터 주지해야 할 것은 두 개의 교차 결합된 트랜지스터들 중 하나[및 상기 특정 도시에서 트랜지스터(122)]가 제6a도에 도시된 것처럼 한 트랜지스터 게이트의 상대 트랜지스터 소오스/드레인으로의 교차 접속이 서로 교차되지 않고 평행하게 놓이도록 반전될 수 있다는 것이다. 교차 결합된 트랜지스터(120 및 122)를 상호 접속하기 위해 교차 접속 대신 평행 접속을 사용하면 제6a도와 관련하여 기술된 것과 같이 다중 금속층 사용을 제거할 수 있다. 그 결과, 트랜지스터(120 및 122)사이의 상호 접속을 제조는 두 개의 상호 접속을 형성하기 위해 단 한 번의 처리만이 필요하고, 두 트랜지스터 사이의 두 개의 상호 접속을 형성하기 위해 단일 층이 사용되어서 전체적인 디바이스 크기가 줄어들기 때문에 상당히 개선된다. 이와 같은 평행 교차 결합의 특정한 장점들은 이하의 제7a도 내지 제11b도의 기술에서 더 명백해질 것이다.

제7a도 내지 제11a도는 본 발명에 따라 메모리 셀들의 어레이를 제조하기 위한 양호한 제조 과정의 상면도들을 도시하고 있다. 제7b도 내지 제11b도는 제7a도 내지 제11a도에 도시된 상면도의 단면도를 도시하고 있다. 설명을 간략하게 하기 위하여 상기 단면도들은 본 발명에 따라 제조된 셀의 1/2의 구조를 도시할 것이다. 특히, 상기 단면도들은 하나의 교차 결합된 트랜지스터와 그와 관련된 직렬 접속 트랜지스터 쌍의 구조를 도시하고 있다.

제7a도는 전체적으로 (206)으로 표시된 어레이 영역의 상면도를 도시하고 있다. 어레이 영역(206)은 본 발명에 따라 셀들의 어레이를 제조하는 것이 바람직한 영역이다. 일군의 모우트(moat) 영역은 어레이 영역(208) 내에 규정된다. 모우트 영역(208)은 활성 디바이스들을 만들려고 하는 영역들이다. 전형적으로 모우트 영역(208)들은 전체적으로 (210)으로 표시된 필드 절연 영역을 패터닝하거나 에칭 함으로써 노출되는 반도체 영역들이다. 따라서, 필드 절연 영역(210)의 패터닝 및 에칭은 활성 디바이스들(즉, 지금의 예에서 메모리 셀들)이 제조되는 모우트 영역(208)을 규정하는 반도체 영역들을 노출시킨다.

제7b도는 제7a도의 선 7B-7B에 따른 단면도를 도시하고 있다. 제7b도의 토시도로부터 주지해야 할 것은 반도체 영역이 그안에 형성된 매립 확산 영역(214)를 갖고 있는 반도체 기판(212)를 포함한다는 것이다. 에피택셜 반도체 층(216)은 반도체 기판(212)상에 형성된다. 양호한 실시예에서, 반도체 기판(212)는 P-기판이다.

매립 확산 영역(214)는 반도체 기판(212)내에 N++층을 확산함으로써 형성된다. 더 특정하게는, 매립 확산 영역(214)는 안티몬을 $1 \times 10^{15} / \text{cm}^2$ 의 양으로 주입하고 1000°C에서 1시간 동안 어닐링으로써 형성된다.

이와 같은 입양 및 에너지는 $2 \times 10^{16} / \text{cm}^2$ 정도의 이온 농도가 되나, 에피택셜 반도체 층(216)은 1μ 정도의 두께로 반도체 기판(212) 상에 성장된다.

양호하게 N+ 확산 영역의 매립 확산 영역 접촉부(218)은 에피택셜 반도체 층(216)을 통해 연장하여 매립 확산 영역(214)에 접촉한다. 접촉부(218)을 에피택셜 반도체 층(216)을 패터닝하고 1×10^{16} 의 양과 100Kev의 에너지로 인과 같은 N+물질을 주입함으로써 형성된다. 그후, 상기 도우펀트들은 에피택셜 반도체 층(216)을 통해 충분히 연장하여 매립 확산 영역(214)를 접촉하도록 구동된다. 양호한 실시예에서, 접촉부(218)은 1989년 12월 1일에 로저 하켄 및 로버트 에이치, 에클런드에 의해 "트렌치 접속 및 수직 트랜지스터 게이트를 동시에 형성하기 위한 처리 및 구조"란 명칭으로 출원되어 계류중인 미 합중국 특허 출원 제 444,508호에 개시된 것과 같이 제조되는데, 이는 본 발명에서 참조된다. 매립 확산 영역(218)은 매립 확산 영역(214)에 전기 접촉부를 만들기 위해 사용된다. 그러나, 이해되어야 할 것은 접촉(218)이 개별 메모리 셀의 일부가 아니고, 오히려 이하에 상세하게 설명되겠지만 단지 매립 확산 영역(214)에 전기 접촉부를 제공하기 위해 필요하다는 것이다. 또 주목해야 할 점은 접촉부(218)이 셀 구성요소들의 나머지들로부터 형성될 수 있지만 도시를 위해 근사한 형태로 도시되었다는 것이다.

트랜지스터 문턱 전압 영역(220)은 에피택셜 반도체 층(216)내에 선택적으로 형성된다. 영역(220)은 패터닝과, $5 \times 10^{11} / \text{cm}^2$ 정도의 붕소로 에피택셜 반도체 층(216)을 주입함으로써 형성된다.

영역(220)은 만약 사용된다면 직렬 접속 트랜지스터들이 에피택셜 반도체 층(216)에 형성되도록 문턱 전압을 조정하는 기능을 할 것이다. 절연층(222)은 에피택셜 반도체 층(216)의 표면에 형성된다. 절연층(222)은 전형적으로 두께 250 \AA 정도의 성장 산화물을 포함한다.

제8a도는 제1게이트 도체 영역(224)의 형성 후 어레이 영역(206)의 평면도를 도시하고 있다. 도시된 것처럼, 제1게이트 도체 영역(224)은 모우트 영역(208)과 평행하게 연장하여 제1게이트 도체 영역(224)로부터 모우트 영역(208) 위로 수직하게 연장하는 게이트 도체 연장부(226)를 포함한다. 게이트 도체 영역(208)과 연장부(226)는 폭 0.8μ 정도이다. 제1게이트 도체 영역(224)과 도체 연장부(226)의 부가적인 제조 세부 사항은 제8b도와 관련하여 이하에서 상세히 기술된다.

제8b도는 게이트 도체 연장부(226)의 형성을 나타내는 어레이(206)의 단면도를 도시하고 있다. 게이트 도체 연장부(226)는 절연층(222) 위에 폴리실리콘층을 피착한 뒤, 게이트 도체 절연체(228)를 덮고 있는 게이트 도체 연장부(226)를 형성하기 위한 상기 조합의 에칭에 의해 형성된다. 이하에서 더 명백해지겠지만, 게이트 도체(226)은 제3도와 관련하여 기술된 두 개의 직렬 접속 트랜지스터들 중 하나의 게이트로 동작할 수 있을 것이다.

트렌치 트랜지스터 소오스/드레인 영역(230)은 에피택셜 반도체층 (216)내에 형성된다. 트렌치 트랜지스터 소오스/드레인 영역(230)은 먼저 에피택셜 반도체 층(216)을 패터닝한 뒤, $5 \times 10^{15} / \text{cm}^2$ 정도의 에너지 레벨로 인 또는 비소와 같은 N형 도우펀트를 주입함으로써 양호하게 형성된다. 상기 주입된 영역은 900°C 에서 30분 동안 열적으로 어닐링된다. 트렌치 트랜지스터 소오스/드레인 영역(230)은 상기 두 개의 교차 결합 트랜지스터들 중 하나를 위한 두 개의 소오스/드레인 영역들 중 하나를 형성할 것이다.

트렌치 트랜지스터 소오스/드레인 영역(230)의 형성을 뒤이어 트렌치(232)는 에피택셜 반도체 층 (216)과 소오스/드레인 영역(230)을 통해 들어간다. 트렌치(232)는 매립 확산 영역(214)내에 약간 연장할 수 있다. 전형적으로, 트렌치(232)는 에피택셜 반도체층(216)을 패터닝하여 그를 통해 트렌치(232)를 에칭함으로써 형성된다. 트렌치 트랜지스터 문턱 전압영역(234)는 트렌치(232)의 측부들을 따라 선택적으로 형성된다. 문턱 전압 영역(234)는 트렌치(232)의 측부들로의 경사진 이온 주입에 의해 형성된다. 문턱 전압 영역(234)는 트렌치(232)의 측부들로의 경사진 이온 주입에 의해 형성된다. 상기 주입의 양과 에너지는 트렌치 트랜지스터의 문턱 전압을 트렌치(232) 내에 형성되도록 조정하기 위하여 본 분야의 기술에 숙련된 자에 의해 선택될 수 있다.

절연층(236)은 제8b도에 도시된 전 구조의 위에 형성되고, 따라서 에피택셜 반도체 층(216)위에 형성하여 트렌치(232)내에 현장한다. 양호한 실시예에 있어서, 절연층(236)은 산화물 층의 성장에 의해 형성된다. 일반적으로, 산화물 층은 두께가 250 \AA 정도이지만, 주목해야 할 것은 절연층이 두께로 도우핑된 영역 [예를 들면, 트렌치 트랜지스터 소오스/드레인 영역(230)과 매립 확산 영역 접촉부(218)]를 덮으면서 형성하는 영역에서, 절연층(236)의 두께는 제8b도에 도시된 것처럼 상당히 증가될 것이다. 제9a도는 제2게이트 도체 영역(238)과 트렌치 트랜지스터 게이트 영역(240)의 부가를 뒤따르는 어레이 영역(206)의 상면도를 도시하고 있다. 제9a도로부터 지지해야 할 것은 제2게이트 도체 영역(238)이 제1게이트 도체 영역(224)에 수직하다는 것이다. 이와 같은 전체적인 수직 관계는 제4a도 내지 제5c도와 관련하여 상술된 장점들을 가져온다. 제2게이트 도체 영역(238)과 트렌치 트랜지스터 게이트 영역(240)의 특정한 제조는 제9b도를 참조하여 이하에서 상세하게 기술된다.

제9b도는 제2게이트 도체 영역(238)과 트렌치 트랜지스터 게이트 영역(240)을 포함하여 제9a도의 어레이(206)의 단면도를 도시하고 있다. 제2게이트 도체 영역(238)과 게이트 영역(240)은 다음과 같이 동시에 처리에서 형성된다. 두께 5500 \AA 정도의 폴리실리콘층을 제8b도의 전체 구조 상에 피착된다. 이 폴리실리콘층은 요구되는 영역들에 폴리실리콘 영역을 형성하기 위하여, 더 특정하게는 게이트 도체 연장부(226)과 인접한 제2게이트 도체 영역(238)과 트렌치(232) 내에 트렌치 트랜지스터 게이트 영역(240)을 형성하기 위하여 패터닝되고 에칭된다. 제2게이트 도체 영역(238)과 트렌치 트랜지스터 게이트 영역(240)의 형성 후에, 가법적 도우핑된 드레인(LDD) 영역(242 및 244)는 각각 게이트 도체 연장부(226, 248 및 250)는 게이트 도체 영역(238)과 게이트 영역(240)의 형성을 뒤이어 형성된다. 양호한 실시예에 있어서, 측벽 스페이서(246, 248 및 250)는 전체 구조 상에 두께 2000 \AA 정도로 산화물 층을 피착하고 스페이서(246, 248 및 250)를 남기도록 상기층을 비등방적으로 에칭함으로써 형성된다. 주입된 소오스/드레인 영역(252 및 254)는 이중 주입 과정에 의해 양호하게 형성된다. 이 과정은 $4 \times 10^{14} / \text{cm}^2$ 정도의 도우펀트 레벨로 인과 같은 N+도우펀트를 주입한 뒤에, $5 \times 10^{15} / \text{cm}^2$ 정도의 도우펀트 레벨로 비소를 주입하는 것을 포함한다. 그후, 온도 900°C 에서 30분 동안의 어닐링 과정이 주입된 소오스/드레인 영역(252

및 254)를 형성하는데 사용된 도우펀트들을 더 주입하기 위해 사용될 수 있다. 주입된 소오스/드레인 영역(252 및 254)는 직렬 접속 트랜지스터쌍을 위한 상대 소오스/드레인 영역으로 동작할 수 있다. 그리하여, 소오스/드레인 영역(252)가 교차 결합된 트랜지스터의 한쪽 소오스/드레인과 상대 교차 결합된 트랜지스터의 게이트 모두가 접속되는 반면에, 소오스/드레인(254)는 비트선(또는 반전된 비트선)에 접속될 수 있다.

제10a도는 국부적인 상호 접속 영역(256 및 258)의 형성을 뒤따르는 어레이(206)의 상면도를 도시하고 있다. 국부적인 상호 접속 영역(256 및 258)은 제6a도 및 제6b도와 관련하여 상술된 "평행 교차 결합" 효과를 제공한다. 국부적 상호 접속 영역(256 및 258)의 형성을 제10b도와 관련하여 이하에 상세히 기술된다.

제10b도는 제10a도의 어레이(206)의 단면도를 도시하고 있다. 디글레이즈 단계는 노출된 산화물의 두께를 감소시키고, 특히 전기 접촉부가 만들어지도록 주입된 소오스/드레인 영역(252)를 노출한다. 그후, 1000Å 정도의 티타늄 층(도시되지 않음)이 상기 전체 구조 상에 피착되고 600°C 정도의 온도에서 반응된다. 상기 반응된 티타늄 층은 상기 노출된 주입 소오스/드레인 영역(252)가 제10b도에 도시되어 있지 않은 셀의 다른 반쪽의 일부인 트렌치 트랜지스터 트렌치 트랜지스터 게이트 영역에 평행 교차 결합으로 접속되도록 패터닝되고 에칭된다. 제10a도의 투시도는 제1상호 접속 영역(256)이 제1모우트 영역에서 반대편 모우트 영역에 있는 트렌치 트랜지스터 게이트 상에 형성된 국부적 상호 접속 영역(256) 쪽으로 연장하여 접속한다는 점에서 이 접속을 도시하고 있다. 동시에 반대의 방식으로, 제2상호 접속 영역(258)은 제1상호 접속 영역(256)에 평행하게 형성되고 제2모우트 영역에 있는 트렌치 트랜지스터의 게이트 영역을 제1모우트 영역에 있는 트렌치 트랜지스터의 소오스/드레인에 접속시킨다. 그리하여, 한쪽 트렌치 트랜지스터의 소오스/드레인은 반대편 트렌치 트랜지스터(제10b도에 도시되지 않음)의 게이트에 접속되고, 이로 인하여 제6b도에 도시된 효과적인 상호 결합을 달성하게 된다. 또 주목해야 할 것은 제2의 어닐링이 국부적 상호 접속 영역(256 및 258)의 전기 저항을 낮추기 위해 수행될 수 있다.

절연층(260)은 제10b도에 도시되어 있는 전체 구조를 덮으면서 형성된다. 양호한 실시예에 있어서, 절연층(260)은 두께 8000Å 정도로 피착된 산화물 층을 포함한다. 절연층(260)이 피착된 후, 평평한 디바이스 구조를 촉진시키기 위하여 재처리될 수 있다.

제11a도는 비트선(262) 및 접촉부(264)의 부가를 뒤따르는 어레이(202)의 상면도를 도시하고 있다. 비트선(262)은 제3도를 참조하여 상술된 것처럼 필요한 접속들을 제공한다. 더욱이, 제 5a도 내지 제5c도에 상세히 기술된 것처럼 비트선(262)은 각 셀이 셀당 단지 총 1 금속폭(특, 2X1/2 금속폭)만을 요구하도록 공유된다.

비트선(262) 및 접촉부(264)의 제조는 제11b도에 관련하여 이하에서 기술된다.

제11b도는 비트선(262) 및 접촉부(264)를 포함하는 제11a도의 단면도를 도시하고 있다. 접촉부(264)는 제11a도의 11B-11B의 절단선의 후방에 형성되기 때문에 절단되어 도시된다. 절연층(260)은 표면에서부터 주입된 소오스/드레인 영역(254)까지 관통하여 홀이 형성되도록 패터닝되고 에칭된다. 그후, 금속층이 상기 전체 구조상에 피착된다. 이 금속층은 비트선(262)과 금속 접촉부(264)를 형성하도록 패터닝되고 에칭된다. 제11b도에 도시된 투시도로부터 주지해야 할 것은 비트선(262)과 금속 접촉부(264)가 실질적으로 접속하는 하나의 금속편이지만 설명을 위해 두 개의 별개 참조 부호로 표시되었다는 것이다. 더욱이 제3도를 다시 볼 때 주지해야 할 것은 접촉부(264)가 비트선(140) 또는 반전된 비트선(158)의 직렬 트랜지스터쌍에 있는 제1트랜지스터 제1소오스/드레인(즉, (146) 또는 (164))로의 접속을 나타낸다는 것이다.

주목해야 할 것은 제3도에 도시된 부가적인 접속들이 각 셀당으로 제조될 필요가 없으며, 따라서 제11b도에 도시되어 있지 않다는 것이다. 그럼에도 불구하고, 본 분야의 기술에서 이해되는 것처럼, 게이트 도체 영역(226 및 238)은 상기 어레이를 횡단하여 연장하고, 그곳의 여러 지점에서 접촉될 수 있다. 더욱이, 매립 확산 영역(214)는 트렌치 트랜지스터로의 제2 소오스/드레인으로서 [소오스/드레인(230)와 반대로] 동작한다. 따라서, 이 영역은 본 분야의 기술에 공지된 것과 같은 방식으로 접촉부(218)를 접촉함으로써 접속된다.

제1a도 내지 제11b도로부터 주지해야 할 것은 단지 수직의 기하학적 관계만이 본 발명으로 양호하게 구현된다는 것이다. 따라서, 그렇지 않았을 경우 추가의 상단한 표면적을 필요로 하게 되는경사(즉, 45° 각도), 또는 굴곡 같은 것은 존재하지 않는다. 그 결과, 본 발명에 따라 제조된 셀들의 집적 밀도는 획기적으로 증가된다.

본 발명이 상세히 기술되었지만 이해되어야 할 것은 첨부된 특허 청구의 범위에 의해 정의된 본 발명의 원리 및 범위를 벗어나지 않고서도 다양한 대체, 수정 및 변경이 가해질 수 있다는 것이다.

예를 들면, 여러 중간 접속들은 상기 발명의 구조에 영향을 주지 않고 상술된 디바이스들에 가해질 수 있다. 따라서, 제1구조는 제2구조에 상술된 것처럼 직접 접속되지 않고 중간 구조를 통해 접속될 수 있다. 부가적인 예를 들면, 재질들에 있어서 다양한 대체는 본 분야의 기술에 숙달된 자들에 의해 이루어질 수 있지만 그것은 다음의 특허 청구의 범위에 의해 정의된 발명에서 벗어나지 않을 것이다.

(57) 청구의 범위

청구항 1

각 셀이 두 개의 모드로 동작 가능하고 상기 두 개의 모드 각각이 제1 및 제2신호의 결합을 통해 이루어지는 다수의 셀; 상기 제1신호를 전송하도록 동작 가능한 제1도선 : 상기 제1도선과 거의 직교하며 상기 제2신호를 전송하도록 동작 가능한 제2도선을 포함하는 것을 특징으로 하는 메모리 어레이.

청구항 2

제1항에 있어서, 상기 제1도선이 상기 제2도선에 거의 평행하게 놓이는 직교 연장부들을 포함하는 것을

특징으로 하는 메모리 어레이.

청구항 3

제1항에 있어서, 상기 각 셀들은 제2디바이스에 교차 결합된 제1디바이스를 포함하고, 상기 제1디바이스의 제1터미널이 상기 제2디바이스의 제1터미널에 결합되고 상기 제1디바이스의 제2터미널이 상기 제2디바이스의 제2터미널에 결합되며, 상기 제1 및 제2결합이 서로 거의 평행한 것을 특징으로 하는 메모리 어레이.

청구항 4

제1항에 있어서, 상기 다수의 셀들 각각이, 제1직렬 결합된 트랜지스터 쌍, 제2직렬 결합된 트랜지스터 쌍, 및 상기 제1 및 제2직렬 결합된 트랜지스터쌍들 사이에 결합되어 있는 한 쌍의 교차 결합된 트랜지스터들을 포함하는 것을 특징으로 하는 메모리 어레이.

청구항 5

제1항에 있어서, 상기 다수의 셀들 각각이 제1 및 제2직렬 결합된 트랜지스터쌍을 포함하며, 상기 직렬 결합된 트랜지스터들 각각이 게이트 도선을 포함하고, 상기 제1트랜지스터의 상기 게이트 도선이 동일 평면에 있고 상기 제2트랜지스터의 상기 게이트 도선을 부분적으로 덮고 있는 것을 특징으로 하는 메모리 어레이.

청구항 6

제1항에 있어서, 상기 다수의 셀들 각각이 서로 교차 결합된 제1 및 제2트랜지스터를 포함하고, 상기 교차 결합된 트랜지스터들 각각이 트렌치 트랜지스터를 포함하는 것을 특징으로 하는 메모리 어레이.

청구항 7

제1항에 있어서, 상기 제1모드가 액세스 모드를 포함하고 상기 제2모드가 저장 모드를 포함하는 것을 특징으로 하는 메모리 어레이.

청구항 8

제1항에 있어서, 상기 제1모드가 액세스 모드를 포함하고 상기 제1 및 제2신호가 상기 제1모드 동안 비중점 클럭킹 신호를 포함하고, 상기 제2모드가 저장 모드를 포함하고 상기 제1 및 제2신호가 상기 제2모드 동안 하이 신호를 포함하는 것을 특징으로 하는 메모리 어레이.

청구항 9

일반적으로 행렬 방식으로 배열된 다수의 셀들을 포함하고 있는 메모리 어레이에 있어서, 각 셀이 두 개의 모드에서 동작 가능하고 상기 두 개의 모드 각각이 제1 및 제2신호의 결합을 통해 이루어지는 다수의 셀을 포함하고, 상기 셀들 각각이 제1직렬 결합된 트랜지스터 쌍; 제2직렬 결합된 트랜지스터 쌍; 및 상기 제1 및 제2직렬 결합된 트랜지스터쌍들 사이에 결합된 한 쌍의 교차 결합된 트랜지스터들; 상기 제1 신호2도선을 전송하도록 동작 가능한 제1도선; 및 상기 제1도선에 거의 직교하며 상기 제2신호를 전송하도록 동작 가능한 제2도선을 포함하고, 상기 제1도선이 상기 제2도선에 거의 평행하게 놓여 있는 직교 연장부를 포함하는 것을 특징으로 하는 메모리 어레이.

청구항 10

제9항에 있어서, 상기 교차 결합된 트랜지스터쌍이 제1 및 제2트랜지스터를 포함하고, 상기 제1 및 제2 트랜지스터 각각이 소오스/드레인, 게이트 도선을 포함하고, 상기 제1트랜지스터의 상기 게이트 도선이 상기 제2트랜지스터의 상기 소오스/드레인과 제1 접속에 의해 접속되고, 상기 제2트랜지스터의 상기 게이트 도선이 상기 제2트랜지스터의 상기 소오스/드레인과 제2접속에 의해 접속되는 것을 특징으로 하는 메모리 어레이.

청구항 11

제10항에 있어서, 상기 제1 및 제2접속들이 서로 거의 평행한 것을 특징으로 하는 메모리 어레이

청구항 12

제10항에 있어서, 상기 제1트랜지스터의 상기 게이트 도선이 공동 평면에 있고 상기 제2트랜지스터의 상기 게이트 도선을 부분적으로 덮는 것을 특징으로 하는 메모리 어레이

청구항 13

제9항에 있어서, 상기 교차 결합된 트랜지스터들 각각이 트렌치 트랜지스터를 포함하는 것을 특징으로 하는 메모리 어레이.

청구항 14

제9항에 있어서, 상기 제1도선에 평행하고 상기 제1신호를 전송하도록 동작 가능한 제1의 선정된 수의 도선들 및 상기 제2도선에 평행하고 상기 제2신호를 전송하도록 동작 가능한 제2의 선정된 수의 도선들을 더 포함하는 것을 특징으로 하는 메모리 어레이.

청구항 15

제14항에 있어서, 상기 제1의 선정된 수가 어레이의 행수 빼기(-) 1과 같고 상기 제2의 선정된 수가 상

기 어레이의 열수 빼기(-) 1과 같은 것을 특징으로 하는 메모리 어레이.

청구항 16

작 셀이 두 개의 모드로 동작 가능하고, 두 개의 모드 각각이 제1 및 제2신호의 결합을 통해 이루어지는 다수의 셀들을 형성하는 단계; 상기 제1신호를 전송하도록 동작 가능한 제1도선을 형성하는 단계; 및 상기 제1도선에 거의 직교하며 상기 제2신호를 전송하도록 동작 가능한 제2도선을 형성하는 단계를 포함하는 것을 특징으로 하는 메모리 어레이 형성 방법.

청구항 17

제16항에 있어서, 제1도선을 형성하는 상기 단계가 상기 제2도선에 거의 평행하게 놓이는 직교 연장부를 형성하는 단계를 포함하는 것을 특징으로 하는 메모리 어레이 형성 방법.

청구항 18

제16항에 있어서, 셀들을 형성하는 상기 단계가 제2디바이스에 교차 결합되어 있는 제1디바이스를 형성하는 단계를 포함하고, 상기 제1디바이스의 제1터미널이 상기 제2디바이스의 제1터미널에 결합되고, 상기 제1디바이스의 제2터미널이 상기 제2디바이스의 제2터미널에 결합되며, 상기 제1 및 제2결합들이 서로 거의 평행하게 형성되는 것을 특징으로 하는 메모리 어레이 형성 방법.

청구항 19

제16항에 있어서, 상기 셀들을 형성하는 상기 단계가, 제1직렬 결합된 트랜지스터 쌍을 형성하는 단계, 제2직렬 결합된 트랜지스터쌍을 형성하는 단계 및 상기 제1 및 제2직렬 결합된 트랜지스터쌍들 사이에 결합된 한 쌍의 교차 결합 트랜지스터들을 형성하는 단계를 포함하는 것을 특징으로 하는 메모리 어레이 형성 방법.

청구항 20

제19항에 있어서, 상기의 교차 결합된 트랜지스터쌍을 형성하는 상기 단계가 동시에 상기 교차 결합된 트랜지스터들 양자를 위한 게이트 도선을 형성하는 단계를 포함하는 것을 특징으로 하는 메모리 어레이 형성 방법.

청구항 21

제16항에 있어서, 상기 셀들을 형성하는 상기 단계가 제1 및 제2 직렬 결합된 트랜지스터쌍을 형성하는 단계를 포함하고, 상기 직렬 결합된 트랜지스터들 각각이 게이트 도선을 포함하고, 상기 제1트랜지스터의 상기 게이트 도선이 공동 평면에 있고, 상기 제2트랜지스터의 게이트 도선을 부분적으로 덮은 것을 특징으로하는 메모리 어레이 형성 방법.

청구항 22

제16항에 있어서, 상기 셀들을 형성하는 상기 단계가 각 셀에 대해 서로 교차 결합된 제1 및 제2트랜지스터를 형성하는 단계를 포함하는 것을 특징으로 하는 메모리 어레이 형성 방법.

청구항 23

일반적으로 행렬 방식으로 배열된 다수의 셀들을 형성하는 방법에 있어서, 각 셀이 두 개의 모드로 동작 가능하며 두 개의 모드 각각이 제1 및 제2신호의 결합을 통해 이루어지는 다수의 셀들을 형성하는 단계를 포함하고, 상기 셀들 각각을 형성하는 상기 단계가 제1직렬 결합된 트랜지스터쌍을 형성하는 단계; 제2직렬 결합된 트랜지스터쌍을 형성하는 단계; 및 상기 제1 및 제2직렬 결합된 트랜지스터 쌍들 사이에 결합된 한 쌍의 교차 결합된 트랜지스터들을 형성하는 단계; 및 상기 제1도선에 거의 직교하며 상기 제2신호를 전송하도록 동작 가능한 제2도선을 형성하는 단계를 포함하고, 상기 제1도선을 형성하는 상기 단계가 상기 제2도선에 거의 평행하게 놓여 있는 직교 연장부를 형성하는 단계를 포함하는 것을 특징으로 하는 다수의 셀 형성 방법.

청구항 24

제23항에 있어서, 상기 교차 결합된 트랜지스터쌍을 형성하는 상기 단계가 제1 및 제2트랜지스터를 형성하는 단계를 포함하고, 상기 제1 및 제2트랜지스터들 각각을 형성하는 상기 단계가 소오스/드레인을 형성하는 단계, 게이트 도선을 형성하는 단계, 상기 제1트랜지스터의 상기 게이트 도선을 제1 접속에 의해 상기 제2트랜지스터의 소오스/드레인에 접속하는 단계 및 상기 제2트랜지스터의 게이트 도선을 제2접속에 의해 상기 제2트랜지스터의 소오스/드레인에 접속시키는 단계를 포함하는 것을 특징으로 하는 다수의 셀 형성 방법.

청구항 25

제24항에 있어서, 상기 제2트랜지스터의 게이트 도선을 접속하는 상기 단계가 상기 제1접속에 평행한 제2접속을 형성하는 단계를 포함하는 것을 특징으로 하는 다수의 셀 형성 방법.

청구항 26

제24항에 있어서, 상기 제1트랜지스터의 게이트 도선을 형성하는 상기 단계가 공동 평면에 놓이며 상기 제2트랜지스터의 게이트 도선을 부분적으로 덮고 있는 제1트랜지스터의 게이트 도선을 형성하는 단계를 포함하는 것을 특징으로 하는 다수의 셀 형성 방법.

청구항 27

제23항에 있어서, 상기 교차 결합된 트랜지스터들을 형성하는 상기 단계가 트랜치 트랜지스터들을 형성하는 단계를 포함하는 것을 특징으로 하는 다수의 셀 형성 방법.

청구항 28

제23항에 있어서, 상기 제1도선들에 평행하고 상기 제1신호를 전송하도록 동작 가능한 제1의 선정된 수의 도선들을 형성하는 단계, 상기 제2도선들에 평행하고 상기 제2신호를 전송하도록 동작 가능한 제1의 선정된 수의 도선들을 형성하는 단계를 더 포함하는 것을 특징으로 하는 다수의 셀 형성 방법.

청구항 29

제28항에 있어서, 상기 제1의 선정된 수를 형성하는 상기 단계가 상기 제1도선들과 평행하고 상기 어레이의 행수 빼기 1과 같은 다수의 라인을 형성하는 단계를 포함하고, 상기 제2의 선정된 수를 형성하는 상기 단계가 상기 제2도선들에 평행하고 상기 어레이의 열 수 빼기 1과 같은 다수의 라인을 형성하는 단계를 포함하는 것을 특징으로 하는 다수의 셀 형성 방법.

청구항 30

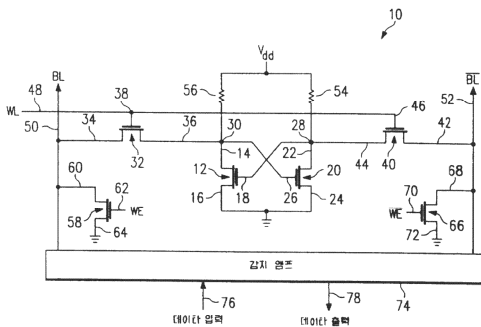
제1 워드선을 활성화시키는 단계, 및 제1 및 제2워드선의 교차점에 가까운 스택 메모리 셀이 액세스되도록 그리고 상기 다수의 셀 내의 어떠한 두 개의 인접 셀들도 동시에 액세스되지 않도록 상기 제1워드선에 직교하는 제2워드선을 활성화시켜서 인접 셀들이 그들 사이에서 단일 비트선을 공유하도록 하는 단계를 포함하는 것을 특징으로 하는 스택 메모리 셀 액세스 방법.

청구항 31

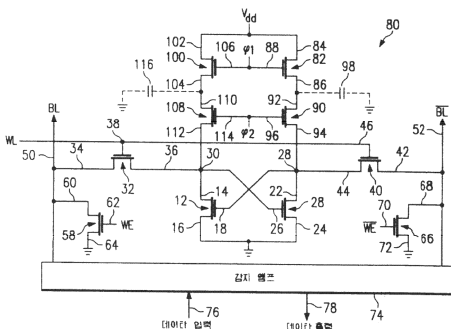
제30항에 있어서, 상기 다수의 스택 메모리 셀들이 행렬 방식으로 배열된 셀들의 어레이를 포함하고, 상기 액세스 단계가 사각 구조로 배열된 4개의 셀들 중 하나를 액세스하는 단계를 포함하고, 상기 사각 구조에 있는 각 셀이 단일 비트선에의 단일 접촉부를 공유할 수도 있는 것을 특징으로 하는 스택 메모리 셀 액세스 방법.

도면

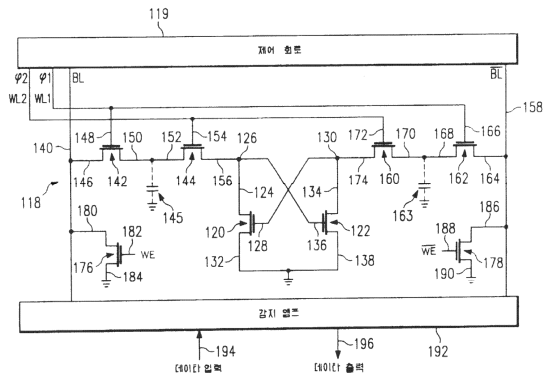
도면1



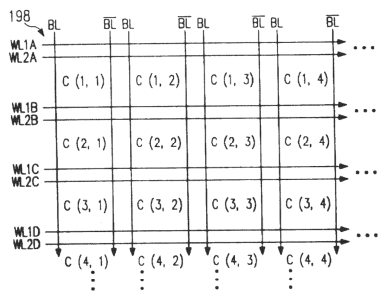
도면2



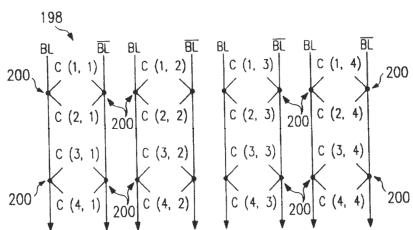
도면3



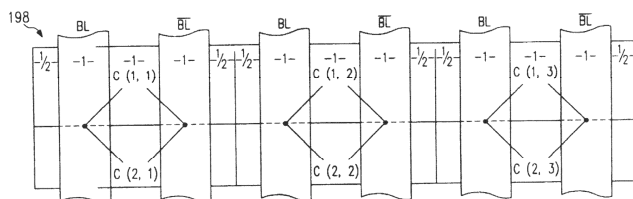
도면4a



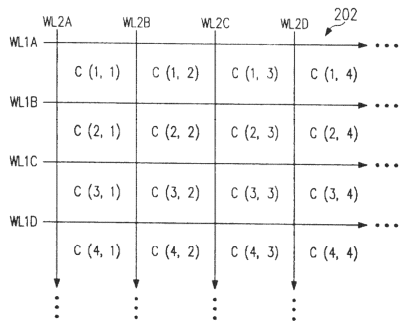
도면4b



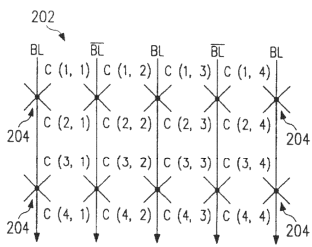
도면4c



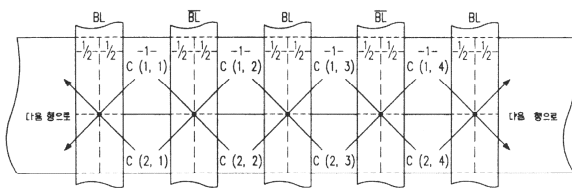
도면5a



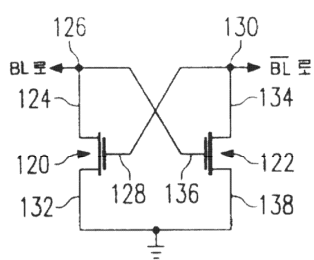
도면5b



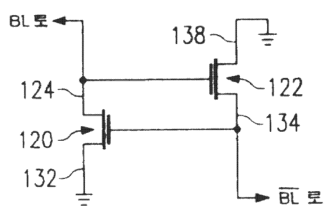
도면5c



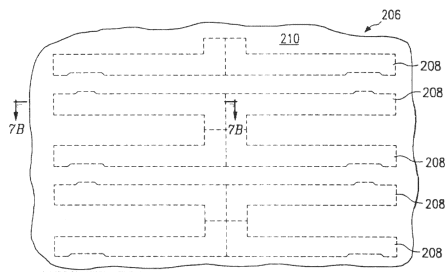
도면6a



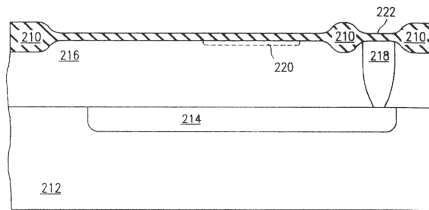
도면6b



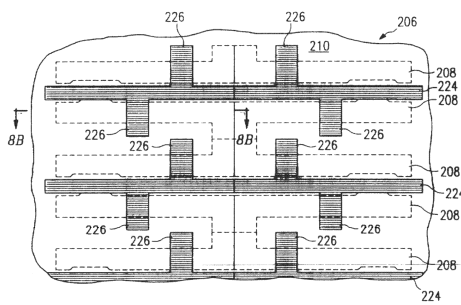
도면7a



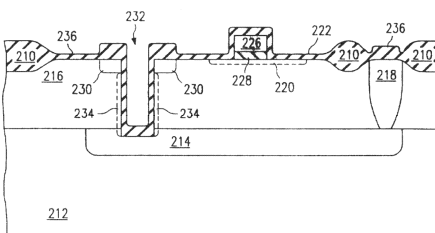
도면7b



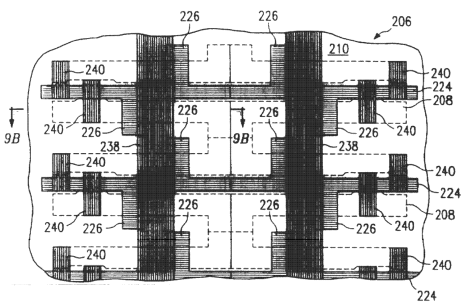
도면8a



도면8b



도면9a



도면11b

