(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[7]
G11C 7/10

(45) 공고일자 2003년07월07일
(11) 등록번호 10-0390615
(24) 등록일자 2003년06월26일

(21) 출원번호 10-2001-0015572
(22) 출원일자 2001년03월26일

(65) 공개번호 특2001-0090564
(43) 공개일자 2001년10월18일

(30) 우선권주장 2000-85824 2000년03월27일 일본(JP)

(73) 특허권자 산요 덴키 가부시키가이샤
일본 오사카후 모리구치시 게이한 혼도오리 2쵸메 5반 5고

(72) 발명자 구보따노리히꼬
일본기후껭이비궁이비가와쪼와다56-2

요시까와사다오
일본기후껭요로궁요로쪼오마끼758-1

(74) 대리인 장수길
이중희
구영창

심사관 : 최정윤

(54) 반도체 메모리 장치

요약

기억 데이터나 어드레스 데이터를 전송하는 배선을 간략화한다.
메모리 셀 어레이(11)의 주변에 어드레스 디코더(12), 센스 앰프(13), 라이트 앰프(14) 및 커맨드 디코더(15)가 배치된다. 제1 직렬/병렬 변환 회로(16a)가 어드레스 디코더(12)에 인접하여 배치되고, 병렬/직렬 변환 회로(16b)가 센스 앰프(13)에 인접하여 배치되며, 또한 제2 직렬/병렬 변환 회로(16c)가 라이트 앰프(14)에 인접하여 배치된다. 입출력 회로(17)와 직렬/병렬 변환 회로(16a, 16c, 16d) 및 병렬/직렬 변환 회로(16b)의 사이가 각각 1조의 라인으로 접속된다.

대표도

도 1

색인어

메모리 셀 어레이, 어드레스 디코더, 센스 앰프, 라이트 앰프, 커맨드 디코더

명세서

도면의 간단한 설명

도 1은 본 발명의 반도체 메모리 장치의 구성을 도시한 블록도.
도 2는 종래의 반도체 메모리 장치의 구성을 도시한 블록도.
<도면의 주요 부분에 대한 부호의 설명>
1, 11 : 메모리 셀 어레이
2, 12 : 어드레스 디코더
3, 13 : 센스 앰프
4, 14 : 라이트 앰프
5, 15 : 커맨드 디코더
6 : 데이터 변환 회로
7, 17 : 입출력 회로
16a, 16c, 16d : 직렬/ 병렬 변환 회로
16b : 병렬/직렬 변환 회로

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 다수 비트의 데이터를 직렬로 입출력하도록 한 반도체 메모리 장 치에 관한 것이다.
반도체 메모리 장치에서, 기억하는 데이터나 어드레스 데이터 등을 외부 장치와 직렬로 교환하는 것이 제안되고 있다. 이러한 직렬 인터페이스를 구비한 반도체 메모리 장치는, 데이터의 입출력에 시간은 걸리지만, 입출력의 단자수의 삭감에 의해 패키지의 소형화가 가능하다.
도 2는 직렬로 데이터의 입출력을 행하는 종래의 반도체 메모리 장치의 구성을 도시한 블록도이다.
메모리 셀 어레이(1)는, 복수의 메모리 셀이 행렬 배치됨과 함께, 각 메모리 셀을 선택적으로 활성화시킬 수 있도록, 각 행마다, 각 열마다 선택 회로가 설치된다. 어드레스 디코더(2)는, 적절한 수의 비트의 어드레스 데이터(AD-P)에 응답하여, 메모리 셀 어레이(1) 내의 특정 행 및 열을 선택적으로 활성화한다. 센스 앰프(3)는 메모리 셀 어레이(1)의 각 메모리 셀의 각 열에 접속되어, 어드레스 디코더(2)에 의해 활성화된 메모리 셀에 기억된 데이터를 판정하여, 판독 데이터(RD-P)를 출력한다. 라이트 앰프(4)는, 센스 앰프(3)와 마찬가지로, 메모리 셀 어레이(1)의 각 메모리 셀의 각 열에 접속되어, 어드레스 디코더(2)에 의해 활성화된 메모리 셀에 대해 기록 데이터(WD-P)를 기록한다.
커맨드 디코더(5)는, 커맨드 데이터(CC-D)에 응답하여, 메모리 셀 어레이(1)의 동작을 제어한다. 예를 들면, 커맨드 데이터(CC-D)가 판독 동작을 지시하는 경우, 메모리 셀 어레이(1)를 판독 모드로 동작시키고, 어드레스 디코더(2)에 의해 활성화되는 메모리 셀 어레이(1) 내의 메모리 셀을 센스 앰프(3)에 접속시킨다. 또한, 커맨드 데이터(CC-D)가 기록 동작을 지시하는 경우, 메모리 셀 어레이(1)를 기록 모드로 동작시켜, 어드레스 디코더(2)에 의해 활성화되는 메모리 셀 어레이(1) 내의 메모리 셀을 라이트 앰프(4)에 접속시킨다. 이 커맨드 디코더(5)에 대해서는, 기록 동작이나 판독 동작의 제어 외에, 메모리 셀 어레이(1) 내의 메모리 셀의 소거 단위의 설정 제어나, 기억 데이터의 비트수의 전환 제어 등을 행하도록 하는 것도 가능하다.
데이터 변환 회로(6)는 어드레스 디코더(2)에 접속되어, 직렬로 입력되는 어드레스 데이터(AD-S)를 병렬로 변환하여, 어드레스 데이터(AD-P)로서 어드레스 디코더에 공급한다. 또한, 데이터 변환 회로(6)는 센스 앰프(3) 및 라이트 앰프(4)에 접속된다. 그리고, 판독 모드에서는, 센스 앰프(3)로부터 병렬로 입력되는 판독 데이터(RD-P)를 직렬로 변환한 후, 입출력 회로(7)에 판독 데이터(RD-P)로서 공급하고, 기록 모드에서는, 입출력 회로(7)로부터 직렬로 입력되는 기록 데이터(WD-S)를 병렬로 변환한 후, 라이트 앰프(4)에 기록 데이터(WD-P)로서 공급한다. 또한, 데이터 변환 회로(6)는 커맨드 디코더(5)에 접속되어, 직렬로 입력되는 커맨드 데이터(CC-S)를 병렬로 변환하여, 커맨드 데이터(CC-P)로서 커맨드 디코더(5)에 공급한다. 입출력 회로(7)는 데이터 변환 회로(6)에 접속되어, 외부 장치와 데이터 변환 회로(6)의 사이에서 판독 데이터(RD-S), 기록 데이터(WD-S), 어드레스 데이터(AD-S) 및 커맨드 데이터(CC-S)의 교환을 행한다.
이상의 각 부분은, 전부 반도체 기판 상에 집적화되어, 입출력 회로(7)와 외부 장치간의 각 데이터의 입출력에 대응하도록 하여 입출력 단자가 설치된다. 이 때, 반도체 메모리 장치로서의 입출력 단자는 각 데이터에 대해 1 비트분만 설치하면 되기 때문에, 어드레스 데이터의 비트수나 기억 데이터의 비트수가 많아졌다고 해도 단자 수를 증가할 필요는 없다.
데이터 변환 회로(6)는 각 데이터마다 각각 1 비트만큼씩의 배선에 의해 입출력 회로(7)에 접속된다. 그리고, 각 데이터의 비트수의 대응하는 만큼의 배선에 의해, 어드레스 디코더(2), 센스 앰프(3), 라이트 앰프(4) 및 커맨드 디코더(5)에 각각 접속된다. 이 때문에, 메모리 셀 어레이(1)의 용량이 커져, 데이터 변환 회로(6)와 어드레스 디코더(2), 센스 앰프(3), 라이트 앰프(4) 혹은 커맨드 디코더(5) 사이의 거리가 떨어지면, 이들간을 접속하는 배선이 길어진다. 이 배선은 각각의 데이터의 비트수에 대응하는 만큼만 병렬로 배치할 필요가 있기 때문에, 배선 영역을 넓게 확보할 필요가 생긴다. 이러한 배선 영역의 증대는, 집적화할 칩 사이즈의 대형화를 초래함과 함께, 회로 배치의 자유도를 낮춘다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명은 집적 회로 내의 배선 영역을 삭감하는 것을 목적으로 한다.
본 발명은 이러한 과제를 해결하기 위해 이루어진 것으로서, 그 특징은, 복수의 메모리 셀이 행렬 배치된 메모리 셀 어레이와, 어드레스 데이터에 기초하여 상기 메모리 셀 어레이 내의 특정 메모리 셀을 지정하여 활성화하는 어드레스 디코더와, 상기 어드레스 디코더에 따라 활성화되는 메모리 셀에 기억된 데이터를 판정하는 센스 앰프와, 소정 비트수의 어드레스 데이터가 외부로부터 직렬로 입력됨과 함께, 상기 메모리 셀로부터 판독되는 데이터를 직렬로 출력하는 입출력 회로와, 상기 어드레스 디코더에 인접하여 배치되고, 상기 어드레스 데이터를 상기 입출력 회로로부터 직렬로 수취하여, 상기 어드레스 디코더에 대하여 병렬로 공급하는 제1 직렬/병렬 변환 회로와, 상기 센스 앰프에 인접하여 배치되어, 상기 메모리 셀로부터 판독되는 데이터를 상기 센스 앰프로부터 병렬로 수취하여, 상기 입출력 회로에 대해 직렬로 공급하는 병렬/직렬 변환 회로를 구비한 점에 있다.
본 발명에 따르면, 입출력 회로와 어드레스 디코더나 센스 앰프간의 거리가 떨어진 경우에도, 이들간을 1 비트분의 배선으로 접속할 수 있기 때문에, 배선 영역의 증대를 방지할 수 있다.

발명의 구성 및 작용

도 1은 본 발명의 반도체 메모리 장치의 구성을 도시한 블록도이다.
메모리 셀 어레이(11)는 복수의 메모리 셀이 행렬 배치되며, 각 행 및 열마다 선택 회로가 설치된다. 어드레스 디코더(12)는 메모리 셀 어레이(11)의 각 선택 회로에 접속되어, 어드레스 데이터(AD-P)에 응답하여 메모리 셀 어레이(11) 내의 특정 행 및 열을 선택적으로 활성화한다. 센스 앰프(13)는 메모리 셀 어레이(11)의 각 메모리 셀의 각 열에 접속되어, 메모리 셀에 기억된 데이터를 판정하여, 판독 데이터(RD-P)를 출력한다. 라이트 앰프(14)는 메모리 셀 어레이(11)의 각 메모리 셀의 각 열에 접속되어, 메모리 셀에 대하여 기록 데이터(WD-P)를 기록한다. 이들 메모리 셀 어레이(11), 어드레스 디코더(12), 센스 앰프(13) 및 라이트 앰프(14)는 도 2의 각 부분과 동일한 것이다.
커맨드 디코더(15)는 커맨드 데이터(CC-D)에 응답하여, 메모리 셀 어레이(1)의 동작을 제어한다. 예를 들면, 커맨드 데이터(CC-D)가 판독 동작을 지시하는 경우, 메모리 셀 어레이(11)를 판독 모드로 동작시켜, 어드레스 디코더(12)에 의해 활성화되는 메모리 셀 어레이(11) 내의 메모리 셀을 센스 앰프(13)에 접속시킨다. 또한, 커맨드 데이터(CC-D)가 기록 동작을 지시하는 경우, 메모리 셀 어레이(11)를 기록 모드로 동작시켜, 어드레스 디코더(12)에 의해 활성화되는 메모리 셀 어레이(11) 내의 메모리 셀을 라이트 앰프(14)에 접속시킨다.
제1 직렬/병렬 변환 회로(16a)는 어드레스 디코더(12)에 인접하여 배치되어, 직렬로 입력되는 어드레스 데이터(AD-S)를 병렬로 변환하여, 어드레스 데이터(AD-P)로서 어드레스 디코더(12)에 공급한다. 병렬/직렬 변환 회로(16b)는 센스 앰프에 인접하여 배치되어, 판독 동작 시, 센스 앰프(13)로부터 병렬로 입력되는 판독 데이터(RD-P)를 직렬로 변환하여, 판독 데이터(RD-P)로서 입출력 회로(17)에 공급한다. 제2 직렬/병렬 변환 회로(16c)는 라이트 앰프(4)에 인접하여 배치되어, 입출력 회로(17)로부터 직렬로 입력되는 기록 데이터(WD-S)를 병렬로 변환하여, 기록 데이터(WD-P)로서 라이트 앰프(4)에 공급한다. 제3 직렬/병렬 변환 회로(16d)는 커맨드 디코더(15)에 인접하여 배치되어, 직렬로 입력되는 커맨드 데이터(CC-S)를 병렬로 변환하여, 커맨드 데이터(CC-P)로서 커맨드 디코더(15)에 공급한다.
입출력 회로(17)는 각 직렬/병렬 변환 회로(16a, 16c, 16d) 및 병렬/직렬 변환 회로(16b)에 접속된다. 그리고, 외부 장치로부터 직렬로 입력되는 어드레스 데이터(AD-S), 기록 데이터(WD-S) 및 커맨드 데이터(CC-S)를 직렬인 채로 각 직렬/병 렬 변환 회로(16a, 16c, 16d)에 각각 공급하여, 병렬/직렬 변환 회로(16b)로부터 직렬로 입력되는 판독 데이터(RD-S)를 직렬인 채로 외부 장치에 출력한다. 이 입출력 회로(17)와 각 직렬/병렬 변환 회로(16a, 16c, 16d) 및 병렬/직렬 변환 회로(16b)의 사이는 각 데이터의 비트수에 관계없이 각각 1조의 접속 라인으로 접속된다.
상술한 반도체 메모리 장치를 반도체 기판 상에 집적화하는 경우, 각 직렬/병렬 변환 회로(16a, 16c, 16d)를 어드레스 디코더(12), 라이트 앰프(14) 및 커맨드 디코더(15)에 각각 인접하여 배치하며, 또한 병렬/직렬 변환 회로(16b)를 센스 앰프(13)에 인접하여 배치한다. 이에 의해, 어드레스 디코더(12), 센스 앰프(13), 라이트 앰프(14) 및 커맨드 디코더(15)를 입출력 회로(17)로부터 분리하여 배치한 경우에도, 그들간을 접속하는 배선이 각각 1조이므로, 배선 영역의 증대를 방지할 수 있다. 따라서, 메모리 셀 어레이(11)에 대해 어드레스 디코더(12), 센스 앰프(13), 라이트 앰프(14) 및 커맨드 디코더(15)의 배치 위치를 자유롭게 선택할 수 있게 된다.
이상의 실시예에서는, 데이터의 기록이 가능한 메모리 셀을 이용한 경우를 예시하였지만, 판독 전용 메모리 셀이나, 불휘발성 메모리 셀을 이용하는 것도 가능하다. 판독 전용 메모리 셀을 이용하는 경우에는, 라이트 앰프(14) 및 제2 직렬/병렬 변환 회로(16c)는 불필요해진다.

발명의 효과

본 발명에 따르면, 배선 영역의 증대를 방지하여 칩 면적의 축소를 도모할 수 있음과 함께, 집적화할 때의 회로 배치의 자유도를 향상시킬 수 있다. 특히, 기억 용량이 커져, 메모리 셀 어레이 부분의 면적이 커지는 경우에 유효하다.

(57) 청구의 범위

청구항 1.

복수의 메모리 셀이 행렬 배치된 메모리 셀 어레이와,
어드레스 데이터에 기초하여 상기 메모리 셀 어레이 내의 특정 메모리 셀을 지정하여 활성화하는 어드레스 디코더와,
상기 어드레스 디코더에 따라 활성화되는 메모리 셀에 기억된 데이터를 판정하는 센스 앰프와,
소정 비트수의 어드레스 데이터가 외부로부터 직렬로 입력됨과 함께, 상기 메모리 셀로부터 판독되는 데이터를 직렬로 출력하는 입출력 회로와,
상기 어드레스 디코더에 인접하여 배치되어, 상기 어드레스 데이터를 상기 입출력 회로로부터 직렬로 수취하여, 상기 어드레스 디코더에 대해 병렬로 공급하는 제1 직렬/병렬 변환 회로와,
상기 센스 앰프에 인접하여 배치되어, 상기 메모리 셀로부터 판독되는 데이터를 상기 센스 앰프로부터 병렬로 수취하여, 상기 입출력 회로에 대해 직렬로 공급하는 병렬/직렬 변환 회로
를 구비하는 반도체 메모리 장치.

청구항 2.

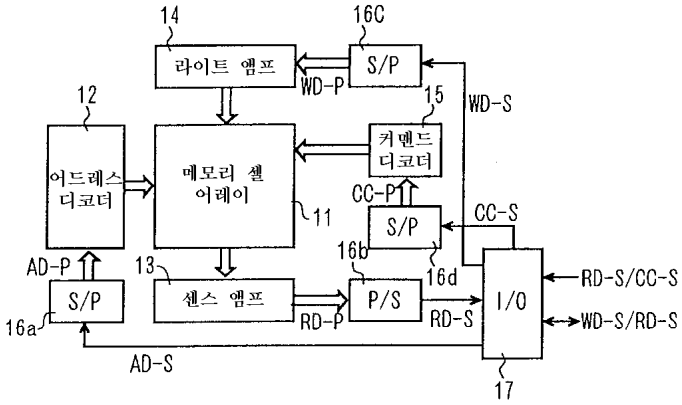
제1항에 있어서, 소정 비트의 커맨드 데이터에 기초하여 상기 메모리 셀 어레이의 동작을 제어하는 커맨드 디코더와,
상기 커맨드 디코더에 인접하여 배치되어, 상기 커맨드 데이터를 상기 입출 력 회로로부터 직렬로 수취하여, 상기 커맨드 디코더에 대해 병렬로 공급하는 제2 직렬/병렬 변환 회로
를 더 구비하는 반도체 메모리 장치.

청구항 3.

제1항에 있어서, 상기 어드레스 디코더에 따라 활성화되는 메모리 셀에 대해 데이터를 기록하는 라이트 앰프와,
상기 라이트 앰프에 인접하여 배치되어, 상기 데이터를 상기 입출력 회로로부터 직렬로 수취하여, 상기 라이트 앰프에 대해 병렬로 공급하는 제2 직렬/병렬 변환 회로
를 더 구비하며,
상기 입출력 회로에 상기 어드레스 데이터와 함께 기록 데이터가 직렬로 입력되는 반도체 메모리 장치.

도면

도면1



도면2

