

- [続葉有]

[続葉有]



添付公開書類：

- 国際調査報告 (条約第 21 条(3))

- 補正された請求の範囲 (条約第 19 条(1))

【課題】 動作不良を抑制するのに適する半導体装置を提供すること。 【解決手段】 半導体チップ 1 と、半導体チップ 1 に積層された第 1 電極パッド 2 1 と、第 1 の縁 4 9 a と、第 2 の縁とに規定された矩形状を呈する中間層 4 と、半導体チップ 1 とともに中間層 4 を挟むように配置された複数のバンパ 5 と、を備え、第 1 の縁 4 9 a は、方向 x に延び、上記第 2 の縁は、方向 y に延び、複数のバンパ 5 のいずれか一つは、第 1 電極パッド 2 1 に導通する第 1 バンパ 5 1 であり、複数のバンパ 5 のいずれか一つは、第 1 電極パッド 2 1 に導通する第 2 バンパ 5 2 であり、上記第 1 バンパ 5 1 は、複数のバンパ 5 のうち、方向 x の一端且つ方向 y の一端に配置されたものである。

明 細 書

発 明 の 名 称 : 半 導 体 装 置

技 術 分 野

[0001] 本発明は、半導体装置に関する。

背景技術

[0002] 従来から半導体チップを備える半導体装置が知られている（たとえば、特許文献1参照）。CSP（Chip Size Package）やBGA（Ball Grid Array）等のボールダリッドタイプの半導体装置には、複数のバンプが形成されている。当該半導体装置は、複数のバンプを実装基板に形成された実装パッドに接合することにより、実装基板に実装（実装基板に対する電気的および機械的な接続）される。

[0003] このような半導体装置が実装基板に実装された際には、各バンプには応力が集中することがある。バンプに応力が集中すると疲労破壊を起こし、半導体チップと実装基板における実装/《ツドとの導通が確保できなくなりうる。このようなことでは、半導体装置の動作不良を招来するおそれがあり、好ましくない。

先行技術文献

特許文献

[0004] 特許文献1 : 特開2008 _ 159949号公報

発 明 の 概 要

発 明 が 解 決 し ょ う と す る 課 題

[0005] 本発明は、上記した事情のもとで考え出されたものであって、動作不良を抑制するのに適する半導体装置を提供することをその課題とする。

課題を解決するための手段

[0006] 本発明の第1の側面によると、半導体チップと、上記半導体チップに積層された第1電極パッドと、第1の縁と第2の縁とに規定された矩形状を呈する中間層と、上記半導体チップとともに上記中間層を挟むように配置された

複数のバンプと、を備え、上記第 1 の縁は、上記半導体チップの厚さ方向に交差する第 1 方向に延び、上記第 2 の縁は、上記厚さ方向および上記第 1 方向のいずれにも交差する第 2 方向に延び、上記複数のバンプのいずれか一つは、上記第 1 電極パッドに導通する第 1 バンプであり、上記複数のバンプのいずれか一つは、上記第 1 電極パッドに導通する第 2 バンプであり、上記第 1 バンプは、上記複数のバンプのうち、上記第 1 方向の一端且つ上記第 2 方向の一端に配置されたものである、半導体装置が提供される。

[0007] 好ましくは、上記半導体チップに積層された第 2 電極パッドを更に備え、上記半導体チップは、上記第 1 電極パッドおよび上記第 2 電極パッドを導通させる配線層を含み、上記第 2 バンプは、上記第 2 電極パッドを経由して上記第 1 電極パッドと導通している。

[0008] 好ましくは、上記第 1 電極パッドおよび上記第 2 電極パッドを露出させる被覆膜を更に備え、上記中間層は、上記被覆膜に積層された応力緩和層と、上記応力緩和層に積層された第 1 再配線層と、上記応力緩和層に積層された第 2 再配線層と、を含み、上記第 1 再配線層は、上記厚さ方向視において上記第 1 バンプと重なる部位を有し、上記第 2 再配線層は、上記厚さ方向視において上記第 2 バンプと重なる部位を有し、上記第 1 再配線層と上記第 2 再配線層とは互いに離間している。

[0009] 好ましくは、上記第 1 電極パッドおよび上記第 2 電極パッドを露出させる被覆膜を更に備え、上記中間層は、上記被覆膜に積層された応力緩和層と、上記応力緩和層に積層された再配線層と、を含み、上記再配線層は、上記第 1 バンプおよび上記第 2 バンプを導通させている。

[001 0] 好ましくは、上記第 1 電極パッドを露出させる被覆膜を更に備え、上記中間層は、上記被覆膜に積層された応力緩和層と、上記応力緩和層に積層された再配線層と、を含み、上記再配線層は、上記第 1 バンプおよび上記第 2 バンプを導通させている。

[001 1] 好ましくは、上記中間層は、上記半導体チップの厚さ方向に延びる第 1 ポストと、上記半導体チップの厚さ方向に向かって延びる第 2 ポストと、を含

み、上記第 1 ポストは、上記第 1 バンプに接し、上記第 2 ポストは、上記第 2 バンプに接する。

[001 2] 好ましくは、上記第 1 ポストと上記第 1 バンプとの接合面積は、上記第 2 ポストと上記第 2 バンプとの接合面積より大きい。

[001 3] 好ましくは、上記第 1 方向および上記第 2 方向に広がる平面による上記第 1 ポストの断面積は、上記第 1 方向および上記第 2 方向に広がる平面による上記第 2 ポストの断面積より大きい。

[0014] 好ましくは、上記第 1 ポストは第 1 寸法を直径として上記厚さ方向に延びる円柱状であり、上記第 2 ポストは上記第 1 寸法より小さい第 2 寸法を直径として上記厚さ方向に延びる円柱状である。

[001 5] 好ましくは、上記第 1 寸法は、上記第 2 寸法の 1.1 倍～1.5 倍である。

[001 6] 好ましくは、上記中間層は、主面および裏面を有する基材と、上記主面に形成された主面配線層と、上記裏面に形成された裏面配線層と、を含み、上記裏面は上記主面の反対側を向き、上記主面には、上記半導体チップが搭載されており、上記裏面配線層は、上記主面配線層と導通し、上記裏面配線層は、上記第 1 バンプおよび上記第 2 バンプのいずれにも接する。

[001 7] 好ましくは、上記第 1 バンプおよび上記第 2 バンプの体積はいずれも同一である。

[001 8] 好ましくは、上記複数のバンプは、25 個以上である。

[001 9] 好ましくは、上記厚さ方向視において上記第 1 バンプは第 1 長さを直径とする円形状であり、上記厚さ方向視において上記第 2 バンプは上記第 1 長さより小さい第 2 長さを直径とする円形状である。

[0020] 好ましくは、上記第 1 長さは、上記第 2 長さの 1.1 倍～1.5 倍である。

[0021] 好ましくは、上記第 2 バンプは、上記複数のバンプのうち上記第 1 バンプに最も隣接しているものである。

[0022] 好ましくは、上記第 1 バンプおよび上記第 2 バンプはいずれも機能ピンで

ある。

[0023] 好ましくは、上記複数のバンプのうち四角に配置されたものは上記第 1 バンプである。

[0024] 本発明のその他の特徴および利点は、添付図面を参照して以下に行う詳細な説明によって、より明らかとなる。

図面の簡単な説明

[0025] [図1A] 本発明の第 1 実施形態にかかる半導体装置の底面図である。

[図1B] 本発明の第 1 実施形態にかかる半導体装置の側面図である。

[図2] 図 1 A の I I _ I I 線に沿う要部断面図である。

[図3A] 図 2 の I I I A — I I I A 線に沿う要部断面図である。

[図3B] 図 2 の I I I B _ I I I B 線に沿う要部断面図である。

[図4] 実装基板に実装された、本発明の第 1 実施形態にかかる半導体装置の側面図である。

[図5] 実装基板に実装された、本発明の第 1 実施形態にかかる半導体装置の要部断面図である。

[図6] 本発明の第 1 実施形態にかかる半導体装置の製造工程の一工程を示す要部断面図である。

[図7] 本発明の第 1 実施形態にかかる半導体装置の製造工程の一工程を示す要部断面図である。

[図8] 本発明の第 1 実施形態にかかる半導体装置の製造工程の一工程を示す要部断面図である。

[図9] 本発明の第 1 実施形態にかかる半導体装置の製造工程の一工程を示す要部断面図である。

[図10] 本発明の第 1 実施形態にかかる半導体装置の製造工程の一工程を示す要部断面図である。

[図11] 本発明の第 1 実施形態にかかる半導体装置の製造工程の一工程を示す要部断面図である。

[図12] 本発明の第 1 実施形態にかかる半導体装置の製造工程の一工程を示す

要部断面図である。

[図13] 本発明の第1実施形態にかかる半導体装置の製造工程の一工程を示す要部断面図である。

[図14] 本発明の第1実施形態にかかる半導体装置の製造工程の一工程を示す要部断面図である。

[図15] 本発明の第1実施形態にかかる半導体装置の製造工程の一工程を示す要部断面図である。

[図16] 本発明の第1実施形態にかかる半導体装置の製造工程の一工程を示す要部断面図である。

[図17] 本発明の第2実施形態にかかる半導体装置の要部断面図である。

[図18] 本発明の第3実施形態にかかる半導体装置の要部断面図である。

[図19A] 本発明の第4実施形態にかかる半導体装置の底面図である。

[図19B] 本発明の第4実施形態にかかる半導体装置の側面図（一部透視化）である。

[図20] 図19AのXX—XX線に沿う要部断面図である。

[図21] 図20のXXI—XXI線に沿う要部断面図である。

[図22] 実装基板に実装された、本発明の第4実施形態にかかる半導体装置の側面図である。

[図23] 実装基板に実装された、本発明の第4実施形態にかかる半導体装置の要部断面図である。

[図24] 本発明の第5実施形態にかかる半導体装置の要部断面図である。

発明を実施するための形態

[0026] 以下、本発明の実施の形態につき、図面を参照して具体的に説明する。

[0027] 図1A～図16を用いて本発明の第1実施形態について説明する。図1Aは、本実施形態にかかる半導体装置の底面図であり、図1Bは、本実施形態にかかる半導体装置の側面図である。図2は、図1AのII—II線に沿う要部断面図である。図3Aは、図2のIII A—III A線に沿う要部断面図であり、図3Bは、図2のIII B—III B線に沿う要部断面図である。

。

[0028] これらの図に示す半導体装置A 1は、半導体チップ1と、複数の電極パッド2と、被覆膜3と、中間層4と、複数のバンプ5と、樹脂コート8 5とを備える。半導体装置A 1は、C S P (C h i p S i z e P a c k a g e) 技術が適用された半導体装置である。

[0029] 半導体チップ1は、L S Iチップであり、多層配線構造を有する。半導体チップ1は、半導体基板1 1と、配線層1 2 , 1 3と、絶縁層1 4 , 1 5と、複数の貫通ビア1 8 1 , 1 8 2 , 1 8 3とを備える。

[0030] 半導体基板1 1は、主として、シリコンなどの半導体材料よりなる。半導体基板1 1には、たとえば、ロジック回路などの集積回路が形成されている。この集積回路は、図示しない複数の端子を有する。半導体基板1 1には、絶縁性の樹脂よりなる樹脂コート8 5が積層されている。

[0031] 配線層1 2 , 1 3はそれぞれ、たとえば、銅、アルミニウムなどの導電性材料よりなる。配線層1 2 , 1 3はそれぞれ、設計されたパターン形状に形成されている。配線層1 2 , 1 3の厚さ(方向zにおける寸法)は、それぞれ、たとえば、0 . 5 ~ 3 . 0 μ mである。絶縁層1 4 , 1 5はそれぞれ、たとえば、酸化シリコン、窒化シリコンなどの絶縁材料よりなる。絶縁層1 4 , 1 5の厚さ(方向zにおける寸法)は、それぞれ、たとえば、1 . 0 ~ 3 . 0 μ mである。

[0032] 配線層1 2は、半導体基板1 1に積層されている。絶縁層1 4は、半導体基板1 1に積層され、且つ、配線層1 2を被覆している。配線層1 3は、絶縁層1 4に積層されている。絶縁層1 5は、絶縁層1 4に積層されている。絶縁層1 5は、配線層1 3を被覆している。

[0033] 各貫通ビア1 8 1 , 1 8 2 , 1 8 3は、たとえば、銅、アルミニウムなどの導電性材料よりなる。各貫通ビア1 8 1は、絶縁層1 4を貫通している。各貫通ビア1 8 1は、配線層1 2および配線層1 3に接している。これにより、配線層1 2および配線層1 3が導通している。各貫通ビア1 8 2 , 1 8 3は、絶縁層1 5を貫通している。各貫通ビア1 8 2は、配線層1 3および

後述の第 1 電極パッド 2 1 に接している。これにより、配線層 1 3 および第 1 電極パッド 2 1 が導通している。各貫通ビア 1 8 3 は、配線層 1 3 および後述の第 2 電極パッド 2 2 に接している。これにより、配線層 1 3 および第 2 電極パッド 2 2 が導通している。

[0034] 各電極/《ツド2 (図では、複数の電極/《ツド2 のうち第 1 電極/《ツド2 1、第 2 電極パッド 2 2 のみを示す) は、半導体チップ 1 に形成されている。具体的には各電極パッド 2 は、絶縁層 1 5 に形成されている。各電極パッド 2 は、半導体基板 1 1 に形成された上述の集積回路の端子と導通している。各電極パッド 2 は方向 z 視において、互いに異なる位置に配置されている。各電極パッド 2 は、たとえば、アルミニウムよりなる。各電極パッド 2 の厚さ (方向 z における寸法) は、たとえば、0.5 ~ 3.0 μm である。

[0035] 被覆膜 3 は、絶縁層 1 5 に積層されている。被覆膜 3 は、たとえば、酸化シリコン、窒化シリコンなどの絶縁材料よりなる。被覆膜 3 の厚さ (方向 z における寸法) は、たとえば、0.5 ~ 2.0 μm である。被覆膜 3 から電極パッド 2 が露出している。

[0036] 中間層 4 は、被覆膜 3 を挟んで、半導体チップ 1 に積層されている。中間層 4 は、応力緩和層 4 1 と、樹脂層 4 2 と、再配線層 4 3 a, 4 3 b, 4 3 c と、複数のポスト 4 4 a, 4 4 b とを含む。図 1 A に示すように、中間層 4 は、方向 z 視において、方向 x に延びる第 1 の縁 4 9 a と、方向 y に延びる第 2 の縁 4 9 b とにより規定される矩形状を呈する。中間層 4 の側面は、半導体チップ 1 の側面と面一に形成されている。これにより、半導体装置 A 1 は、方向 z 視におけるサイズが半導体チップ 1 のサイズと等しい略直方体形状を呈している。

[0037] 応力緩和層 4 1 は、被覆膜 3 に積層されている。応力緩和層 4 1 は、たとえば、ポリイミドなどの絶縁材料よりなる。応力緩和層 4 1 の厚さ (方向 z における寸法) は、たとえば、8 μm である。応力緩和層 4 1 は、半導体装置 A 1 に応力が加わったとき、その応力を吸収して緩和するために設けられている。

[0038] 樹脂層 4 2 は、応力緩和層 4 1 に積層されている。樹脂層 4 2 は、たとえば、エポキシ樹脂などの絶縁性樹脂よりなる。樹脂層 4 2 の厚さ（方向 z における寸法）は、たとえば、90 μm である。

[0039] 再配線層 4 3 a は、下地層 4 3 1 a と、金属層 4 3 2 a とを有する。再配線層 4 3 a は、方向 z 視において、後述の第 1 バンプ 5 1 と重なる部位を有する。下地層 4 3 1 a の一部は応力緩和層 4 1 を貫通している。また、下地層 4 3 1 a の一部は、応力緩和層 4 1 に積層されている。下地層 4 3 1 a は、第 1 電極パッド 2 1 に接する。下地層 4 3 1 a は、第 1 電極パッド 2 1 が腐食するのを防止する機能を担う。下地層 4 3 1 a は、たとえば、チタン、ニッケル、チタニウムなどの金属よりなる。金属層 4 3 2 a は、下地層 4 3 1 a に積層されている。金属層 4 3 2 a は、たとえば、銅などの金属よりなる。

[0040] ポスト 4 4 a は、再配線層 4 3 a に立設されている。ポスト 4 4 a は、後述の第 1 バンプ 5 1 にかかる応力を緩和するためのものである。ポスト 4 4 a は、再配線層 4 3 a に接する。図 3 A に示す、方向 x および方向 y に広がる平面によるポスト 4 4 a の断面積 S_1 は、たとえば、17671 ~ 196350 $\text{バ}\mu\text{m}^2$ である。本実施形態では、ポスト 4 4 a は、寸法 L_1 を直径として方向 z に延びる円柱状である。寸法 L_1 は、たとえば、150 ~ 500 μm である。ポスト 4 4 a は、四角柱状であってもかまわない。ポスト 4 4 a は、たとえば、銅よりなる。

[0041] 再配線層 4 3 b は、再配線層 4 3 a と同様に、下地層 4 3 1 b と、金属層 4 3 2 b とを有する。再配線層 4 3 b は、方向 z 視において、後述の第 2 バンプ 5 2 と重なる部位を有する。再配線層 4 3 b は、再配線層 4 3 a と離間している。下地層 4 3 1 b の一部は応力緩和層 4 1 を貫通している。また、下地層 4 3 1 b の一部は、応力緩和層 4 1 に積層されている。下地層 4 3 1 b は、第 2 電極パッド 2 2 に接する。下地層 4 3 1 b は、第 2 電極パッド 2 2 が腐食するのを防止する機能を担う。下地層 4 3 1 b は、たとえば、チタン、ニッケル、チタニウムなどの金属よりなる。金属層 4 3 2 b は

、下地層 4 3 1 b に積層されている。金属層 4 3 2 b は、たとえば、銅などの金属よりなる。

[0042] ポスト 4 4 b は、再配線層 4 3 b に立設されている。ポスト 4 4 b は、後述の第 2 バンプ 5 2 にかかる応力を緩和するためのものである。ポスト 4 4 b は、再配線層 4 3 b に接する。図 3 A に示す、方向 X および方向 y に広がる平面によるポスト 4 4 b の断面積 S 2 は、ポスト 4 4 a の断面積 S 1 より小さいこと（すなわち、断面積 S 1 が断面積 S 2 より大きいこと）が好ましい。断面積 S 2 は、たとえば、 $7854 \sim 125664 \mu\text{m}^2$ である。本実施形態では、ポスト 4 4 b は、寸法 L 2 を直径として方向 z に延びる円柱状である。ポスト 4 4 b は、四角柱状であってもかまわない。寸法 L 2 よりも寸法 L 1 が大きい方が好ましい。寸法 L 1 は、たとえば、寸法 L 2 の 1.1 ~ 1.5 倍であることが好ましい。寸法 L 2 は、たとえば、100 ~ 400 μm である。ポスト 4 4 b は、たとえば、銅よりなる。

[0043] 再配線層 4 3 c は、再配線層 4 3 a , 4 3 b と同様に、下地層 4 3 1 c と、金属層 4 3 2 c とを有する。図 2 に示すように、再配線層 4 3 c は、再配線層 4 3 a と再配線層 4 3 b との間に位置する。再配線層 4 3 c は、再配線層 4 3 a , 4 3 b のいずれとも絶縁されている。下地層 4 3 1 c の一部は、図外において、応力緩和層 4 1 を貫通している。図 2 に示すように、下地層 4 3 1 c の一部は、応力緩和層 4 1 に積層されている。下地層 4 3 1 c は、図外の電極パッド 2 に接する。下地層 4 3 1 c は、たとえば、チタン、ニッケル、チタタンングステンなどの金属よりなる。金属層 4 3 2 c は、下地層 4 3 1 c に積層されている。金属層 4 3 2 c は、たとえば、銅などの金属よりなる。

[0044] 図 2 に示すように、複数のバンプ 5 は、中間層 4 を挟んで半導体チップ 1 が配置された側と反対側に配置されている。すなわち、複数のバンプ 5 は、半導体チップ 1 とともに中間層 4 を挟むように配置されている。図 1 A に示すように、本実施形態では方向 z 視において、複数のバンプ 5 は、基板の目状に配置されている。各バンプ 5 は、略球状であり、たとえば、ハンダより

なる。本実施形態では、各バンプ5の体積は、互いに同一である。各バンプ5の体積は、たとえば、 $1407 \times 10^3 \sim 10390 \times 10^3 \mu\text{m}^3$ である。バンプ5の個数は、方向 x に5個以上、方向 y に5個以上、全体で25個以上であることが好ましい。

[0045] 図1A～図3Bに示すように、複数のバンプ5のうち2つを、第1バンプ51、第2バンプ52としている。第1バンプ51および第2バンプ52はいずれも機能ピンである。図1Aに示すように、第1バンプ51は、方向 x の一端且つ方向 y の一端に配置されている。図2に示すように、第1バンプ51は、ポスト44aに接合されている。第1バンプ51とポスト44aとの接合面積 $S3$ （図3B参照）は、たとえば、 $17671 \sim 196350 \mu\text{m}^2$ である。第1バンプ51は、方向 z 視において、長さ $L3$ （図3B参照）を直径とする円形状である。長さ $L3$ は、たとえば、 $150 \sim 550 \mu\text{m}$ である。第1バンプ51は、ポスト44a、再配線層43a、第1電極パッド21、および貫通ビア182を経由して、配線層13と導通している。

[0046] 第2バンプ52は、ポスト44bに接合されている。本実施形態では、第2バンプ52は、複数のバンプ5のうち第1バンプ51に隣接しているものである。第2バンプ52は、第1バンプ51に隣接しているものに限られず、たとえば、複数のバンプ5のうち略中央に配置されたものであってもよい。第2バンプ52とポスト44bとの接合面積 $S4$ （図3B参照）よりも、上述の接合面積 $S3$ が大きい方が好ましい。接合面積 $S4$ は、たとえば、 $7854 \sim 125664 \mu\text{m}^2$ である。第2バンプ52は、方向 z 視において、長さ $L4$ （図3B参照）を直径とする円形状である。長さ $L4$ よりも長さ $L3$ が大きい方が好ましい。好ましくは、長さ $L3$ は、長さ $L4$ の1.1倍～1.5倍である。長さ $L4$ は、たとえば、 $100 \sim 460 \mu\text{m}$ である。第2バンプ52は、ポスト44b、再配線層43b、第2電極パッド22、および貫通ビア183を経由して、配線層13と導通している。本実施形態においては、第1バンプ51と第2バンプ52とを、配線層13が導通させている。

[0047] 図には示していないが、複数のバンプ5のうち第1バンプ5 1、第2バンプ5 2以外のいずれかは、再配線層4 3 cと導通している。

[0048] 図4、図5は、半導体装置A 1を実装基板8に実装した状態を示す。半導体装置A 1が実装基板8に実装されるとき、各バンプ5が実装基板8における実装パッド8 1に接合される。これにより、半導体基板1 1に形成された集積回路の端子（図示略）が実装パッド8 1と導通する。複数の実装パッド8 1のうち第1バンプ5 1が接合される実装パッド8 1 1と、複数の実装パッド8 1のうち第2バンプ5 2が接合される実装パッド8 1 2とは、実装基板8上における配線8 2（図4では略）を介して、互いに導通している。そのため、配線層1 2、1 3、貫通ビア1 8 1～1 8 3、第1電極パッド2 1、2 2、再配線層4 3 a、4 3 b、ポスト4 4 a、4 4 b、第1バンプ5 1、第2バンプ5 2、実装パッド8 1 1、8 1 2、および、配線8 2は、互いに導通している。

[0049] なお、複数のバンプ5のうち四角に配置されたものを、第1バンプ5 1と同様の構成としてもよい。

[0050] 次に、半導体装置A 1の作用効果について説明する。

[0051] 半導体装置A 1においては、図1 Aに示したように、第1バンプ5 1は方向xの一端且つ方向yの一端に配置されている。半導体装置A 1が実装基板8に実装された状態では、複数のバンプ5のうち第1バンプ5 1に応力がかかりやすい。そのため、第1バンプ5 1が疲労破壊しやすい。第1バンプ5 1が疲労破壊すると、第1電極パッド2 1から第1バンプ5 1を経由して実装パッド8 1 1に至る電流の経路が遮断される。

[0052] 半導体装置A 1においては、第1電極パッド2 1は、第2バンプ5 2を経由して、実装パッド8 1 1と導通している。そのため、第1電極パッド2 1から第1バンプ5 1を経由して実装パッド8 1 1に至る電流の経路が遮断されても、第1電極パッド2 1は、第2バンプ5 2を経由して、実装パッド8 1 1と導通しうる。そのため、半導体装置A 1は、第1電極パッド2 1から第1バンプ5 1を経由して実装パッド8 1 1に至る電流の経路が遮断するこ

とに起因する動作不良を、抑制するのに適する。

[0053] 半導体装置 A 1 においては、ポスト 4 4 a と第 1 バンプ 5 1 との接合面積 S 3 (図 3 B 参照) は、ポスト 4 4 b と第 2 バンプ 5 2 との接合面積 S 4 (図 3 B 参照) より大きい。このような構成は、第 1 バンプ 5 1 にかかる応力を小さくするのに適する。そのため、半導体装置 A 1 は、第 1 バンプ 5 1 の疲労破壊を抑制するのに適する。したがって、半導体装置 A 1 は、上述の動作不良を抑制するのに更に適する。

[0054] 半導体装置 A 1 においては、図 3 A に示したように、断面積 S 1 は、断面積 S 2 より大きい。このような構成も第 1 バンプ 5 1 にかかる応力を小さくするのに適する。さらに、当該構成はポスト 4 4 a の抵抗を小さくするのにも好適である。

[0055] 半導体装置 A 1 は、半導体チップ 1 に積層され且つ第 2 バンプ 5 2 に導通する第 2 電極パッド 2 2 を備える。また、第 1 電極パッド 2 1 と第 2 電極パッド 2 2 とを配線層 1 3 が導通させている。半導体装置 A 1 においては、再配線層 4 3 a と再配線層 4 3 b とが互いに離間していても、第 1 電極パッド 2 1 は、配線層 1 3 および第 2 電極パッド 2 2 を経由して、第 2 バンプ 5 2 と導通しうる。そのため、再配線層 4 3 a および再配線層 4 3 b との間に再配線層 4 3 a , 4 3 b のいずれとも絶縁された再配線層 4 3 c を形成しなければならない場合であっても、第 1 電極パッド 2 1 を第 2 バンプ 5 2 と導通させることができる。

[0056] 次に、図 6 ー図 1 6 を用いて、半導体装置 A 1 の製造方法の一例について簡単に説明する。

[0057] まず、図 6 に示すように、複数の半導体チップが作りこまれた基板 7 を用意する。基板 7 には、複数の電極パッド 2 (図では第 1 電極パッド 2 1 、第 2 電極パッド 2 2 を示す) が形成されている。また、基板 7 の表面の略全域は被覆膜 3 ' により覆われている。被覆膜 3 ' から電極パッド 2 が露出している。次に、同図に示すように、被覆膜 3 ' 上に応力緩和層 4 1 ' を形成する。応力緩和層 4 1 , には、電極パッド 2 を露出させる開口 4 1 1 が形成さ

れている。

[0058] 次に、図 7 に示すように、下地層 4 3 1 を形成する。下地層 4 3 1 は、電極パッド 2 および応力緩和層 4 1' を被覆している。次に、図 8 に示すように、金属層 4 3 2 (金属層 4 3 2 a , 4 3 2 b , 4 3 2 c を含む) を形成する。金属層 4 3 2 を形成するには、下地層 4 3 1 上に図示しないレジストパターンニングを行った後に、下地層 4 3 1 上にメツキを施すことにより行う。

[0059] 次に、図 9 に示すように、ポスト 4 4 (図ではポスト 4 4 a , 4 4 b を示す) を形成する。ポスト 4 4 を形成するには、金属層 4 3 2 の一部と応力緩和層 4 1' とを覆うドライフィルムをパターンニングした後に、金属層 4 3 2 上にメツキを施すことにより行う。

[0060] 次に、図 10 に示すように、下地層 4 3 1 をエッチングする。これにより、下地層 4 3 1 a , 4 3 1 b , 4 3 1 c が形成される。次に、図 11 に示すように、ハーフカットダイシングすることにより溝 4 9 を形成する。次に、図 12 に示すように、樹脂層 4 2' を形成する。樹脂層 4 2' の形成は印刷により行う。次に、図 13 に示すように、樹脂層 4 2' を研削し、ポスト 4 4 を樹脂層 4 2' から露出させる。次に、半導体基板 1 1 の図の下面を研削する (本実施形態にかかる説明では図示せず)。次に、図 14 に示すように、半導体基板 1 1 の裏面に樹脂コート 8 5 を形成する。次に、図 15 に示すように、バンプ 5 を形成する。バンプ 5 を形成するには、ポスト 4 4 にハンダを印刷した後に、リフローを施すことにより行う。次に、図 16 に示すように、溝 4 9 を通る線 9 9 に沿って、半導体基板 1 1 や樹脂層 4 2' 等を一括してダイシングする。これにより、図 2 に示した半導体装置 A 1 が製造される。

[0061] 図 17 〜図 23 は、本発明の他の実施形態を示している。なお、これらの図において、上記実施形態と同一または類似の要素には、上記実施形態と同一の符号を付している。

[0062] 図 17 は、本発明の第 2 実施形態にかかる半導体装置の要部断面図である。同図に示す半導体装置 A 2 は、半導体チップ 1 と、複数の電極パッド 2 と

、被覆膜 3 と、中間層 4 と、複数のバンプ 5 と、樹脂コート 8 5 とを備える。半導体装置 A 2 は、再配線層 4 3 a , 4 3 b , 4 3 c を備えておらず再配線層 4 3 e を備えている点において、上述の半導体装置 A 1 と異なる。半導体装置 A 2 では、第 1 電極パッド 2 1 と第 2 バンプ 5 2 とを、配線層 1 3 のみならず再配線層 4 3 e が導通させている。本実施形態における半導体チップ 1、複数の電極パッド 2、被覆膜 3、および、複数のバンプ 5 の各構成は、上述の実施形態における構成と同様であるから説明を省略する。

[0063] 本実施形態において中間層 4 は、応力緩和層 4 1 と、樹脂層 4 2 と、再配線層 4 3 e と、ポスト 4 4 a , 4 4 b とを含む。応力緩和層 4 1 および樹脂層 4 2 は、上述の実施形態における構成と同様であるから説明を省略する。

[0064] 再配線層 4 3 e は、下地層 4 3 1 e と、金属層 4 3 2 e とを有する。下地層 4 3 1 e の一部は応力緩和層 4 1 を貫通している。また、下地層 4 3 1 e の一部は、応力緩和層 4 1 に積層されている。下地層 4 3 1 e は、第 1 電極パッド 2 1 , 2 2 のいずれにも接する。下地層 4 3 1 e は、第 1 電極パッド 2 1 , 2 2 が腐食するのを防止する機能を担う。下地層 4 3 1 e は、たとえば、チタン、ニッケル、チタタンングステンなどの金属よりなる。金属層 4 3 2 e は、下地層 4 3 1 e に積層されている。金属層 4 3 2 e は、たとえば、銅などの金属よりなる。本実施形態では、ポスト 4 4 a , 4 4 b はいずれも、再配線層 4 3 e に立設されている。

[0065] 次に、半導体装置 A 2 の作用効果について説明する。

[0066] 半導体装置 A 2 においては、半導体装置 A 1 と同様に、第 1 バンプ 5 1 は方向 x の一端且つ方向 y の一端に配置されている。半導体装置 A 2 が実装基板 8 (本実施形態では図示略、第 1 実施形態参照) に実装された状態では、複数のバンプ 5 のうち第 1 バンプ 5 1 に応力がかかりやすい。そのため、第 1 バンプ 5 1 が疲労破壊しやすい。第 1 バンプ 5 1 が疲労破壊すると、第 1 電極パッド 2 1 から第 1 バンプ 5 1 を経由して実装パッド 8 1 1 (本実施形態では図示略、第 1 実施形態参照) に至る電流の経路が遮断される。

[0067] 半導体装置 A 2 においては、第 1 電極パッド 2 1 は、第 2 バンプ 5 2 を経

由して、実装パッド8 1 1と導通している。そのため、第1電極パッド2 1から第1バンプ5 1を経由して実装パッド8 1 1に至る電流の経路が遮断されても、第1電極パッド2 1は、第2バンプ5 2を経由して、実装パッド8 1 1と導通しうる。そのため、半導体装置A 2は、第1電極パッド2 1から第1バンプ5 1を経由して実装パッド8 1 1に至る電流の経路が遮断することに起因する動作不良を抑制するのに適する。

[0068] 半導体装置A 2においては、半導体装置A 1と同様に、ポスト4 4 aと第1バンプ5 1との接合面積S 3は、ポスト4 4 bと第2バンプ5 2との接合面積S 4より大きい。このような構成は、第1バンプ5 1にかかる応力を、小さくするのに適する。そのため、半導体装置A 2は、第1バンプ5 1の疲労破壊を抑制するのに適する。したがって、半導体装置A 2は、上述の動作不良を抑制するのに、更に適する。

[0069] 半導体装置A 2においては、半導体装置A 1と同様に、ポスト4 4 aの断面積S 1は、ポスト4 4 bの断面積S 2より大きい。このような構成も第1バンプ5 1にかかる応力を小さくするのに適する。更に、当該構成はポスト4 4 aの抵抗を小さくするのにも好適である。

[0070] 図18は、本発明の第3実施形態にかかる半導体装置の要部断面図である。同図に示す半導体装置A 3は、半導体チップ1と、複数の電極パッド2と、被覆膜3と、中間層4と、複数のバンプ5と、樹脂コート8 5を備える。半導体装置A 3は、第1電極パッド2 1と第2バンプ5 2とを、配線層1 3が導通させているのではなく再配線層4 3 eのみが導通させている点において、上述の半導体装置A 2と相違する。

[0071] 半導体装置A 3においては、半導体装置A 2に関して述べたのと同様に、第1電極パッド2 1から第1バンプ5 1を経由して実装パッド8 1 1（本実施形態では図示略、第1実施形態参照）に至る電流の経路が遮断されても、第1電極パッド2 1は、第2バンプ5 2を経由して、実装パッド8 1 1と導通しうる。そのため、半導体装置A 3は、第1電極パッド2 1から第1バンプ5 1を経由して実装パッド8 1 1に至る電流の経路が遮断することに起因

する動作不良を抑制するのに適する。

[0072] 半導体装置 A 3 においては、半導体装置 A 1 , A 2 と同様に、ポスト 4 4 a と第 1 バンプ 5 1 との接合面積 S 3 は、ポスト 4 4 b と第 2 バンプ 5 2 との接合面積 S 4 より大きい。このような構成は、第 1 バンプ 5 1 にかかる応力を、小さくするのに適する。そのため、半導体装置 A 3 は、第 1 バンプ 5 1 の疲労破壊を抑制するのに適する。したがって、半導体装置 A 3 は、上述の動作不良を抑制するのに、更に適する。

[0073] 半導体装置 A 3 においては、半導体装置 A 1 や半導体装置 A 2 のように配線層 1 3 が第 1 電極パッド 2 1 と第 2 バンプ 5 2 とを導通させなくても、再配線層 4 3 e が第 1 電極パッド 2 1 と第 2 バンプ 5 2 とを導通させることができる。再配線層 4 3 e の形状パターンの設計自由度は高い。したがって、第 1 電極パッド 2 1 と第 2 バンプ 5 2 とが導通する構成を簡単に得ることができる。

[0074] 半導体装置 A 3 においては、半導体装置 A 1 , A 2 と同様に、ポスト 4 4 a の断面積 S 1 は、ポスト 4 4 b の断面積 S 2 より大きい。このような構成も第 1 バンプ 5 1 にかかる応力を小さくするのに適する。更に、当該構成はポスト 4 4 a の抵抗を小さくするのにも好適である。

[0075] 図 1 9 A 〜図 2 2 を用いて本発明の第 4 実施形態について説明する。図 1 9 A は、本実施形態にかかる半導体装置の底面図であり、図 1 9 B は、本実施形態にかかる半導体装置の側面図（一部透視化）である。図 2 0 は、図 1 9 A の X X —X X 線に沿う要部断面図である。図 2 1 は、図 2 0 の X X I —X X I 線に沿う要部断面図である。

[0076] これらの図に示す半導体装置 A 4 は、半導体チップ 1 と、複数の電極パッド 2 と、中間層 4 と、複数のバンプ 5 と、複数のワイヤ 8 7 と、封止樹脂 8 8 とを備える。半導体装置 A 4 は、BGA（Ball Grid Array）タイプの半導体装置である。

[0077] 半導体チップ 1 および電極パッド 2 の各構成は、第 3 実施形態にて説明したとおりであるから、本実施形態ではこれらの説明を省略する。

- [0078] 本実施形態において中間層 4 は、配線基板である。中間層 4 は、基材 7 1 と、主面配線層 7 2 と、裏面配線層 7 3 と、スルーホール電極 7 4 とを少なくとも含む。中間層 4 は、半導体チップ 1 を搭載している。図 19 A に示すように、中間層 4 は、方向 z 視において、方向 x に延びる第 1 の縁 4 9 a と、方向 y に延びる第 2 の縁 4 9 b とにより規定される矩形状を呈する。
- [0079] 基材 7 1 は、たとえばエポキシ樹脂よりなる。基材 7 1 は、主面 7 1 1 と主面 7 1 1 とは反対側を向く裏面 7 1 2 とを有する。
- [0080] 主面配線層 7 2 、裏面配線層 7 3 、およびスルーホール電極 7 4 は、たとえば、銅よりなる。主面配線層 7 2 は、主面 7 1 1 に形成されている。裏面配線層 7 3 は、裏面 7 1 2 に形成されている。スルーホール電極 7 4 は、主面 7 1 1 から裏面 7 1 2 にわたって、基材 7 1 を貫通している。スルーホール電極 7 4 は、主面配線層 7 2 および裏面配線層 7 3 のいずれとも接している。これにより、主面配線層 7 2 と裏面配線層 7 3 とは互いに導通している。
- [0081] 複数のワイヤ 8 7 は、たとえば、銅、アルミニウム、もしくは金よりなる。図 20 に示すように、複数のワイヤ 8 7 のうちの一つは、第 1 電極パッド 2 1 と主面配線層 7 2 とに接する。これにより、第 1 電極パッド 2 1 と主面配線層 7 2 とは導通している。封止樹脂 8 8 は、半導体チップ 1 、主面配線層 7 2 、ワイヤ 8 7 など覆っている。封止樹脂 8 8 は、たとえば、エポキシ樹脂よりなる。
- [0082] 本実施形態においても、複数のバンプ 5 は、中間層 4 を挟んで半導体チップ 1 が配置された側と反対側に配置されている。すなわち、複数のバンプ 5 は、半導体チップ 1 とともに中間層 4 を挟むように配置されている。図 19 A に示すように、本実施形態では、方向 z 視において、複数のバンプ 5 は、基盤の目状に配置されている。各バンプ 5 の配置態様は、上述の実施形態と同様であるから、説明を省略する。
- [0083] 図 19 A ー図 21 に示すように、複数のバンプ 5 のうち 2 つを、第 1 バンプ 5 3 、第 2 バンプ 5 4 としている。図 19 A に示すように、第 1 バンプ 5

3 は、方向 x の一端且つ方向 y の一端に配置されている。図 20 に示すように、第 1 バンプ 53 は、裏面配線層 73 に接合されている。第 1 バンプ 53 と裏面配線層 73 との接合面積 S_5 (図 21 参照) は、たとえば、たとえば、 $17671 \sim 196350 \mu m^2$ である。第 1 バンプ 53 は、方向 z 視において、長さ L_5 (図 21 参照) を直径とする円形状である。長さ L_5 は、たとえば、 $150 \sim 500 \mu m$ である。第 1 バンプ 53 は、裏面配線層 73、スルーホール電極 74、主面配線層 72、およびワイヤ 87 を経由して、第 1 電極パッド 21 と導通している。

[0084] 第 2 バンプ 54 は、裏面配線層 73 に接合されている。第 2 バンプ 54 は、複数のバンプ 5 のうち第 1 バンプ 53 に隣接しているものである。第 2 バンプ 54 は第 1 バンプ 53 に隣接しているものに限られず、たとえば、複数のバンプ 5 のうち略中央に配置されたものであってもよい。第 2 バンプ 54 と裏面配線層 73 との接合面積 S_6 (図 21 参照) は、たとえば、 $7854 \sim 125664 \mu m^2$ である。接合面積 S_6 よりも接合面積 S_5 の方が大きいことが好ましい。たとえば、接合面積 S_5 は、接合面積 S_6 よりも 1.1 倍 $\sim$ 1.5 倍であることが好ましい。第 2 バンプ 54 は、方向 z 視において、長さ L_6 (図 21 参照) を直径とする円形状である。長さ L_6 よりも長さ L_5 が大きい方が好ましい。たとえば、長さ L_6 は、長さ L_5 の 1.1 倍 $\sim$ 1.5 倍であることが好ましい。長さ L_6 は、たとえば、 $100 \sim 400 \mu m$ である。第 2 バンプ 54 は、裏面配線層 73、スルーホール電極 74、主面配線層 72、およびワイヤ 87 を経由して、第 1 電極パッド 21 と導通している。本実施形態においては、第 1 バンプ 53 と第 2 バンプ 54 とを、裏面配線層 73 が導通させている。

[0085] 図 22、図 23 は、半導体装置 A4 が実装基板 8 に実装された状態を示す図である。半導体装置 A4 が実装基板 8 に実装されるとき、各バンプ 5 が実装基板 8 における実装パッド 81 に接合される。これにより、半導体基板 1 に形成された集積回路の端子 (図示略) が実装パッド 81 と導通する。複数の実装パッド 81 のうち第 1 バンプ 53 が接合される実装パッド 811 と

、複数の実装パッド8 1のうち第2バンプ5 4が接合される実装パッド8 1 2とは、実装基板8上における配線8 2（図2 2では略）を介して、互いに導通している。そのため、主面配線層7 2、裏面配線層7 3、スルーホール電極7 4、図2 3に示すワイヤ8 7、第1電極パッド2 1、第1バンプ5 3、第2バンプ5 4、実装パッド8 1 1、8 1 2、および、配線8 2は、互いに導通している。

[0086] なお、本実施形態においても、複数のバンプ5のうち四角に配置されたものの全てを、第1バンプ5 3と同様の構成としてもよい。

[0087] 次に、半導体装置A 4の作用効果について説明する。

[0088] 半導体装置A 4においては、第1バンプ5 3は方向xの一端且つ方向yの一端に配置されている。半導体装置A 4が実装基板8に実装された状態では、複数のバンプ5のうち第1バンプ5 3に応力がかかりやすい。そのため、第1バンプ5 3が疲労破壊しやすい。第1バンプ5 3が疲労破壊すると、第1電極パッド2 1から第1バンプ5 3を経由して実装パッド8 1 1に至る電流の経路が遮断される。

[0089] 半導体装置A 4においては、第1電極パッド2 1は、第2バンプ5 4を経由して、実装パッド8 1 1と導通している。そのため、第1電極パッド2 1から第1バンプ5 3を経由して実装パッド8 1 1に至る電流の経路が遮断されても、第1電極パッド2 1は、第2バンプ5 4を経由して、実装パッド8 1 1と導通しうる。そのため、半導体装置A 4は、第1電極パッド2 1から第1バンプ5 3を経由して実装パッド8 1 1に至る電流の経路が遮断することに起因する動作不良を、抑制するのに適する。

[0090] 半導体装置A 4においては、図2 1に示したように、接合面積S 5は、接合面積S 6より大きい。このような構成は、第1バンプ5 3にかかる応力を小さくするのに適する。そのため、半導体装置A 4は、第1バンプ5 3の疲労破壊を抑制するのに適する。したがって、半導体装置A 4は、上述の動作不良を抑制するのに更に適する。

[0091] 基材7 1の主面7 1 1には、半導体チップ1が配置されている。また、主

面配線層 7 2 には、ワイヤ 8 7 を接続する必要もある。そのため、主面配線層 7 2 の形状の自由度は比較的低い。一方、裏面配線層 7 3 にはバンプ 5 を形成するのみである。そのため、裏面配線層 7 3 の形状は比較的自由に決定することができる。そのため、半導体装置 A 4 によると、第 1 バンプ 5 3 と第 2 バンプ 5 4 とを比較的簡単に導通させることができる。

[0092] 図 2 4 は、本発明の第 5 実施形態にかかる半導体装置を示す要部断面図である。同図に示す半導体装置 A 5 は、主面配線層 7 2 が第 1 バンプ 5 3 と第 2 バンプ 5 4 とを導通させている点において、上述の半導体装置 A 4 と相違する。このような構成によっても、半導体装置 A 4 に関して述べたのと同様の理由により、上述の動作不良を抑制することができる。

[0093] 本発明の範囲は、上述した実施形態に限定されるものではない。本発明の各部の具体的な構成は、種々に設計変更自在である。寸法 L 1 が寸法 L 2 より大きいことが好ましいが、第 1 バンプ 5 1 および第 2 バンプ 5 2 が第 1 電極パッド 2 1 に導通していれば、寸法 l 1 は寸法 L 2 以下でもよい。同様に、長さ L 3 は長さ L 4 以下でもよい。同様に、長さ L 5 は長さ L 6 以下でもよい。同様に、面積 S 1 は面積 S 2 以下でもよい。同様に、面積 S 3 は面積 S 4 以下でもよい。同様に、面積 S 5 は面積 S 6 以下でもよい。

[0094] 複数のバンプ 5 のうち、第 2 バンプ 5 2 や第 2 バンプ 5 4 と同様の機能を有するものが複数あってもよい。

請求の範囲

[請求項1]

半導体チップと、
上記半導体チップに積層された第1電極パッドと、
第1の縁と第2の縁とに規定された矩形状を呈する中間層と、
上記半導体チップとともに上記中間層を挟むように配置された複数のバンプと、を備え、
上記第1の縁は、上記半導体チップの厚さ方向に交差する第1方向に延び、上記第2の縁は、上記厚さ方向および上記第1方向のいずれにも交差する第2方向に延び、上記複数のバンプのいずれか一つは、上記第1電極パッドに導通する第1バンプであり、上記複数のバンプのいずれか一つは、上記第1電極パッドに導通する第2バンプであり、上記第1バンプは、上記複数のバンプのうち、上記第1方向の一端且つ上記第2方向の一端に配置されたものである、半導体装置。

[請求項2]

上記半導体チップに積層された第2電極パッドを更に備え、
上記半導体チップは、上記第1電極パッドおよび上記第2電極パッドを導通させる配線層を含み、上記第2バンプは、上記第2電極パッドを経由して上記第1電極パッドと導通している、請求項1に記載の半導体装置。

[請求項3]

上記第1電極パッドおよび上記第2電極パッドを露出させる被覆膜を更に備え、
上記中間層は、上記被覆膜に積層された応力緩和層と、上記応力緩和層に積層された第1再配線層と、上記応力緩和層に積層された第2再配線層と、を含み、上記第1再配線層は、上記厚さ方向視において上記第1バンプと重なる部位を有し、上記第2再配線層は、上記厚さ方向視において上記第2バンプと重なる部位を有し、上記第1再配線層と上記第2再配線層とは互いに離間している、請求項2に記載の半導体装置。

[請求項4]

上記第1電極パッドおよび上記第2電極パッドを露出させる被覆膜

を更に備え、

上記中間層は、上記被覆膜に積層された応力緩和層と、上記応力緩和層に積層された再配線層と、を含み、上記再配線層は、上記第1バンプおよび上記第2バンプを導通させている、請求項2に記載の半導体装置。

[請求項5]

上記第1電極パッドを露出させる被覆膜を更に備え、

上記中間層は、上記被覆膜に積層された応力緩和層と、上記応力緩和層に積層された再配線層と、を含み、上記再配線層は、上記第1バンプおよび上記第2バンプを導通させている、請求項1に記載の半導体装置。

[請求項6]

上記中間層は、上記半導体チップの厚さ方向に延びる第1ポストと、上記半導体チップの厚さ方向に向かって延びる第2ポストと、を含み、上記第1ポストは、上記第1バンプに接し、上記第2ポストは、上記第2バンプに接する、請求項1ないし5のいずれかに記載の半導体装置。

[請求項7]

上記第1ポストと上記第1バンプとの接合面積は、上記第2ポストと上記第2バンプとの接合面積より大きい、請求項6に記載の半導体装置。

[請求項8]

上記第1方向および上記第2方向に広がる平面による上記第1ポストの断面積は、上記第1方向および上記第2方向に広がる平面による上記第2ポストの断面積より大きい、請求項6または7に記載の半導体装置。

[請求項9]

上記第1ポストは第1寸法を直径として上記厚さ方向に延びる円柱状であり、上記第2ポストは上記第1寸法より小さい第2寸法を直径として上記厚さ方向に延びる円柱状である、請求項6ないし8のいずれかに記載の半導体装置。

[請求項10]

上記第1寸法は、上記第2寸法の1.1倍〜1.5倍である、請求

項 9 に記載の半導体装置。

[請求項11] 上記中間層は、主面および裏面を有する基材と、上記主面に形成された主面配線層と、上記裏面に形成された裏面配線層と、を含み、上記裏面は上記主面の反対側を向き、上記主面には、上記半導体チップが搭載されており、上記裏面配線層は、上記主面配線層と導通し、上記裏面配線層は、上記第 1 バンプおよび上記第 2 バンプのいずれにも接する、請求項 1 に記載の半導体装置。

[請求項12] 上記第 1 バンプおよび上記第 2 バンプの体積はいずれも同一である、請求項 1 ないし 11 のいずれかに記載の半導体装置。

[請求項13] 上記複数のバンプは、25 個以上である、請求項 1 ないし 12 のいずれかに記載の半導体装置。

[請求項14] 上記厚さ方向視において上記第 1 バンプは第 1 長さを直径とする円形状であり、上記厚さ方向視において上記第 2 バンプは上記第 1 長さより小さい第 2 長さを直径とする円形状である、請求項 1 ないし 13 のいずれかに記載の半導体装置。

[請求項15] 上記第 1 長さは、上記第 2 長さの 1.1 倍～1.5 倍である、請求項 14 に記載の半導体装置。

[請求項16] 上記第 2 バンプは、上記複数のバンプのうち上記第 1 バンプに最も隣接しているものである、請求項 1 ないし 15 のいずれかに記載の半導体装置。

[請求項17] 上記第 1 バンプおよび上記第 2 バンプはいずれも機能ピンである、請求項 1 ないし 16 のいずれかに記載の半導体装置。

[請求項18] 上記複数のバンプのうち四角に配置されたものは上記第 1 バンプである、請求項 1 ないし 17 のいずれかに記載の半導体装置。

補正された請求の範囲

[201 1年12月9日(09.12.201 1)国際事務局受理]

[請求項 1]

半導体チップと、
上記半導体チップに積層された第 1 電極パッドと、
第 1 の縁と第 2 の縁とに規定された矩形状を呈する中間層と、
上記半導体チップとともに上記中間層を挟むように配置された複数のバンプと、を備え、
上記第 1 の縁は、上記半導体チップの厚さ方向に交差する第 1 方向に延び、上記第 2 の縁は、上記厚さ方向および上記第 1 方向のいずれにも交差する第 2 方向に延び、上記複数のバンプのいずれか一つは、上記第 1 電極パッドに導通する第 1 バンプであり、上記複数のバンプのいずれか一つは、上記第 1 電極パッドに導通する第 2 バンプであり、上記第 1 バンプは、上記複数のバンプのうち、上記第 1 方向の一端且つ上記第 2 方向の一端に配置されたものである、半導体装置。

[請求項 2]

上記半導体チップに積層された第 2 電極パッドを更に備え、
上記半導体チップは、上記第 1 電極パッドおよび上記第 2 電極パッドを導通させる配線層を含み、上記第 2 バンプは、上記第 2 電極パッドを経由して上記第 1 電極パッドと導通している、請求項 1 に記載の半導体装置。

[請求項 3]

上記第 1 電極パッドおよび上記第 2 電極パッドを露出させる被覆膜を更に備え、
上記中間層は、上記被覆膜に積層された応力緩和層と、上記応力緩和層に積層された第 1 再配線層と、上記応力緩和層に積層された第 2 再配線層と、を含み、上記第 1 再配線層は、上記厚さ方向視において上記第 1 バンプと重なる部位を有し、上記第 2 再配線層は、上記厚さ方向視において上記第 2 バンプと重なる部位を有し、上記第 1 再配線層と上記第 2 再配線層とは互いに離間している、請求項 2 に記載の半導体装置。

[請求項 4]

上記第 1 電極パッドおよび上記第 2 電極パッドを露出させる被覆膜

を更に備え、

上記中間層は、上記被覆膜に積層された応力緩和層と、上記応力緩和層に積層された再配線層と、を含み、上記再配線層は、上記第1バンプおよび上記第2バンプを導通させている、請求項2に記載の半導体装置。

[請求項5]

上記第1電極パッドを露出させる被覆膜を更に備え、

上記中間層は、上記被覆膜に積層された応力緩和層と、上記応力緩和層に積層された再配線層と、を含み、上記再配線層は、上記第1バンプおよび上記第2バンプを導通させている、請求項1に記載の半導体装置。

[請求項6]

上記中間層は、上記半導体チップの厚さ方向に延びる第1ポストと、上記半導体チップの厚さ方向に向かって延びる第2ポストと、を含み、上記第1ポストは、上記第1バンプに接し、上記第2ポストは、上記第2バンプに接する、請求項1ないし5のいずれかに記載の半導体装置。

[請求項7]

上記第1ポストと上記第1バンプとの接合面積は、上記第2ポストと上記第2バンプとの接合面積より大きい、請求項6に記載の半導体装置。

[請求項8]

上記第1方向および上記第2方向に広がる平面による上記第1ポストの断面積は、上記第1方向および上記第2方向に広がる平面による上記第2ポストの断面積より大きい、請求項6または7に記載の半導体装置。

[請求項9]

上記第1ポストは第1寸法を直径として上記厚さ方向に延びる円柱状であり、上記第2ポストは上記第1寸法より小さい第2寸法を直径として上記厚さ方向に延びる円柱状である、請求項6ないし8のいずれかに記載の半導体装置。

[請求項10]

上記第1寸法は、上記第2寸法の1.1倍〜1.5倍である、請求

項 9 に記載の半導体装置。

[請求項11] 上記中間層は、主面および裏面を有する基材と、上記主面に形成された主面配線層と、上記裏面に形成された裏面配線層と、を含み、上記裏面は上記主面の反対側を向き、上記主面には、上記半導体チップが搭載されており、上記裏面配線層は、上記主面配線層と導通し、上記裏面配線層は、上記第 1 バンプおよび上記第 2 バンプのいずれにも接する、請求項 1 に記載の半導体装置。

[請求項12] 上記第 1 バンプおよび上記第 2 バンプの体積はいずれも同一である、請求項 1 ないし 11 のいずれかに記載の半導体装置。

[請求項13] 上記複数のバンプは、25 個以上である、請求項 1 ないし 12 のいずれかに記載の半導体装置。

[請求項14] 上記厚さ方向視において上記第 1 バンプは第 1 長さを直径とする円形状であり、上記厚さ方向視において上記第 2 バンプは上記第 1 長さより小さい第 2 長さを直径とする円形状である、請求項 1 ないし 13 のいずれかに記載の半導体装置。

[請求項15] 上記第 1 長さは、上記第 2 長さの 1.1 倍～1.5 倍である、請求項 14 に記載の半導体装置。

[請求項16] 上記第 2 バンプは、上記複数のバンプのうち上記第 1 バンプに最も隣接しているものである、請求項 1 ないし 15 のいずれかに記載の半導体装置。

[請求項17] 上記第 1 バンプおよび上記第 2 バンプはいずれも機能ピンである、請求項 1 ないし 16 のいずれかに記載の半導体装置。

[請求項18] 上記複数のバンプのうち四角に配置されたものは上記第 1 バンプである、請求項 1 ないし 17 のいずれかに記載の半導体装置。

[請求項19] (追加) 上記中間層は、上記応力緩和層または上記再配線層に積層された樹脂層を更に備える、請求項 5 に記載の半導体装置。

[請求項20] (追加) 上記樹脂層は、上記応力緩和層の側面を覆っている、請求項 19 に記載の半導体装置。

- [請求項21] (追加) 上記樹脂層は、上記被覆膜の側面を更に覆っている、請求項20に記載の半導体装置。
- [請求項22] (追加) 上記半導体チップの裏面を覆う樹脂コートを更に備える、請求項19に記載の半導体装置。
- [請求項23] (追加) 上記再配線層は、下地層と金属層とからなる、請求項19に記載の半導体装置。
- [請求項24] (追加) 上記下地層は、チタン、ニッケル、チタタンゲステンのいずれかからなり、上記金属層は銅からなる、請求項23に記載の半導体装置。
- [請求項25] (追加) 矩形状の半導体チップと、
上記半導体チップに形成された、第1電極パッドを含む複数の電極パッドと、
上記複数の電極パッドにそれぞれ電氣的に接続された、外部と接続するための複数のバンプと、を備えており、
上記複数のバンプは、上記半導体チップの複数の角部のうちの1つに形成された第1バンプと、上記複数の角部以外の位置に形成された第2バンプと、を含んでおり、上記第1電極パッドは、上記第1バンプと上記第2バンプとに電氣的に接続されている、半導体装置。
- [請求項26] (追加) 上記複数の電極パッドを露出させる被覆膜と、上記被覆膜に積層された応力緩和層と、上記応力緩和層に積層された再配線層と、を更に備える、請求項25に記載の半導体装置。
- [請求項27] (追加) 上記半導体チップに積層された第2電極パッドを更に備えており、
上記半導体チップは、上記第1電極パッドおよび上記第2電極パッドを導通させる配線層を含み、上記第2バンプは、上記第2電極パッドを経由して上記第1電極パッドと導通している、請求項26に記載の半導体装置。
- [請求項28] (追加) 上記応力緩和層または上記再配線層に積層された樹脂層を

更に備える、請求項 26 に記載の半導体装置。

[請求項 29] (追加) 上記樹脂層は、上記応力緩和層の側面を覆っている、請求項 28 に記載の半導体装置。

[請求項 30] (追加) 上記樹脂層は、上記被覆膜の側面を更に覆っている、請求項 29 に記載の半導体装置。

[請求項 31] (追加) 上記半導体チップの裏面を覆う樹脂コート層を更に備える、請求項 28 に記載の半導体装置。

[請求項 32] (追加) 上記再配線層は、下地層と金属層とからなる、請求項 28 に記載の半導体装置。

[請求項 33] (追加) 上記下地層は、チタン、ニッケル、チタニウム、タングステンのいずれかからなり、上記金属層は銅からなる、請求項 32 に記載の半導体装置。

[請求項 34] (追加) 上記複数のバンプは、25 個以上である、請求項 26 に記載の半導体装置。

[請求項 35] (追加) 上記半導体チップの厚さ方向視において上記第 1 バンプは第 1 長さを直径とする円形状であり、上記厚さ方向視において上記第 2 バンプは上記第 1 長さより小さい第 2 長さを直径とする円形状である、請求項 25 に記載の半導体装置。

[請求項 36] (追加) 上記第 1 長さは、上記第 2 長さの 1.1 倍～1.5 倍である、請求項 35 に記載の半導体装置。

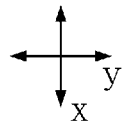
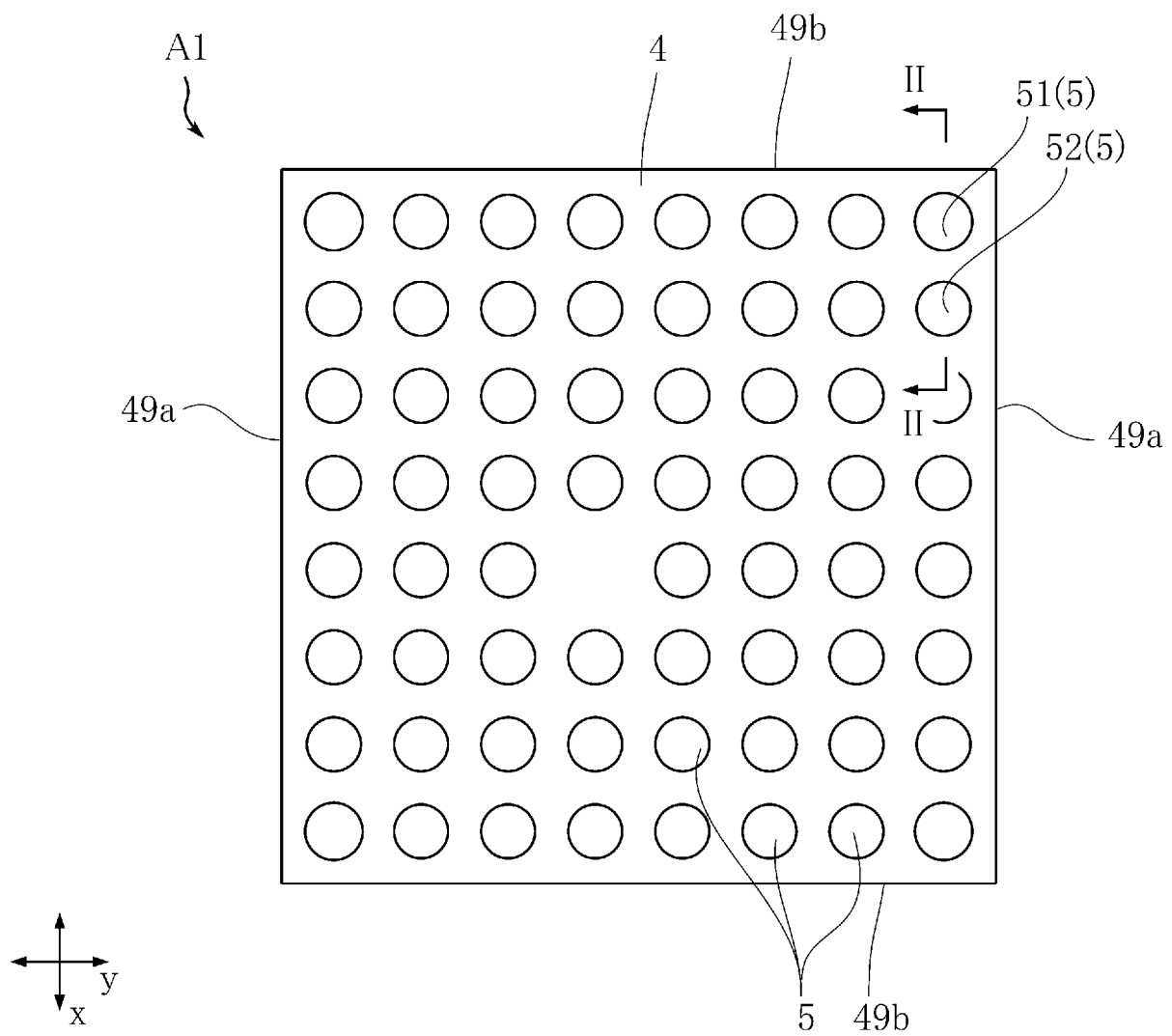
[請求項 37] (追加) 上記第 2 バンプは、上記複数のバンプのうち上記第 1 バンプに最も隣接しているものである、請求項 25 に記載の半導体装置。

[請求項 38] (追加) 上記第 1 バンプおよび上記第 2 バンプはいずれも機能ピンである、請求項 25 に記載の半導体装置。

[請求項 39] (追加) 上記複数のバンプのうち四角に配置されたものは上記第 1 バンプである、請求項 25 に記載の半導体装置。

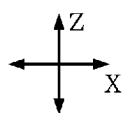
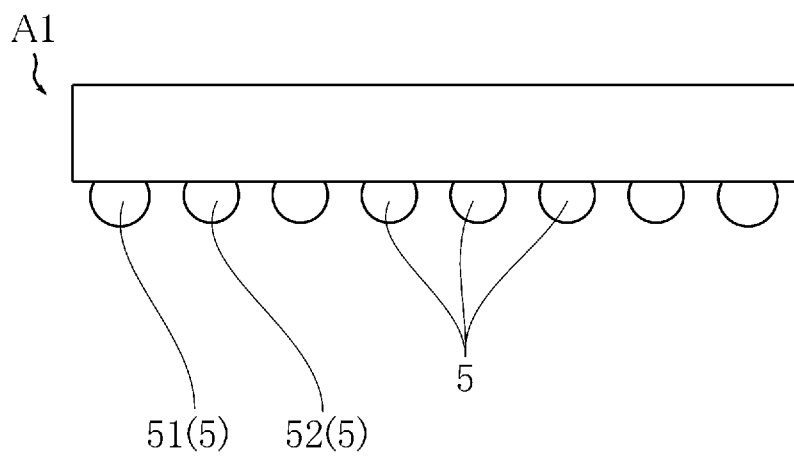
[図1A]

FIG.1A

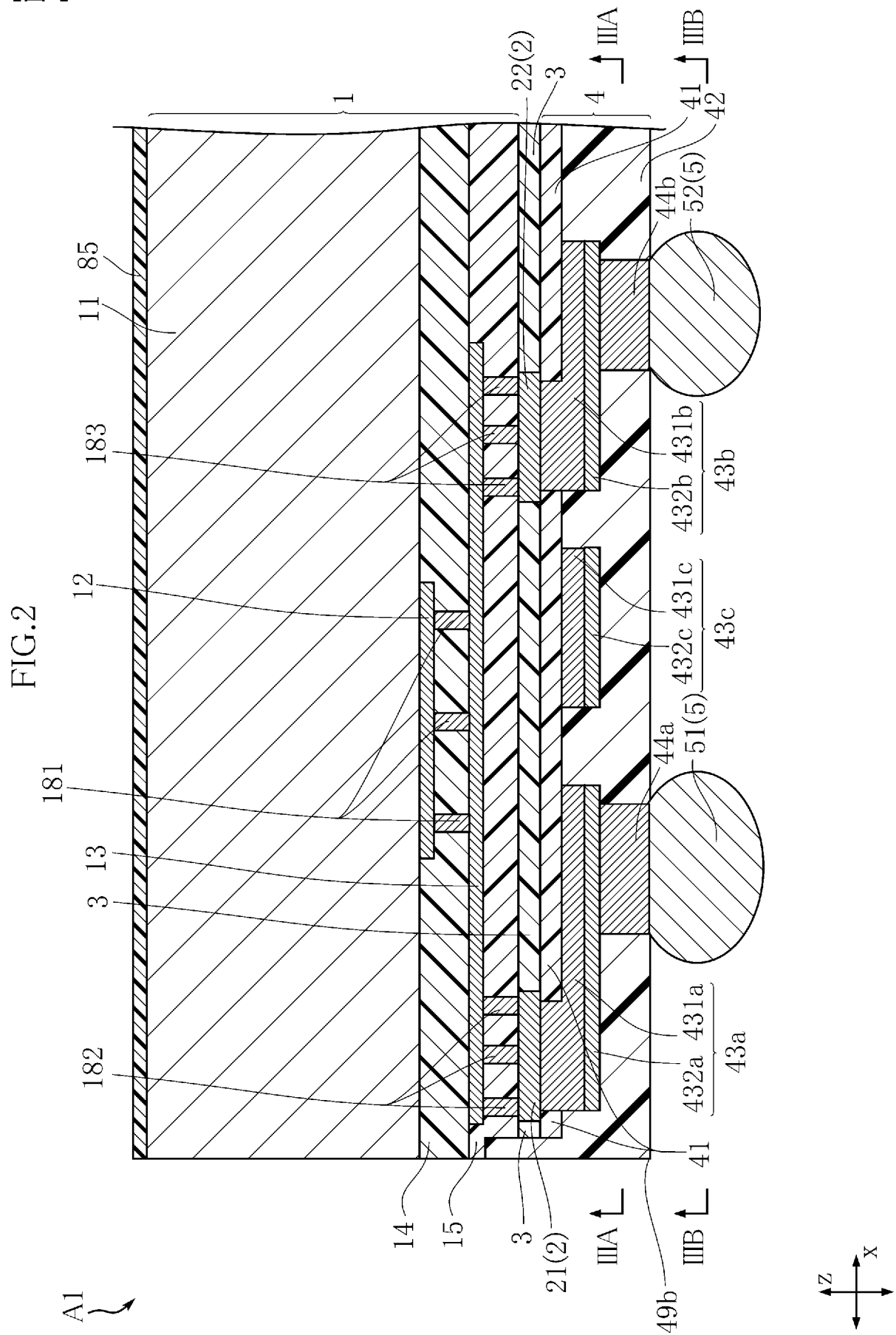


[図1B]

FIG.1B

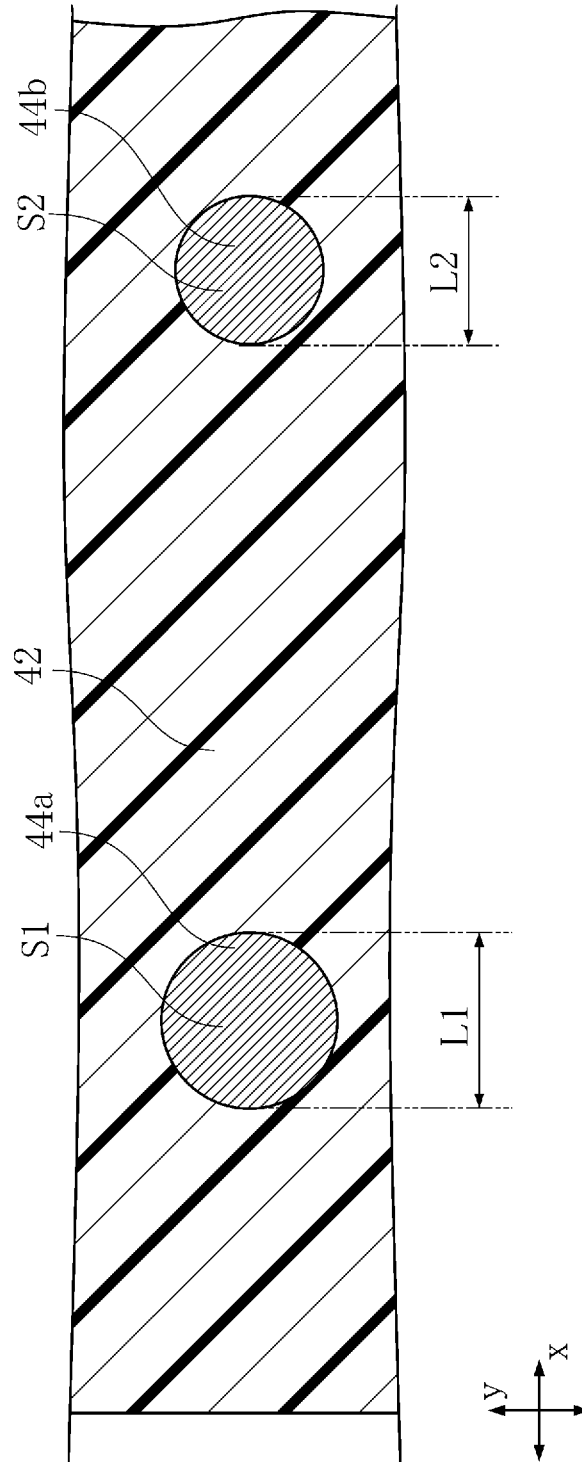


[図2]



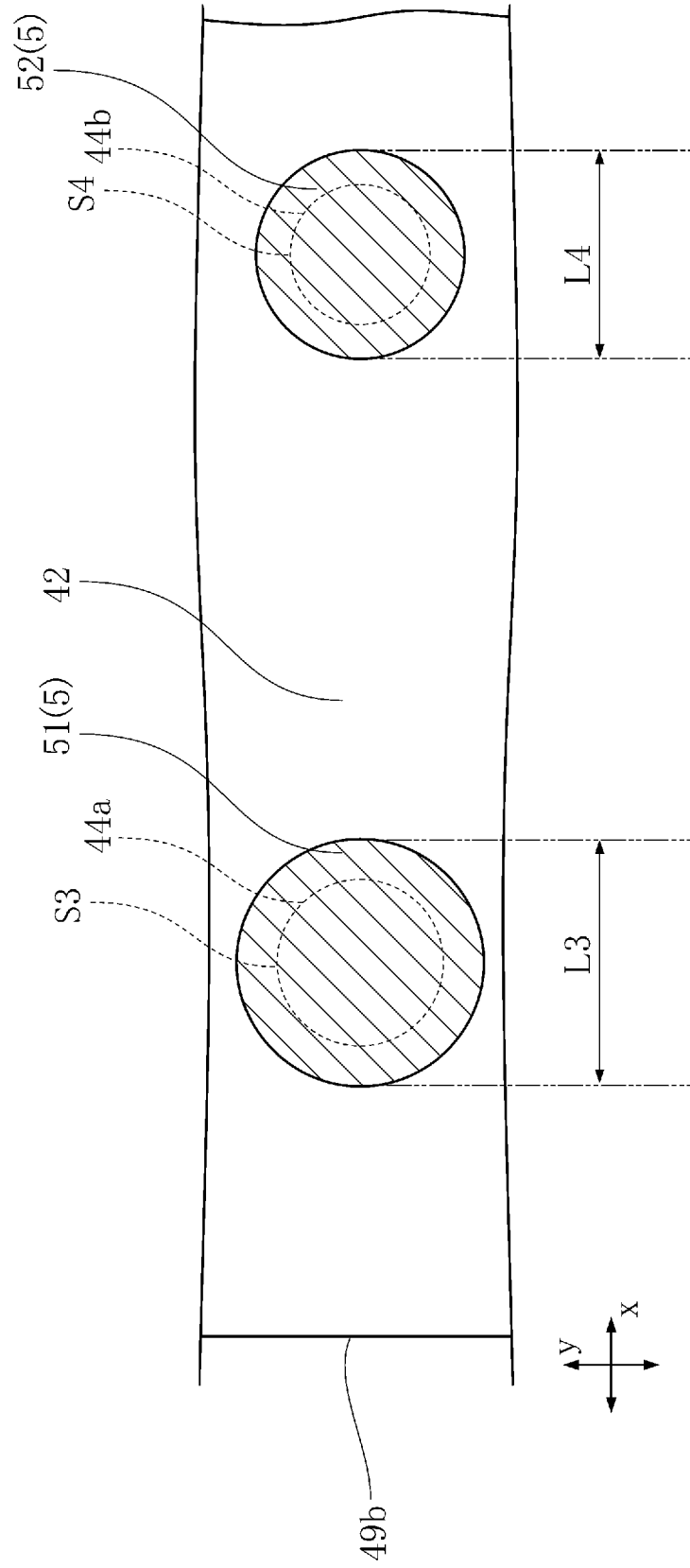
[図3A]

FIG.3A



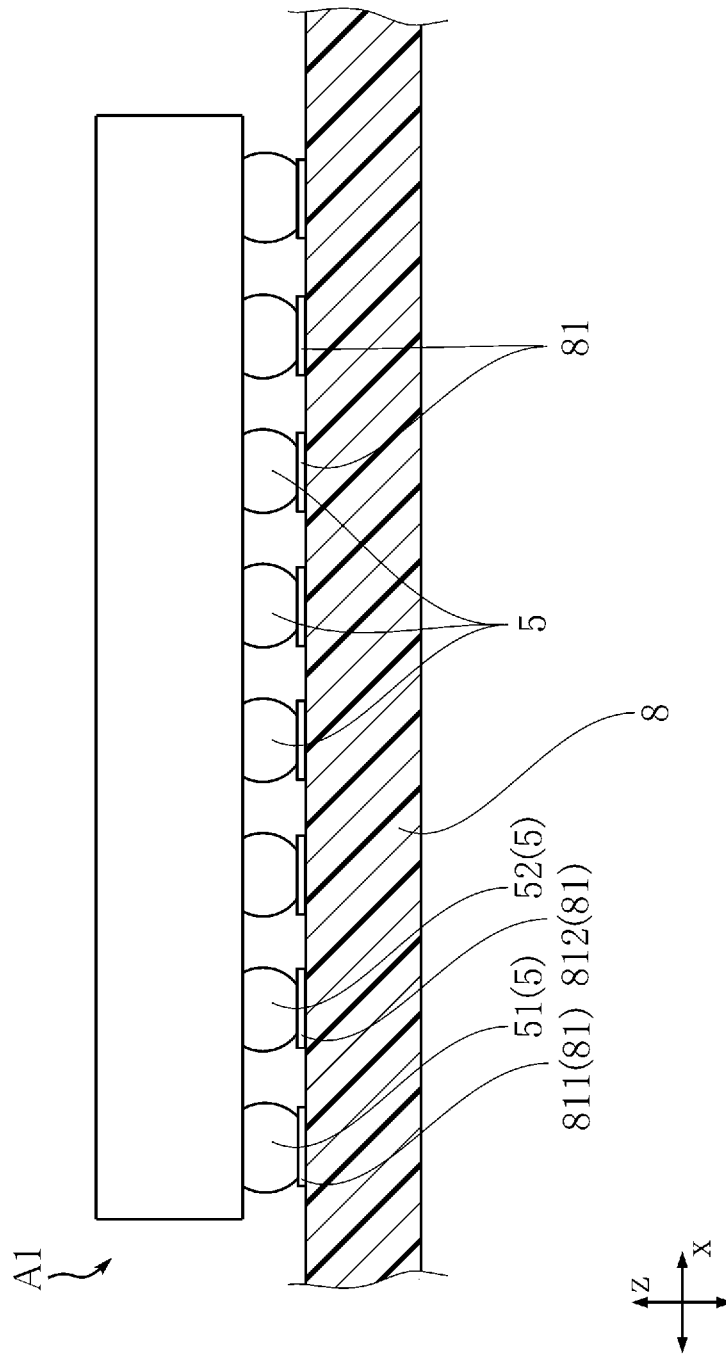
[図3B]

FIG.3B



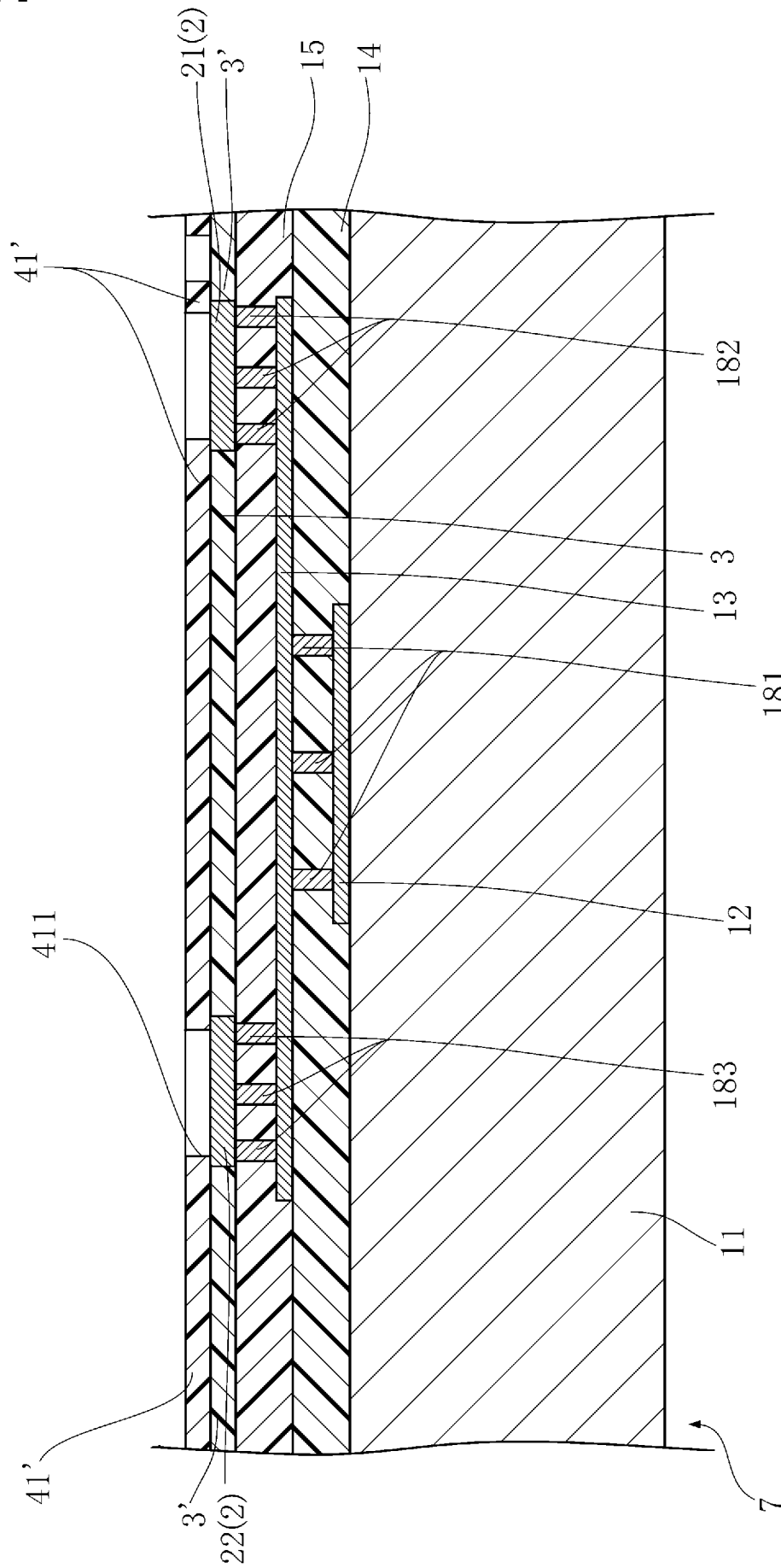
[図4]

FIG.4



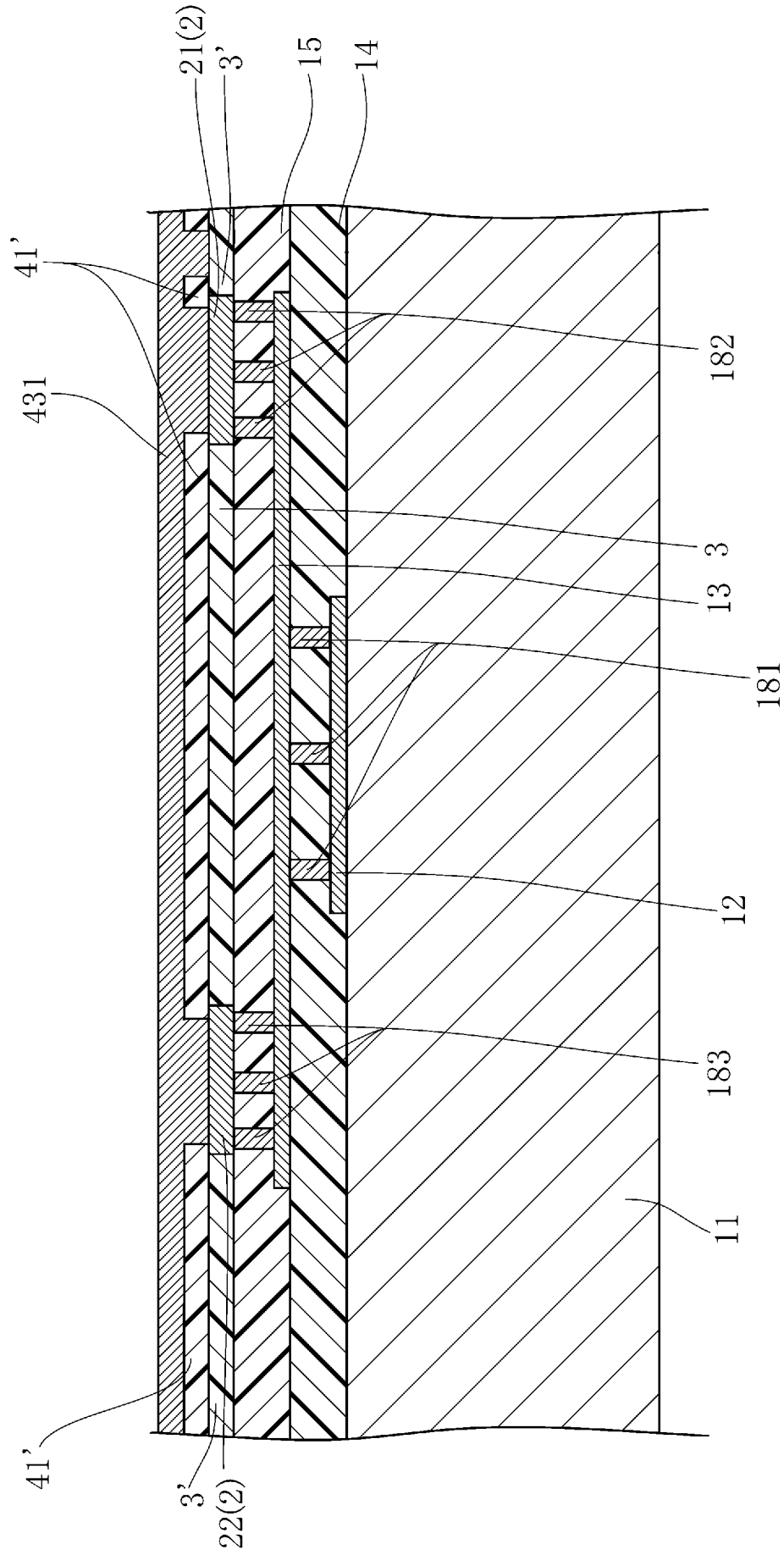
[図6]

FIG.6



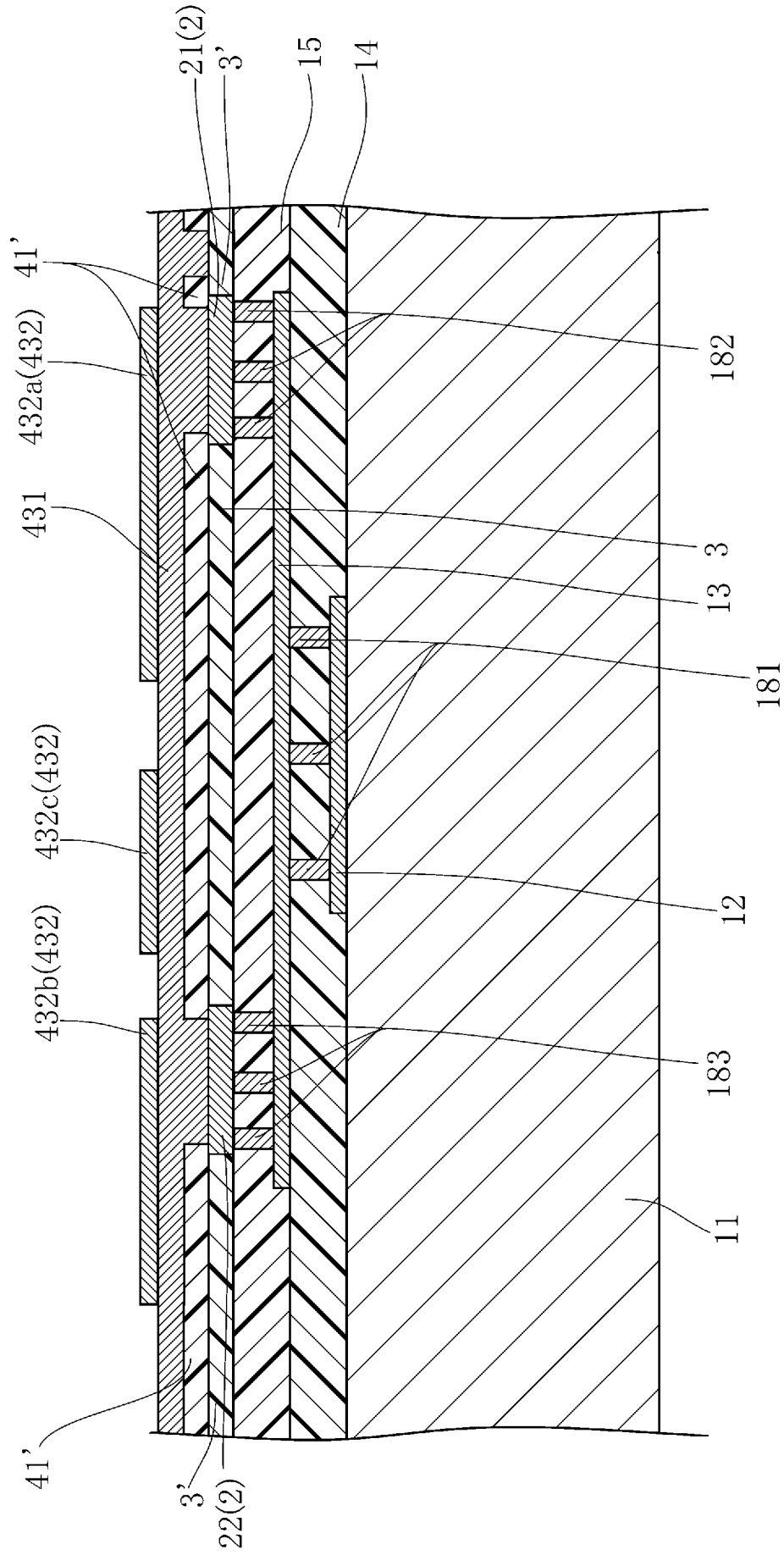
[図7]

FIG.7



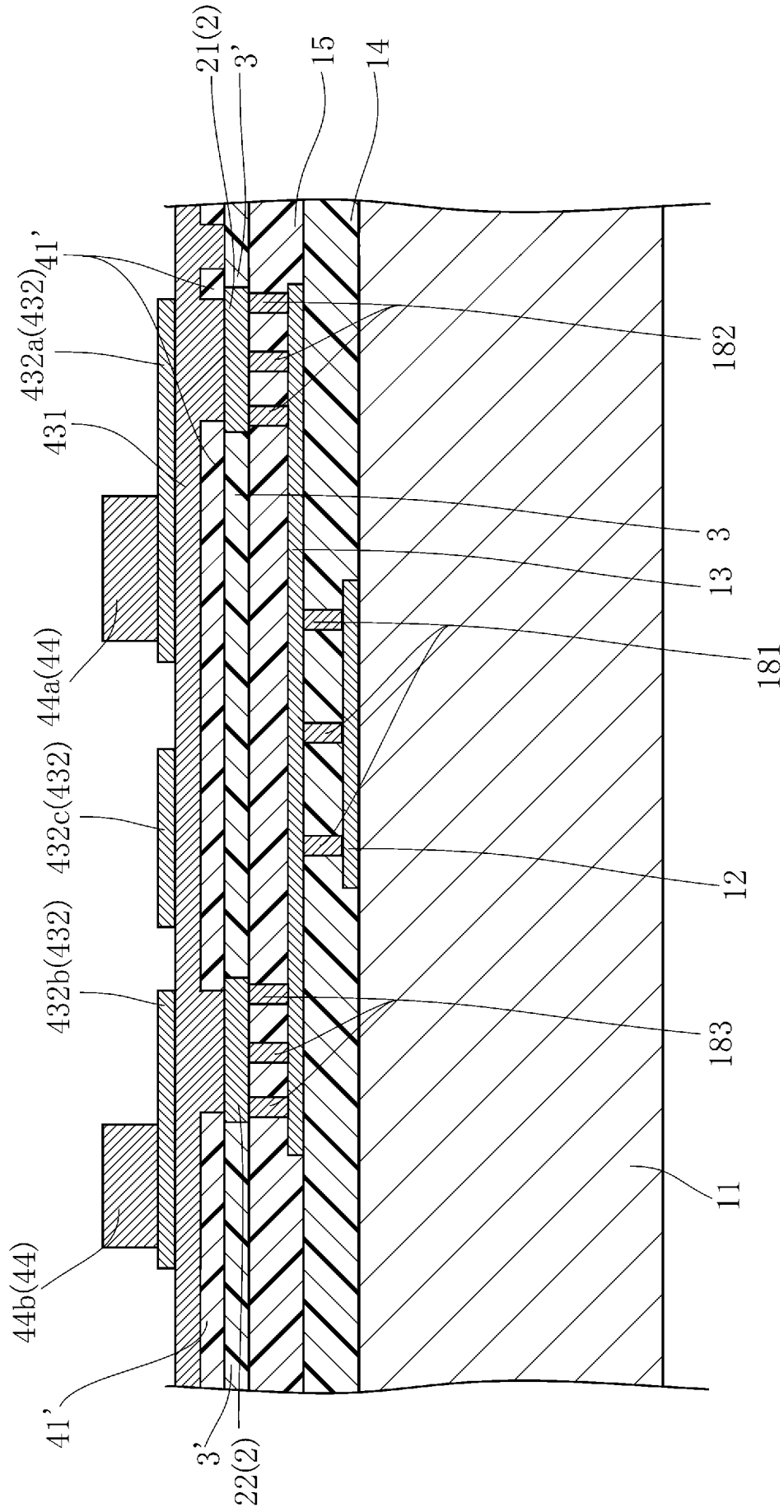
[図8]

FIG.8



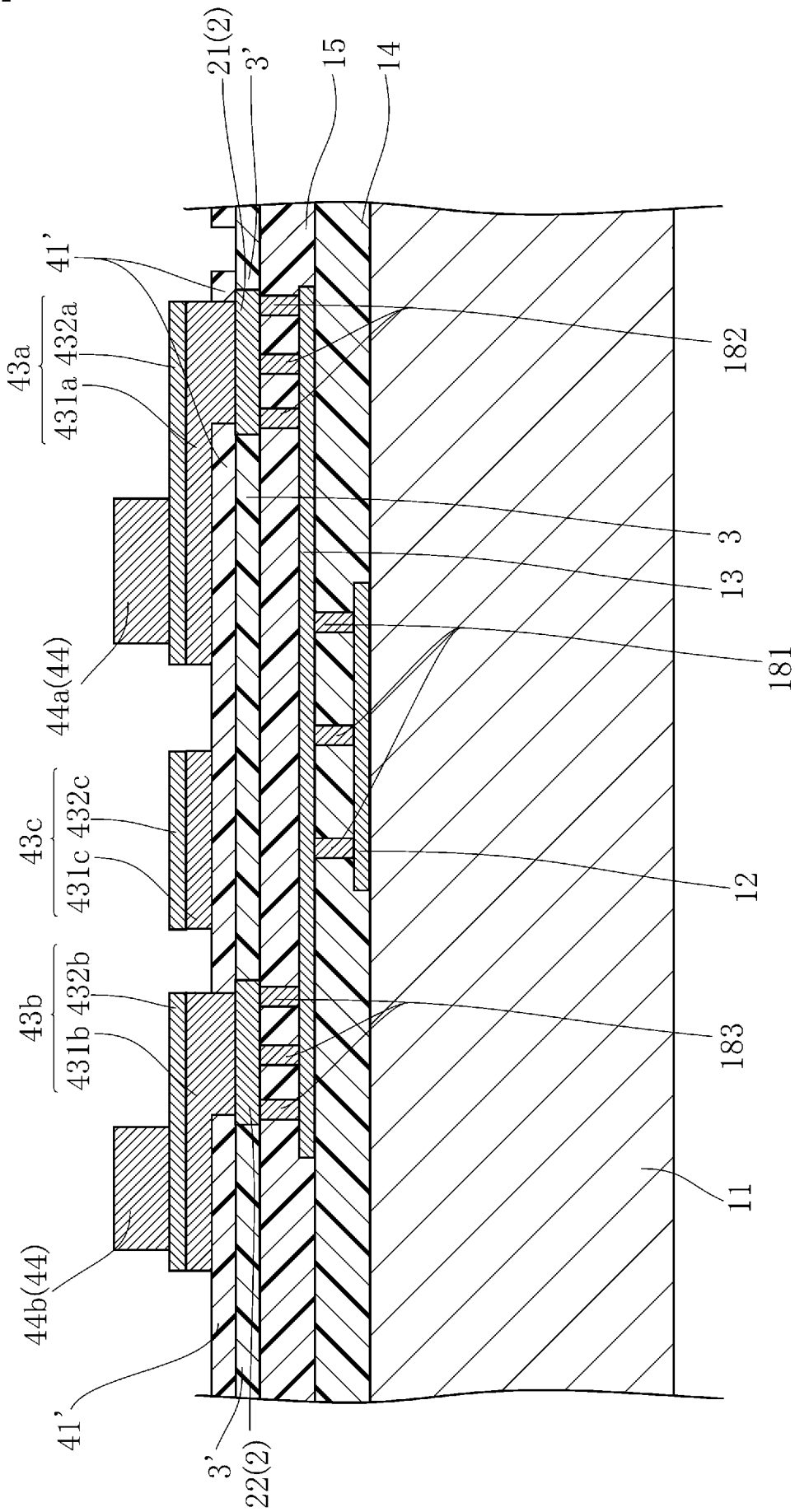
[図9]

FIG. 9



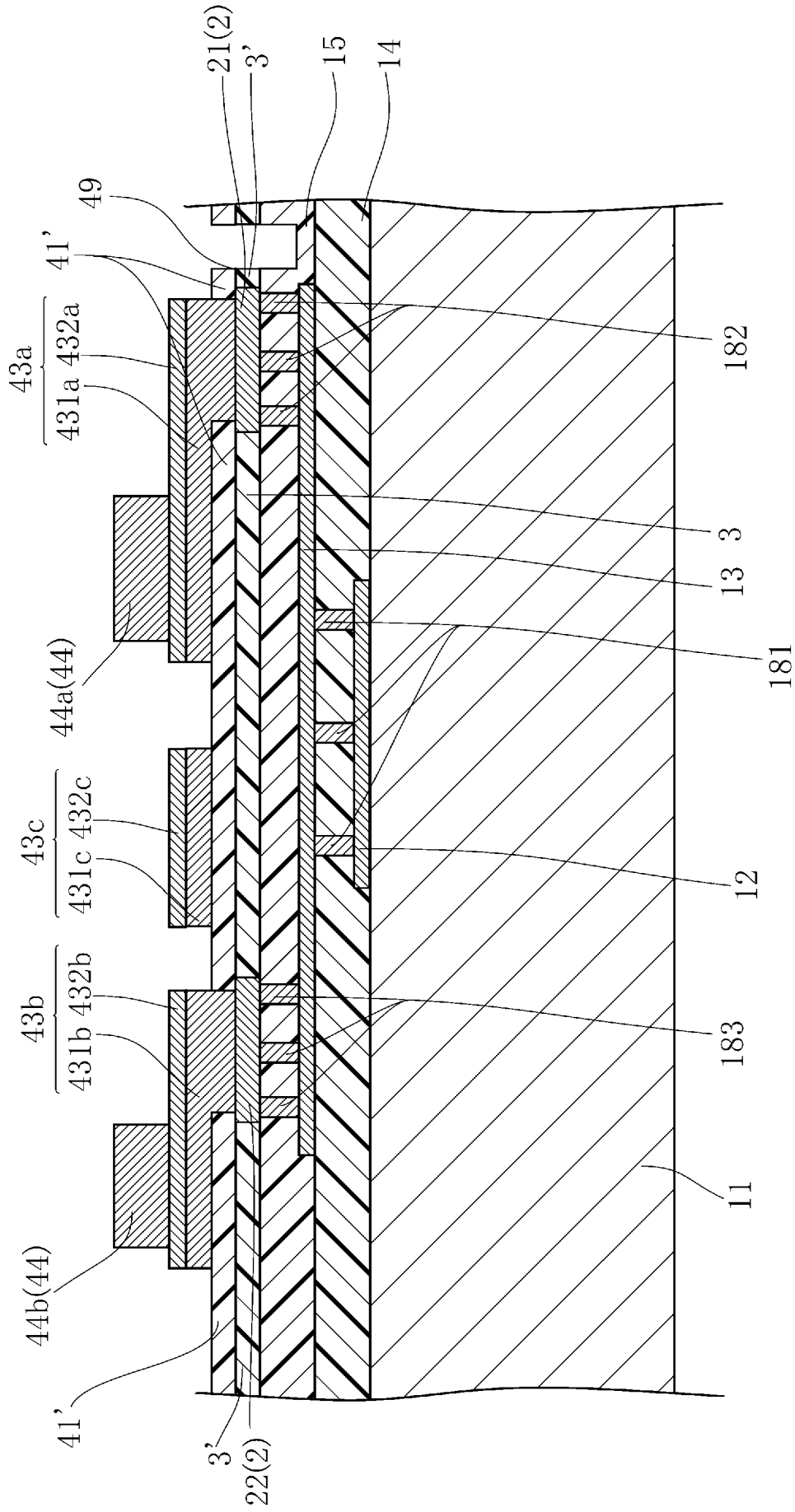
[図10]

FIG.10



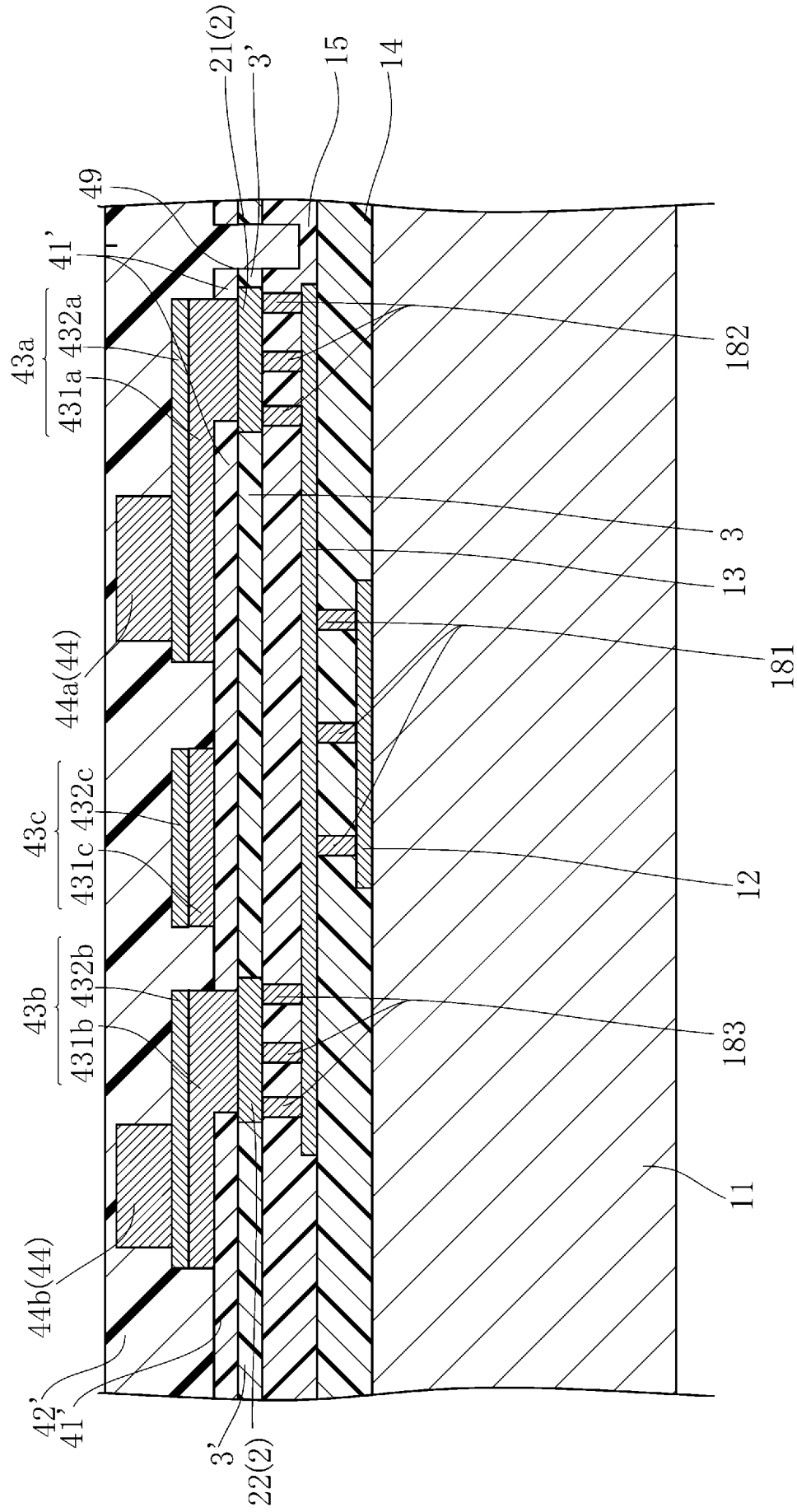
[図11]

FIG.11



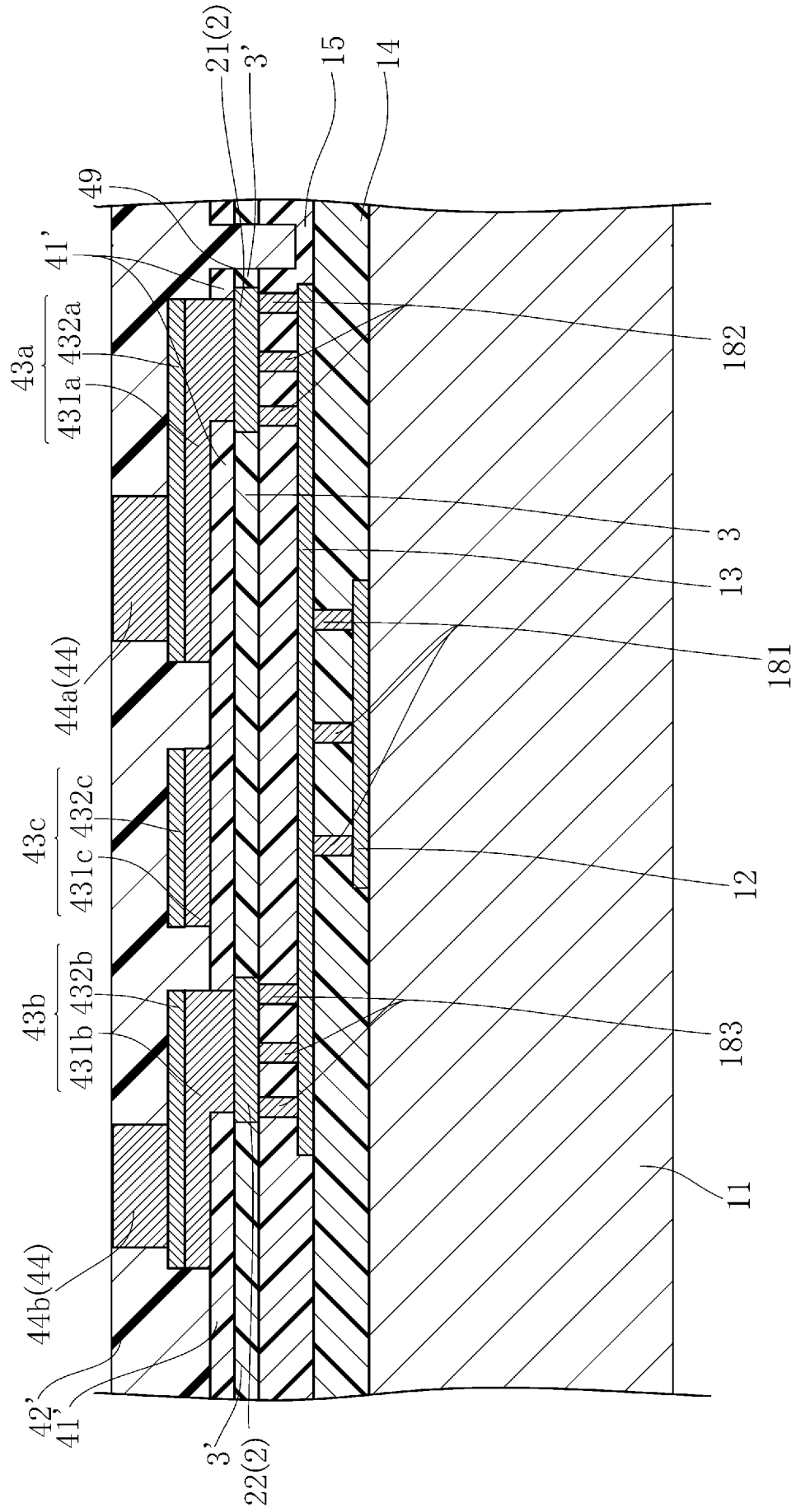
[図12]

FIG.12



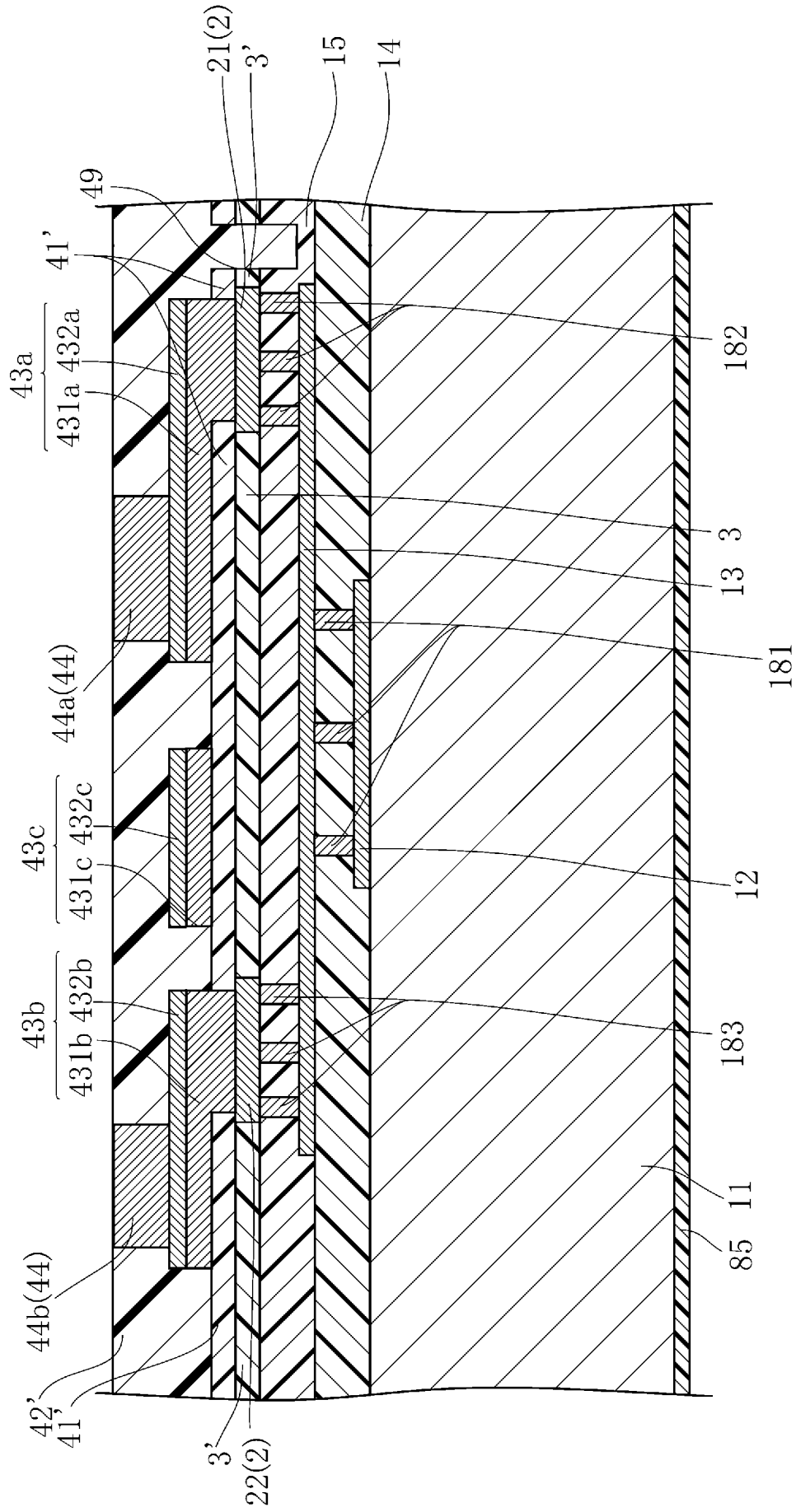
[図13]

FIG.13



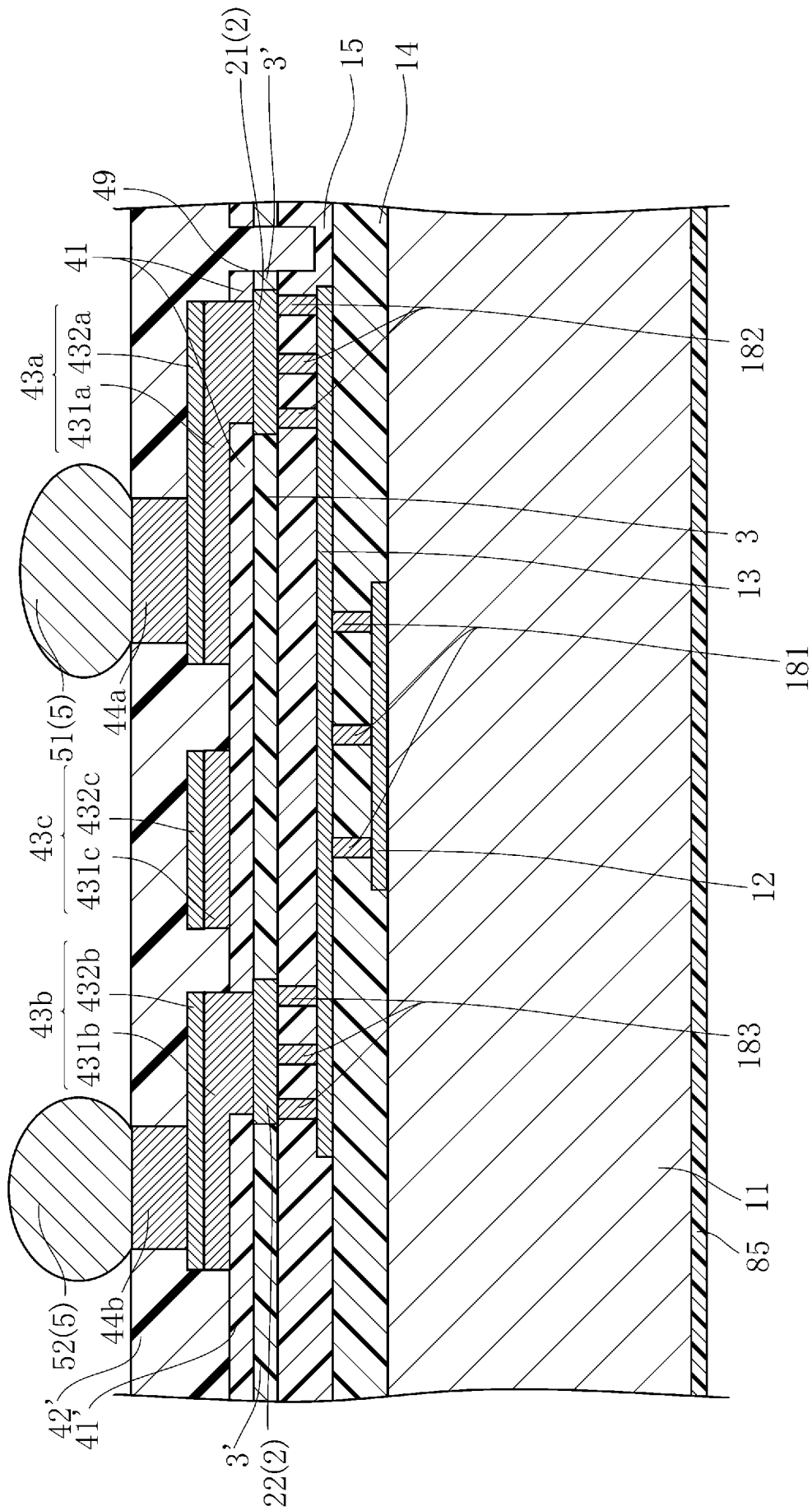
[図14]

FIG.14



[図15]

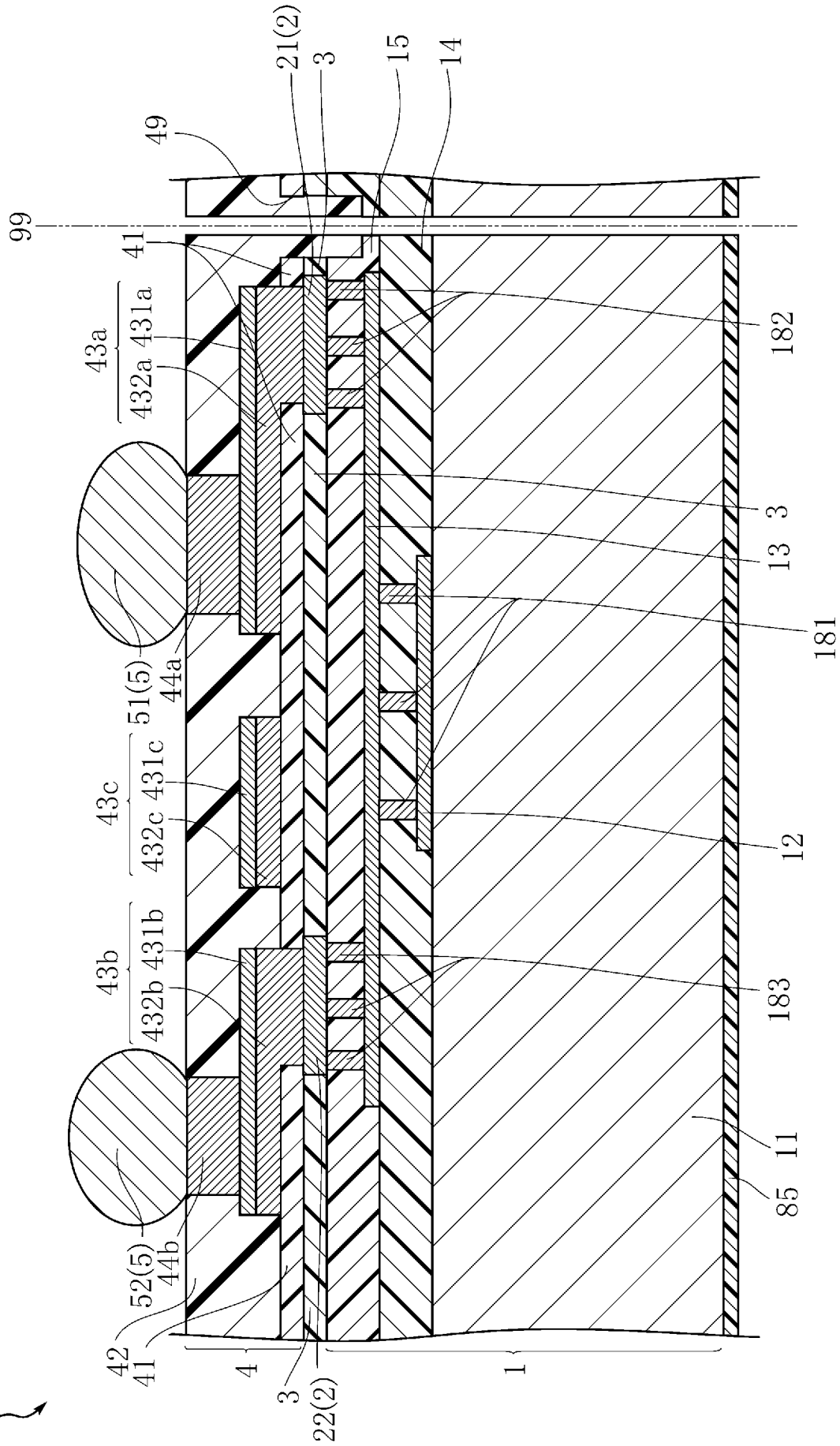
FIG.15



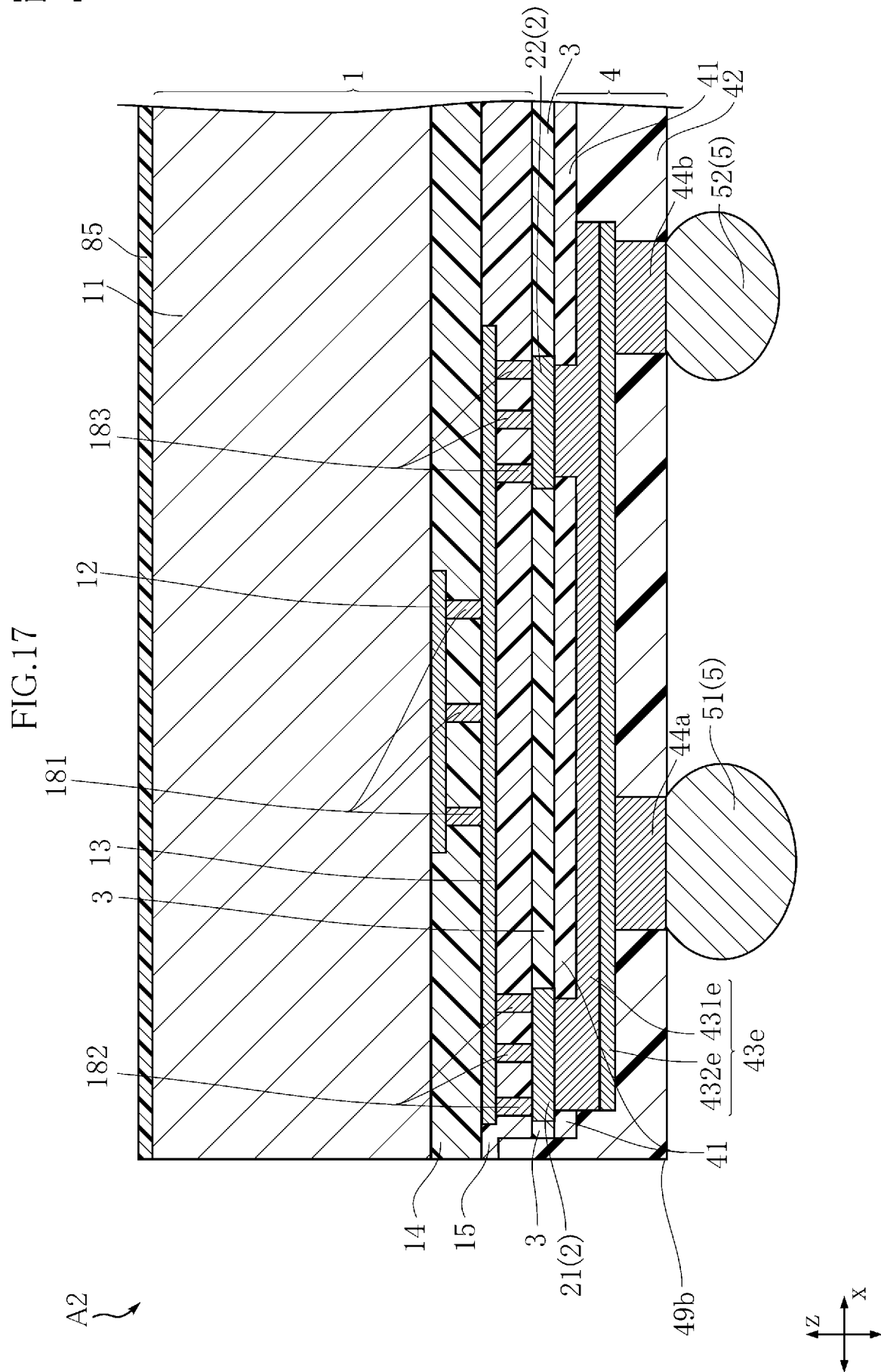
[図16]

FIG.16

A1

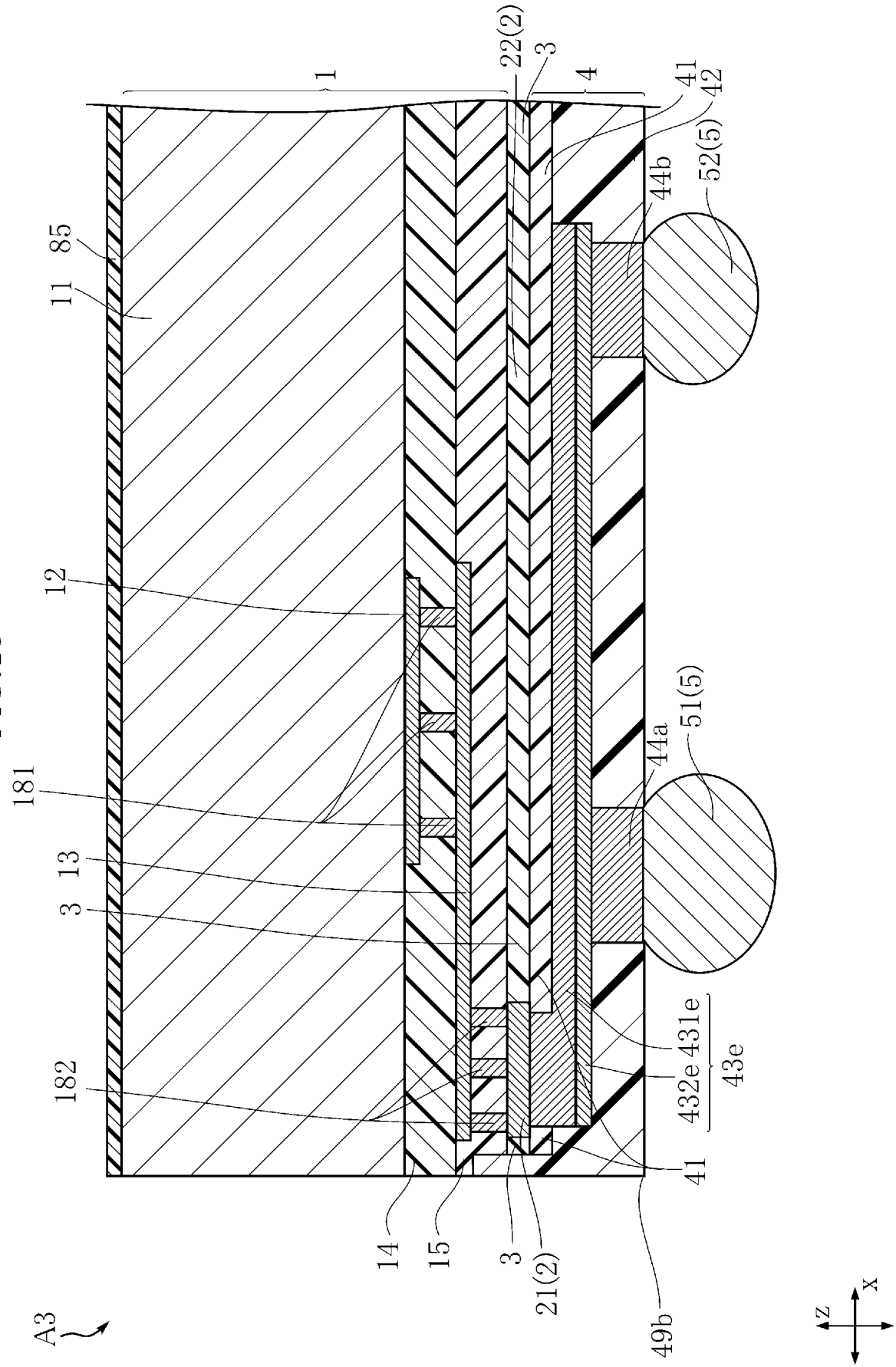


[図17]



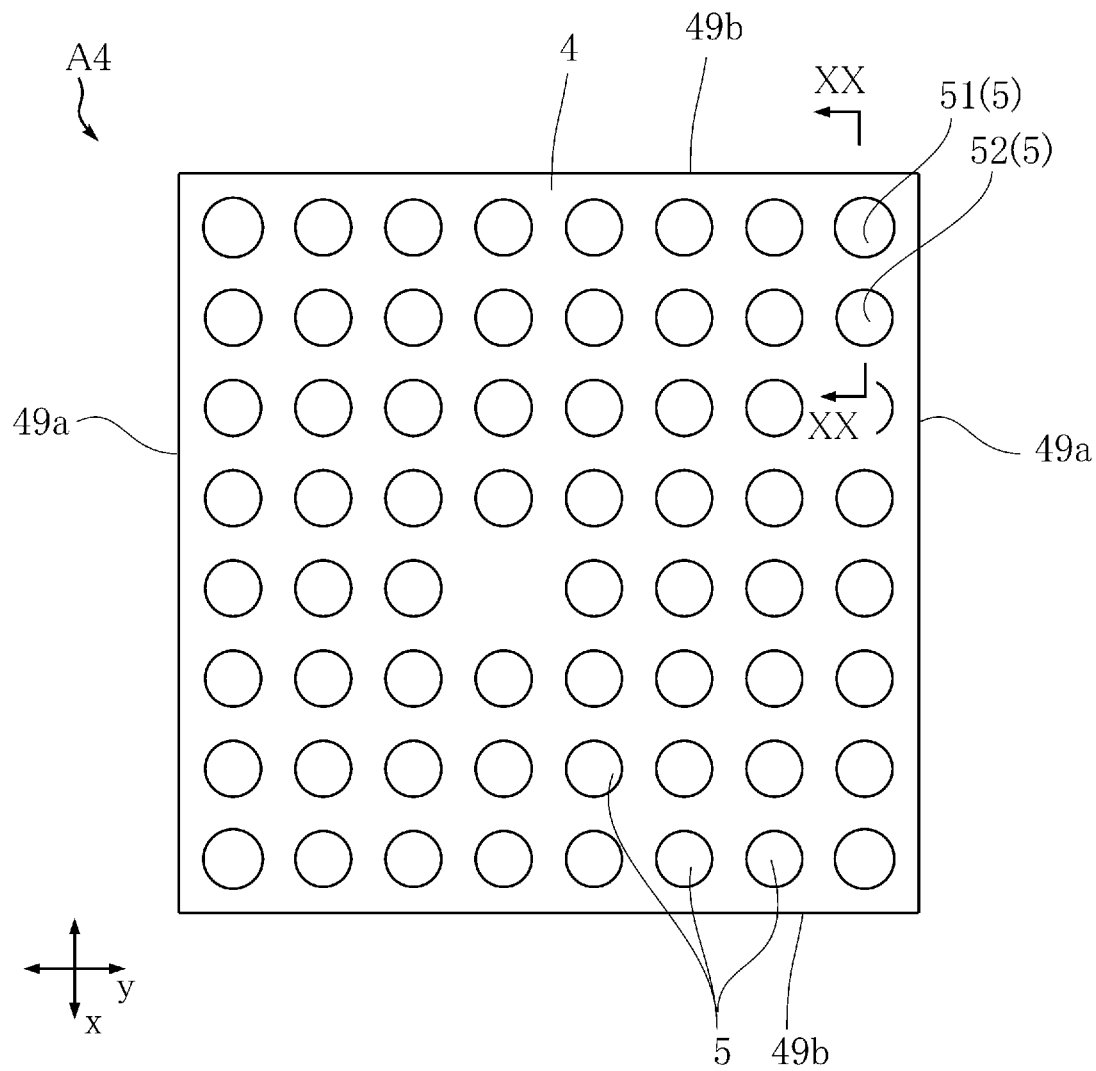
[図18]

FIG.18



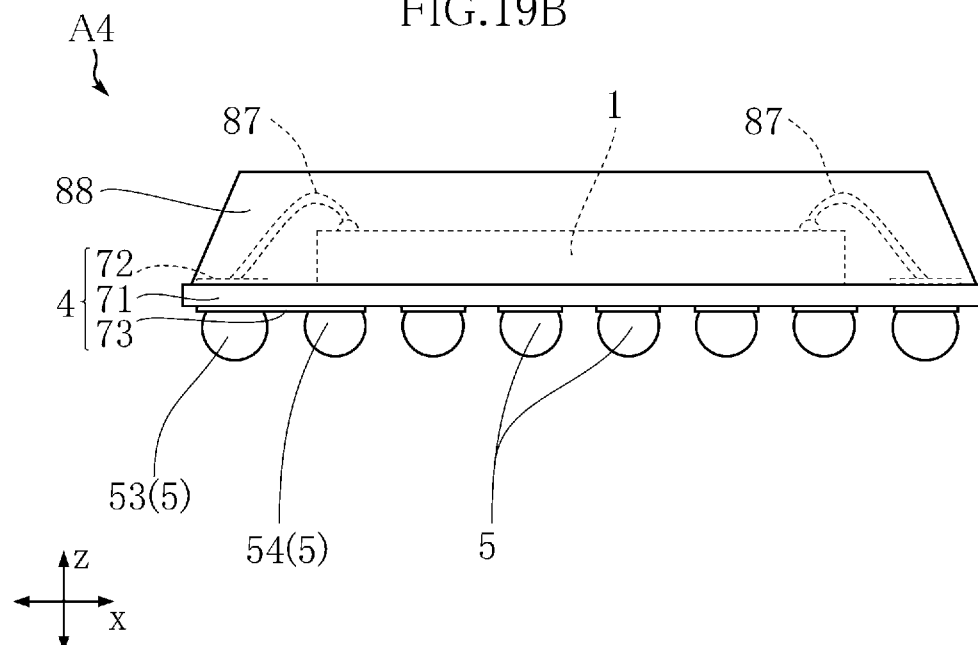
[図19A]

FIG.19A



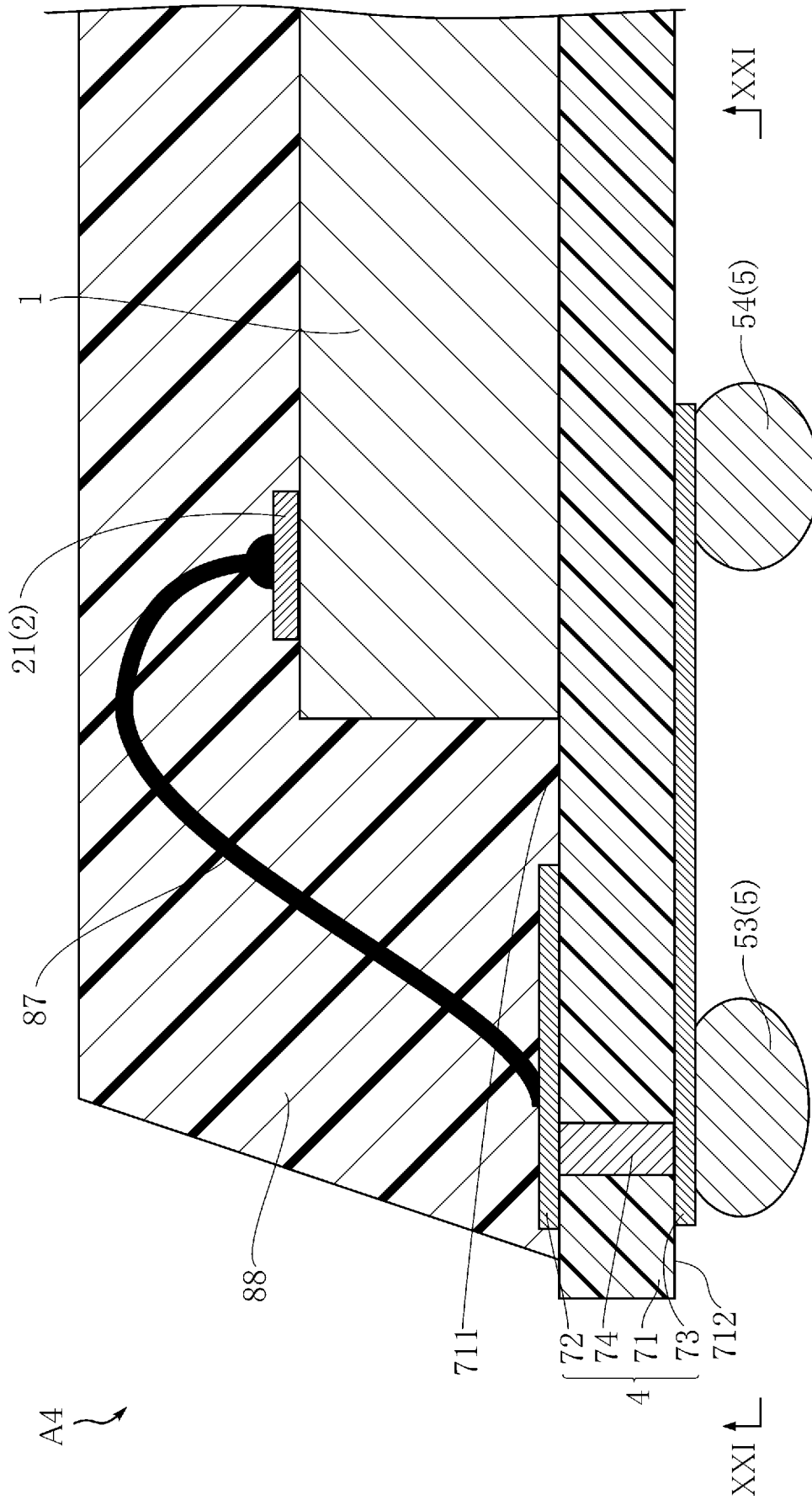
[図19B]

FIG.19B



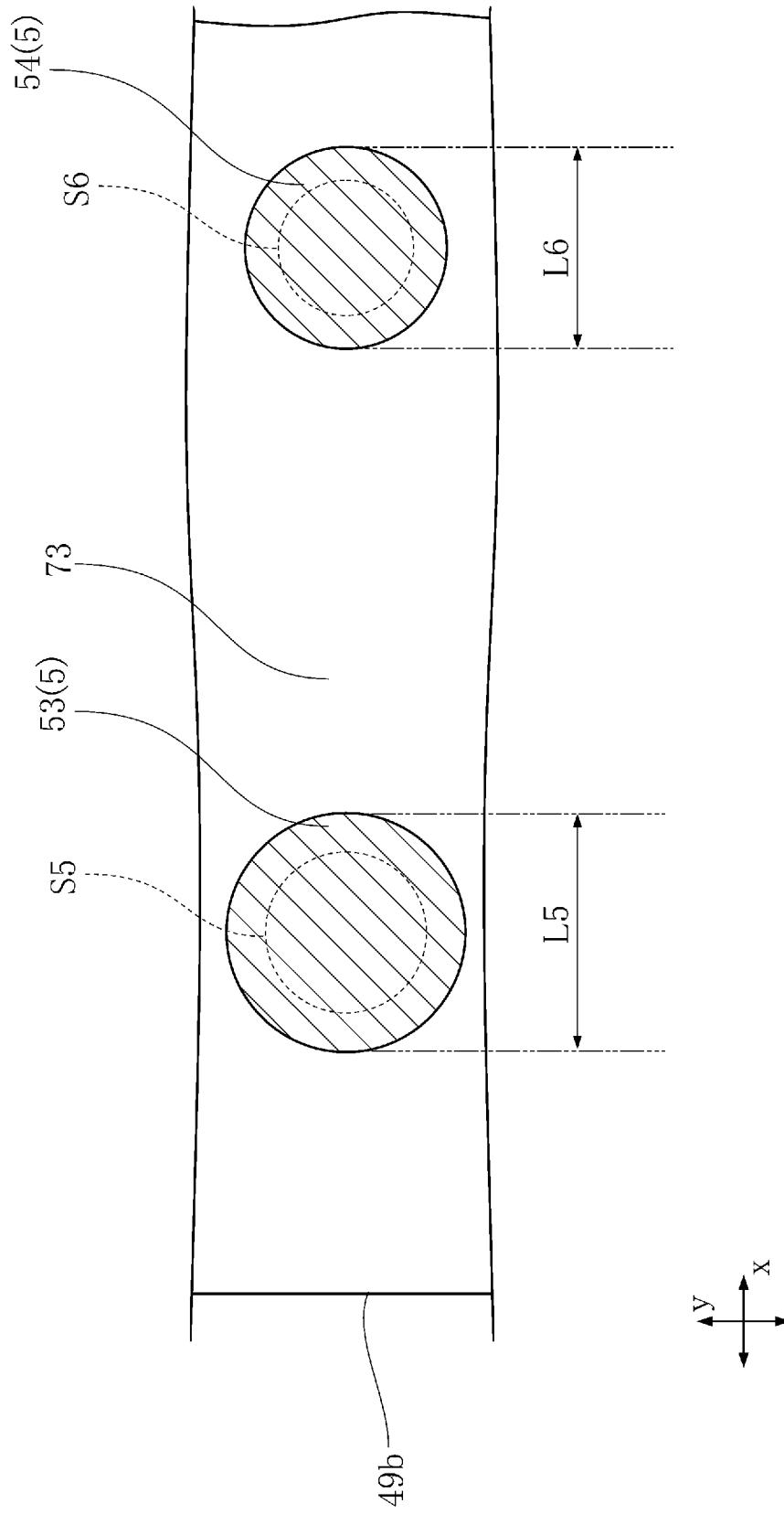
[図20]

FIG.20

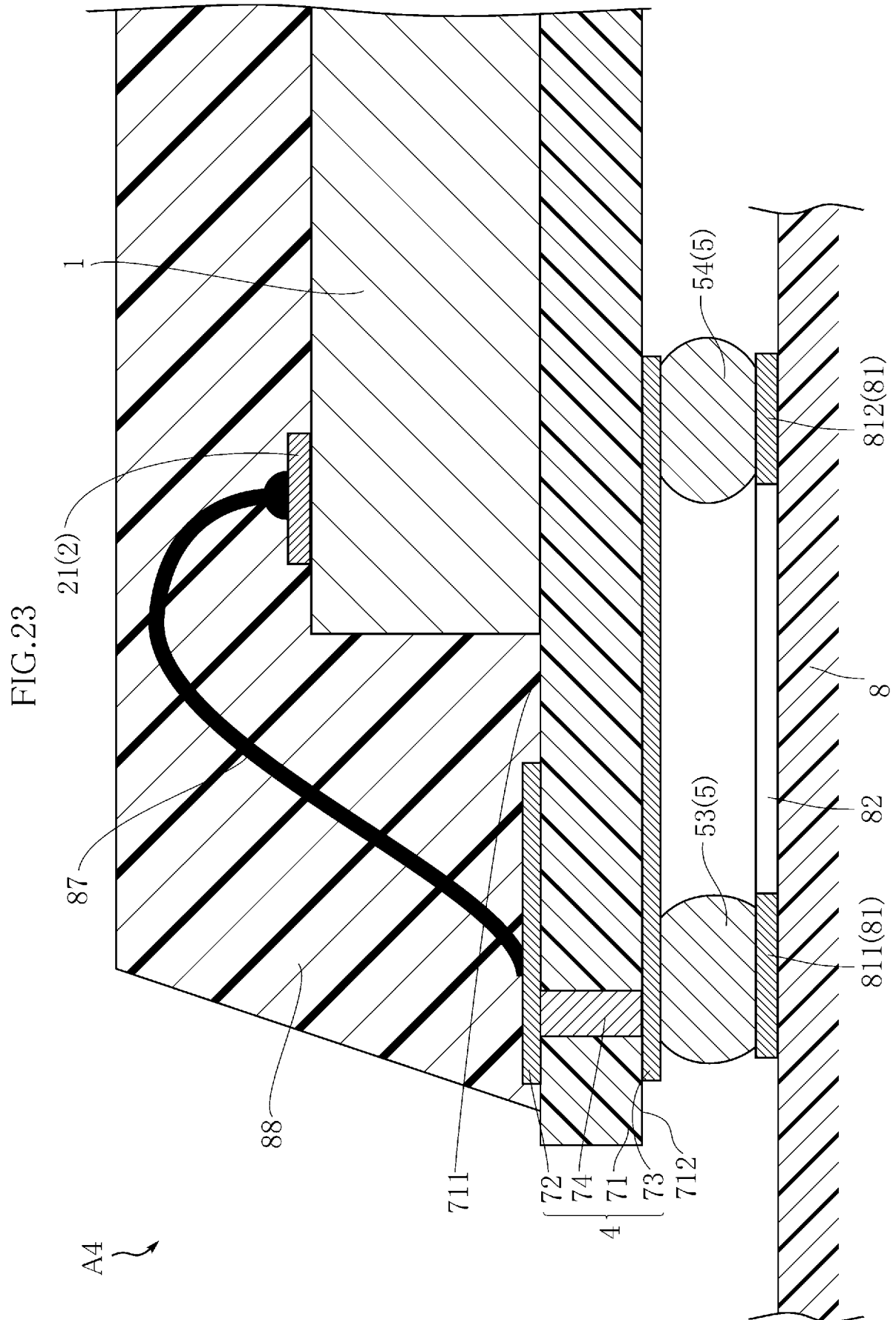


[図21]

FIG.21

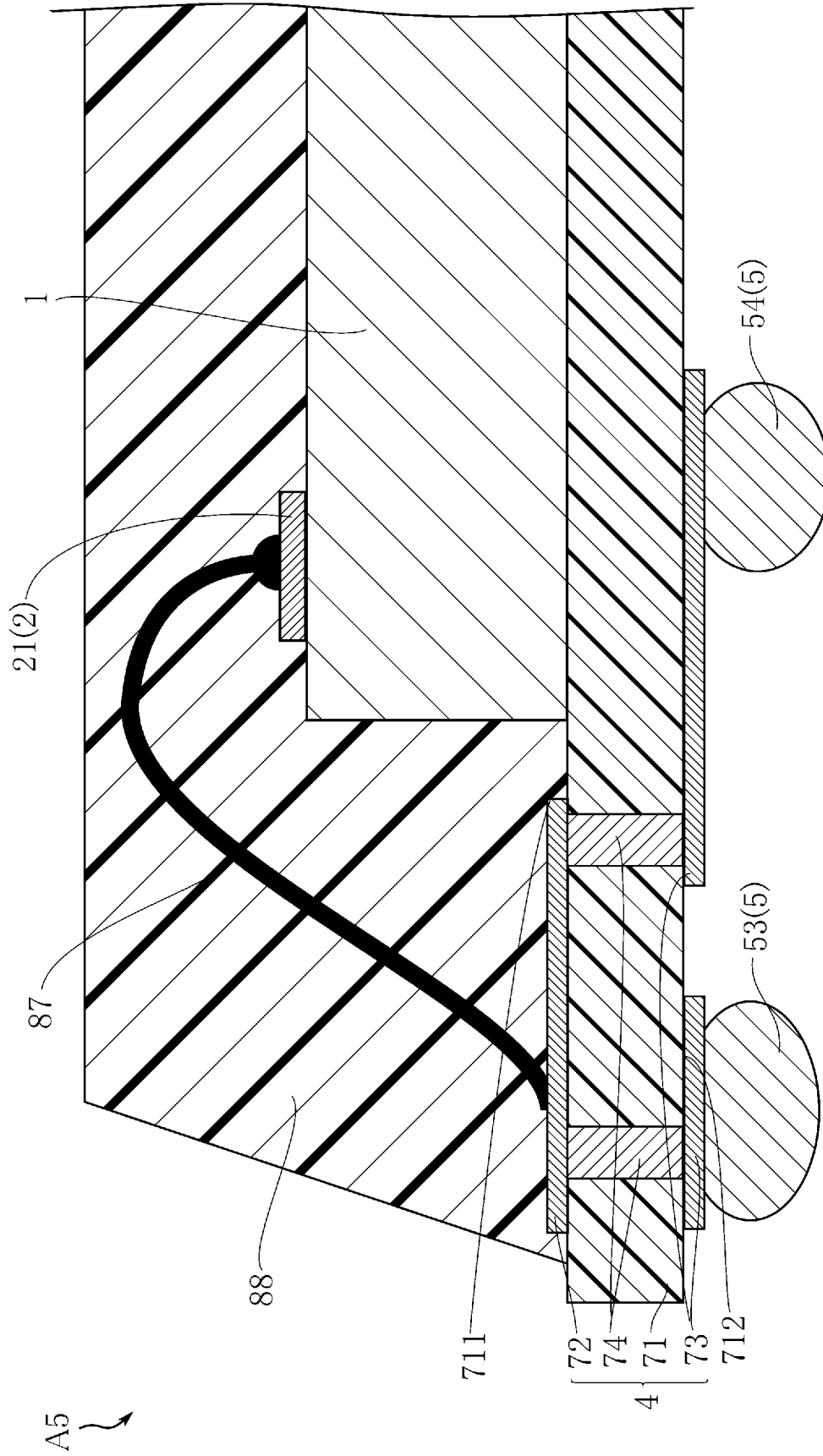


[図23]



[図24]

FIG.24



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/065693

A. CLASSIFICATION OF SUBJECT MATTER

H01 L23/1 2 (2006.01)i, H01L21 /3205 (2006.01)i, H01L21 /60 (2006.01)i,
H01 L23/52 {2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L23/12, H01L21/3205, H01L21/60, H01L23/52

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo	Shinan	Koho	1922-1996	Jitsuyo	Shinan	Toroku	Koho	1996-2011
Kokai	Jitsuyo	Shinan	1971-2011	Toroku	Jitsuyo	Shinan	Koho	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	J P 2004-022650 A (Dens o Corp .), 22 January 2004 (22.01.2004), paragraph s [0015] to [0044]; fig . 1, 3, 5, 6	1, 6, 11-13, 16-18
Y	& US 2003/0218246 A1 & DE 10323238 A	5
A		2-4, 7-10, 14, 15
Y	J P 2009-055028 A (Fuj i kura Ltd .), 12 March 2009 (12.03.2009), paragraph s [0016] to [0097]; fig . 13, 14 & US 2007/0176294 A1 & EP 1739739 A1 & W O 2005/093827 A1	5
A	J P 2007-250564 A (Mi t sub i sh i El ectri c Corp .), 27 Septembe r 2007 (27.09.2007), paragraph s [0016] to [0018]; fig . 2 (Fami ly : none)	2-4



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
30 September, 2011 (30.09.11)

Date of mailing of the international search report
11 October, 2011 (11.10.11)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int .CI. H01L23/12 (2006. 01) i , H01L21/3205 (2006. 01) i , H01L21/60 (2006. 01) i , H01L23/52 (2006. 01) i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int .CI. H01L23/12, H01L21/3205, H01L21/60, H01L23/52

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1 9 2 2 -
 日本国公開実用新案公報 1 9 7 1 - 2
 日本国実用新案登録公報 1 9 9 6 -
 日本国登録実用新案公報 1 9 9 4 - 2

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)
 年

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	JP 2004- 022650 A (株式会社デンソー) 2004. 01. 22, 段落 【0015】 — 【0044】 , 図 1 , 3 , 5 , 6 & US 2003/0218246 AI & DE 10323238 A	1 , 6 , 11-13 , 16 -18 5 2-4 , 7-10 , 14 , 15
Y	JP 2009-055028 A (株式会社フジクラ) 2009. 08. 12, 段落 【0016】 — 【0097】 , 図 13 , 14 & US 2007/0176294 AI & EP 1739739 AI & WO 2005/093827 AI	5

☒ c 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

IA 「特に関連のある文献ではなく、一般的技術水準を示すもの」
 IE 「国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの」
 IF 「優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)」
 IG 「口頭による開示、使用、展示等に言及する文献」
 IP 「国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

IT 「国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの」
 IX 「特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの」
 IY 「特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの」
 IZ 「同一パテントファミリー文献」

国際調査を完了した日

3 0 . 0 9 . 2 0 1 1

国際調査報告の発送日

1 1 . 1 0 . 2 0 1 1

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

4 R

3 7 6 0

宮本 靖史

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 7 1

C (続 き) . 関 連 す る と 認 め ら れ る 文 献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2007-250564 A (三菱電機株式会社) 2007. 09. 27 , 段落 【016】 ー 【018】 , 図 2 (ファミリーなし)	2-4