(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
G06F 13/00
G06F 15/78
G11C 16/06

(45) 공고일자 2000년12월15일
(11) 등록번호 10-0274853
(24) 등록일자 2000년09월18일

(21) 출원번호	10-1993-0015363	(65) 공개번호	특1994-0004441
(22) 출원일자	1993년08월07일	(43) 공개일자	1994년03월15일
(30) 우선권주장	92-234310 1992년08월10일 일본(JP)		

(73) 특허권자 가부시끼가이샤 히다찌세이사꾸쇼 가나이 쯔도무
일본국 도꾜도 지요다구 간다 스루가다이4-6
(72) 발명자 마쯔바라 기요시
일본국 히가시무라야마시 미스미쵸2-3-11 아루까사루 무사시노210
사또 마사나오
일본국 도꾜도 스기나미구 오기꾸보1-12-8
무까이 히로후미
일본국 무사시노시 사까이1-20-12 히다찌 세이와료
이시까와 에이이찌
일본국 고다이라시 오가와쵸2-1261 오가와소103
(74) 대리인 백남기

심사관 : 오홍수

(54) 데이타처리장치

요약

데이타처리장치에 관한 것으로써, 범용적으로 이용되는 PROM라이터를 이용해서 내장 플래시메모리를 리라이트가능하게 하기 위해, CPU 및 전기적으로 리라이트가능한 불휘발성의 플래시메모리를 1개의 반도체기판에 포함하고, PROM라이터에서의 지시에 따라서 내장 플래시메모리를 리라이트가능하게 하는 동작모드를 구비하고, 데이타처리장치는 그 동작모드가 설정된 상태에서 외부에서 라이트가능하게 되는 커맨드래치, 이것으로 래치된 커맨드를 해석하는 커맨드해석기 및 해석된 내용에 따라서 플래시 메모리의 이라이트를 위한 순서제어를 실행하는 시퀀스제어기를 가지며, 커맨드해석기 및 시퀀스제어기는 CPU에 의해서 실현해도 좋다.

이러한 장치를 이용하는 것에 의해, 범용적으로 이용되는 PROM라이터를 이용해서 내장 플래시메모리의 리라이트가 가능하게 된다.

대표도

도1a

명세서

[발명의 명칭]

데이타처리장치

[도면의 간단한 설명]

제1도a, 제1도b는 플래시메모리의 구조와 동작 원리설명도.

제2도는 플래시메모리의 메모리셀어레이의 구성원리 설명도.

제3도는 일괄소거가능한 메모리블럭의 기억용량을 다르게 한 플래시메모리의 1예의 회로블럭도.

제4도는 플래시메모리를 내장한 제1의 실시예에 관한 마이크로컴퓨터에 있어서 그 내장 플래시메모리를 PROM라이터로 리라이트처리할때의 기능블럭도.

제5도는 플래시메모리를 내장한 제2의 실시예에 관한 마이크로컴퓨터에 있어서 그 내장 플래시메모리를 PROM라이터로 리라이트처리할때의 기능블럭도.

제6도a~제6도c제6도cM라이터에 의한 커맨드라이트의 1예의 타이밍도.

제7도는 CPU제어에 의한 플래시메모리로의 정보의 라이트사이클의 1예의 타이밍도.

제8도는 제5도의 마이크로컴퓨터에 대응하는 마이크로컴퓨토의 실시예를 더욱 상세하게 도시한 블럭도.

제9도는 제8도의 마이크로컴퓨터를 패케이지한 상태에서 도시한 평면도.

제10도는 제8도의 마이크로컴퓨터에 내장되는 플래시메모리의 전체적인 블럭도.

제11도는 메모리블럭의 분할형태의 1예를 도시한 설명도.

제12도a～제12도c는 컨트롤레지스터와 소거블럭 지정레지스터의 1예의 설명도.

제13도는 제8도의 마이크로컴퓨터에 있어서 커맨드방식에 의한 PROM라이터 리아이트모드에 대응하기 위한 하드웨어를 상세하게 도시한 블럭도.

제14도는 커맨드플래그, 데이타플래그 및 버스스위치의 제어형식을 도시한 설명도.

제15도a, 제15도b는 온보드상태에서의 플래시메모리로의 라이트를 위한 제어순서의 1예를 상세하게 도시한 흐름도.

제16도a, 제16도b는 온보드상태에서의 플래시메모리에 있어서의 소거를 위한 제어순서의 1예를 상세하게 도시한 흐름도.

제17도는 PROM라이터에 의한 라이트동작시의 플래그CF, DF의 상태와 CPU의 동작을 정리한 설명도.

제18도는 PROM라이터에 의한 라이트검증시의 플래그의 상태와 CPU의 동작에 대해서 정리한 설명도.

제19도a, 제19도b는 PROM라이터에 의한 리세트시의 플래그의 상태와 CPU의 동작에 대해서 정리한 설명도.

제20도a, 제20도b는 커맨드방식에 의한 플래시메모리로의 정보의 라이트시의 PROM라이터의 동작의 1예를 도시한 흐름도.

제21도a, 제21도b는 커맨드방식에 의한 플래시메모리에 있어서의 소거시의 PROM라이터의 동작의 1예를 도시한 흐름도.

제22도는 PROM라이터에서 부여되는 커맨드에 대한 CPU의 처리의 메인 흐름도.

제23도a, 제23도b는 제22도에 도시되는 소거(Erase)의 처리루틴과 소거검증(Erade Verify)의 처리루틴을 도시한 흐름도.

제24도는 제22도에 도시되는 자동소거(Auto Erase)의 처리루틴을 도시한 흐름도.

제25도a, 제25도b는 제22도에 도시되는 라이트(Program)의 처리루틴과 라이트검증(Program Verify)의 처리루틴을 도시한 흐름도.

[발명의 상세한 설명]

본 발명은 전기적으로 리라이트가능한 불휘발성의 플래시메모리를 내장한 데이타처리장치, 더나아가서는 상기 내장 플래시메모리를 단체 플래시메모리와 마찬가지로 PROM라이터와 같은 외부장치에서 리라이트가능하게 하는 기술에 관한 것으로써, 예를들면 마이크로컴퓨터에 적용해서 유효한 기술에 관한 것이다.

일본국 특허공개공보 평성1-161469호(1989년6월26일 공개, 미국에 1987년 11월 3일 출원의 미국출원번호 116, 607에 대응)에는 프로그램가능한 불휘발성메모리로써 EPROM 또는 EEPROM을 단일의 반도체칩에 탑재한 마이크로컴퓨터에 대해서 기재되어 있다. 그와 같은 마이크로컴퓨터에 온칩화된 불휘발성 메모리에는 프로그램이나 데이타가 유지된다. EPROM은 자외선에 의해 기억정보를 소거하는 것이므로 그것을 내장시스템에서 떼어내지 않으면 리라이트를 실행할 수 없다. EEPROM은 전기적으로 소거 및 라이트를 실행할 수 있으므로, 시스템에 내장된 상태에서 그 기억정보를 리라이트할 수 있지만 그것을 구성하는 메모리셀은 MNOS와 같은 기억소자외에 선택 트랜지스터를 필요로 하기 때문에 EPROM의 메모리셀에 비해서 예를들면 2.5배～5배정도의 크기로 되어 상대적으로 큰 칩점유면적을 필요로 한다.

일본국 특허공개공보 평성2-289997호(1990년11월29일 공개)에는 일괄소거형의 EEPROM에 대해서 기재되어 있다. 이 일괄소거형 EEPROM은 본 명세서에 있어서의 플래시메모리와 같은 의의로 파악할 수 있다. 플래시메모리는 전기적인 소거 및 라이트에 의해서 정보를 리라이트할 수 있는 것으로써 EPROM과 마찬가지로 그 메모리셀을 1개의 트랜지스터로 구성할 수 있어 메모리셀의 전부를 일괄하거나 또는 메모리셀의 블럭을 일괄해서 전기적으로 소거하는 기능을 갖는다. 따라서, 플래시메모리는 시스템에 내장된 상태(온보드)에서 그것의 기억정보를 리라이트할 수 있음과 동시에 그 일괄소거기능에 의해 리라이트시간의 단축을 도모할 수 있으며, 또 칩점유면적의 저감에도 기여한다.

미국 특허 제4,701, 886호(1987년10월20일 특허발행)에는 EPROM을 구비한 원칩마이크로컴퓨터가 개시되어 있다. 이 EPROM은 EPROM라이터에 의해 외부에서 새로운 데이타를 공급하는 것에 의해 기억데이타를 변경할 수 있다.

미국특허 제4,807,114호(1989년 2월21일 특허발행)에는 외부에서도 내부의 제어기능을 사용하는 것에 의해서 프로그램가능한 EPROM을 구비한 마이크로컴퓨터시스템이 개시되어 있다.

본 발명자들은 새로운 구성을 필요로 하는 플래시메모리를 탑재한 마이크로컴퓨터에 대해서 검토하였다. 플래시메모리를 내장한 마이크로컴퓨터는 온보드 리라이트(즉, 기판에 내장된 상태에서의 리라이트)가 가능하지만 사용자의 사용방법을 고려한 경우에는 초기의 라이트는 온보드가 아닌, 즉 시스템(예를들면 자동차엔진제어시스템, 카메라, VTR)에 내장되기 전에 PROM라이터와 같은 라이트장치를 이용해서 라이트하는 것이 효율이 좋은 경우가 있다. 그래서, 이러한 플래시메모리를 내장한 마이크로컴퓨터에 있어서도 소켓어댑터를 거쳐서 PROM라이터와 같은 EPROM이나 EEPROM의 라이트등에 범용적으로 이용되는 라이트장치에 결합하고 이 라이트장치에서 라이트가능한 기능의 서포트가 필요한 것을 발경하였다. 이때 플래시메모리의 리라이트, 즉 라이트 및 소거는 EPROM이나 EEPROM에 비해서 복잡한 제어가 요구된다. 특히 소거의 경

우 플래시메모리 특유의 문제인 과소거(소거를 너무 실행하면 메모리셀 트랜지스터의 임계값전압이 너무 작게 되고, 더나아가서는 부로 되어 정상적인 리드를 할 수 없게 되는 현상)를 피하기 위해 소거전에 라이트레벨을 균일하게 하기 위한 프리라이트를 실행하거나 검증을 실행하면서 조금씩 소거를 실행하는 소거방법이 필요하게 된다. 이와 같은 처리를 위한 제어순서를 범용적인 PROM라이터측에 위임하고자 하면 무리가 있고, 또 플래시메모리를 내장한 마이크로컴퓨터 전용의 PROM라이터와 같은 라이트장치로 대처하는 것도 현실적은 아니다.

본 발명의 목적은 회로기판에 내장하기 전에 PROM라이터와 같은 외부장치를 이용해서 플래시메모리로 정보의 라이트를 실행할때 사용하기 편리한 플래시메모리 내장형의 데이타처리장치를 제공하는 것이다.

본 발명의 다른 목적은 범용적으로 이용되는 PROM라이터와 같은 외부장치를 이용해서 내장 플래시메모리를 리라이트하는 기능을 갖는 데이타처리장치를 제공하는 것이다.

또, 이때 외부장치에 의한 정보의 라이트를 위해 새로이 내장해야 할 회로규모의 증대를 극력 억제한 데이타처리장치를 제공하는 것이다.

본 발명의 상기 및 그외의 목적과 새로운 특징은 본 명세서의 기술 및 첨부도면에서 명확하게 될 것이다.

본 발명의 주요한 특징은 다음과 같다.

(a) 본 발명의 하나의 측면에 의하면 데이타처리장치는 중앙처리장치와 전기적으로 리라이트가능한 불휘발성의 플래시메모리를 1개의 반도체기판에 포함하고, 외부장치의 지시에 따라서 내장 플래시메모리를 리라이트가능하게 하는 동작모드에서 동작할 수 있고, 그 동작모드에 있어서 외부에서 라이트가능하게 되는 커맨드래치수단, 이것으로 래치된 소정의 커맨드를 해석하는 커맨드해석수단 및 해석된 내용에 따라서 플래시메모리의 리라이트를 위한 순서(시퀀스)의 제어를 실행하는 제어수단을 갖는다.

(b) 외부장치에 의한 플래시메모리의 리라이트중에 있어서 내장 중앙처리장치(데이타처리장치를 구성하는 중앙처리장치)는 그것과는 다른 처리를 실행해야할 필연성은 없고, 실질적으로 휴면상태라도 지장은 없다. 이때, 상기 커맨드해석수단이나 제어수단에서의 처리를 내장 중앙처리장치에 실행시키는 것에 의해서 커맨드해석수단이나 제어수단과 같은 리라이트를 위한 전용회로를 삭감한다.

범용적으로 이용되는 EPROM라이터와 같은 외부장치는 적어도 불휘발성 기억소자에 대한 리라이트용 고전압을 인가하는 기능과 리라이트를 위한 어드레스나 데이타를 라이트신호 등에 따라서 플래시메모리를 포함하는 대상인 반도체장치(LSI)에 공급하는 기능을 갖고 있다. 이와 같은 외부장치는 커맨드, 데이타 및 어드레스를 데이타처리장치에 내장된 중앙처리장치와는 비동기로 공급한다. 그래서, 데이타처리장치는 상기 (a)항에 기술한 구성에 있어서, 상기 커맨드래치수단으로 코맨드가 라이트된 것을 나타내는 플래그수단, 이 플래그수단이 상기 커맨드래티상태를 나타낼때 외부에서 라이트 가능하게 되는 데이타래치수단 및 외부에서 어드레스정보가 라이트가능하게 되는 어드레스래치수단을 갖고 있어도 좋다. 그렇게 하는 것에 의해 외부장치에서 서로 다른 사이클에서 라이트되는 커맨드와 데이타정보의 래치수단상에서의 충돌을 방지함과 동시에 상기 중앙처리장치는 상기 플래그수단의 커맨드래치상태에 따라서 커맨드래치수단의 커맨드를 리드한다.

(c) 상기 플래그수단에 대한 제어도 중앙처리장치에 위임하지 않으면 중앙처리장치는 버스사이클을 기동해서 항상 커맨드래치수단의 내용을 모니터해야만 하기 때문에 동작상 낭비가 생긴다. 그래서, 데이타처리장치는 상기 (b)항에 기술한 구성에 있어서, 상기 커맨드래치수단의 래치내용을 디코드하고, 상기 소정의 커맨드를 디코드하는 것에 의해서 상기 플래그수단을 커맨드래치상태로 세트하는 커맨드디코더를 갖고 있어도 좋다. 그렇게 하는 것에 의해 플래그수단에 대한 제어의 신속화가 도모된다.

(d) 래치한 모든 커맨드를 중앙처리장치가 해석하고 있던 것에서는 그 커맨드로 지시되는 동작이 타이밍상 맞지 않는 것이 있다. 예를들면 플래시메모리에서 데이타를 리드하는 리드커맨드이다. 이것에 대처하기 위해 데이타처리장치는 상기 (c)항에 기술한 구성에 있어서, 상기 커맨드래치수단, 데이타래치수단 및 어드레스래치수단이 플래시메모리와 중앙처리장치에 접속되는 상태와 상기 커맨드래치수단, 데이타래치수단 및 어드레스래치수단이 플래시메모리에는 접속되고, 중앙처리장치에는 비접속으로 되는 상태중 어느것인가를 선택할 수 있는 게이트수단을 내부버스에 마련하고, 그 게이트수단을 상기 소정의 커맨드이외의 커맨드를 디코드하는 것에 의해서 상기 커맨드디코더에서 생성되는 신호에 의해 제어하도록 한다. 이러한 게이트수단이 열린 상태에 있어서 플래시메모리는 데이타처리장치의 외부에서 직접 리드액세스가능하게 된다. 상기 리드커맨드가 소정의 커맨드이외의 커맨드라도 좋다. 이것에 의해 데이타처리장치에 내장된 플래시메모리는 PROM라이터와 같은 외부장치에서 봐서 단체의 플래시메모리(LSI) 장치와 등가로 된다(리라이트, 리드처리에 관함).

(e) 상기 중앙처리장치가 실행해야할 플래시메모리의 리라이트를 위한 순서제어용 프로그램은 플래시메모리에 미리 저장해두고, 외부장치에 의한 리라이트동작모드의 설정에 호응해서 그 프로그램을 데이타처리장치내의 RAM으로 전송하고, 그 RAM에 전송된 상기 프로그램을 중앙처리장치로 실행시킬 수 있다.

(f) 용도에 따라서 플래시메모리에 저장해야 할 정보량이 그 정보의 종류, 예를들면 프로그램, 데이타테이블, 제어데이타등에 따라서 다른 것을 고려한 경우 플래시메모리를 내장하는 데이타처리장치가 시스템(회로기관)에 내장된후 플래시메모리의 유지정보의 부분적 또는 일부의 리라이트를 실행하기 위해 플래시메모리의 메모리블럭을 일괄소거하는 것에 의해 발생하는 쓸데없는 라이트동작을 없애고 리라이트효율을 향상시키기 위해서는 상기 플래시메모리에 있어서의 일괄소거할 수 있는 단위로써 서로 기억용량이 다른 여러개의 메모리 블럭을 할당하면 좋다.

상기한 구성에 의하면 플래시메모리를 내장하는 데이타처리장치에 있어서, 외부장치에서 비동기로 부여되는 커맨드에 따른 리라이트시퀀스가 내장회로에서 실행되므로 외부장치는 데이타정보와 어드레스정보를 데이타처리장치에 부여하기 전에 데이타정보를 부여하는 것과 마찬가지로 해서 커맨드를 데이타처리장치에 부여하면 좋고, 범용적으로 이용되는 PROM라이터와 같은 외부장치에 소켓어댑터를 거쳐서 결합하는 것에 의해서 데이타처리장치의 내장 플래시메모리에 대한 정보의 라이트를 가능하게 한다.

커맨드에 의해서 지시되는 리라이트를 위한 시퀀스를 데이타처리장치의 내장 중앙처리장치가 제어하는 것은 그 제어를 위한 전용회로를 불필요하게 하거나 또는 삭감하여 데이타처리장치의 칩면적의 저감을 실현한다. 또, 리라이트를 위한 제어시퀀스는 중앙처리장치가 실행해야할 소프트웨어를 변경하는 것에 의해 변경가능하고, 이것을 플래시메모리를 구성하는 기억소자의 특성에 맞춰서 라이트시간 등의 조건설정을 가능하게 한다.

본 발명의 실시예를 다음의 항목에 따라서 설명한다.

[1] 플래시메모리의 원리

[2] 기억용량이 다른 여러개의 메모리블럭으로의 플래시메모리의 분할

[3] PROM라이터에 의한 플래시메모리로의 커맨드방식의 정보의 라이트원리

[4] 마이크로컴퓨터

[5] 내장 플래시메모리

[6] 커맨드방식에 대응하는 하드웨어

[7] PROM라이터에 의한 플래시메모리로의 정보의 라이트등의 커맨드규격

[8] 온보드에서 플래시메모리로의 정보의 라이트

[9] 커맨드방식에 의한 정보의 라이트동작(커맨드대응)

[10] 커맨드방식에 의한 정보의 라이트시의 PROM라이터의 동작

[11] 커맨드방식에 의한 정보의 라이트시의 CPU의 동작

[12] PROM라이터에서 본 데이타처리장치에 내장된 플래시메모리의 라이트규격과 단체플래시메모리LSI의 라이트규격의 호환성

[1 플래시메모리의 원리]

제1도a, 제1도b에는 플래시메모리셀의 구조 및 동작원리가 도시된다. 제1도a에 예시적으로 도시된 메모리셀은 2층게이트구조의 절연게이트형 전계효과 트랜지스터로 구성되어 있다. 동일도면에 있어서, (1)은 P형 실리콘기판, (2)는 상기 실리콘기판(1)에 형성된 P형 반도체영역, (3), (4)는 N^+형 반도체영역을 나타낸다. (5)는 터널절연막으로써의 얇은 산화막 (6) (예를들면 두께 10nm)을 거쳐서 상기 P형 실리콘기판(1) 상에 형성된 플로팅게이트, (7)은 산화막(8)을 거쳐서 상기 플로팅게이트(5)상에 형성된 컨트롤게이트를 나타낸다. 소오스는 영역(4)에 의해서 구성되고, 드레인은 영역(3), (2)에 의해서 구성된다. 이 메모리셀에 기억되는 정보는 실질적으로 임계값 전압의 변화로써 트랜지스터에 유지된다. 이하, 특별히 기술하지 않는한 메모리셀에 있어서 정보를 기억하는 트랜지스터(이하, 메모리셀 트랜지스터라고도 한다)가 n채널형인 경우에 대해서 기술한다.

메모리셀로의 정보의 라이트동작은 예를들면 컨트롤게이트(7) 및 드레인에 고압을 인가해서 애벌랜치주입에 의해 드레인측에서 플로팅게이트(5)에 전자를 주입하는 것에 의해 실현된다. 이 라이트동작에 의해 기억트랜지스터는 제1도b에 도시되는 바와 같이 그 컨트롤게이트(7)에서 본 임계값전압이 라이트동작을 실행하지 않았던 소거상태의 기억트랜지스터에 비해서 높아진다.

한편 소거동작은 예를들면 소오스에 고압을 인가해서 터널현상에 의해 플로팅게이트(5)에서 소오스측으로 전자를 방출하는 것에 의해 실현된다. 제1도b에 도시되는 바와 같이 소거동작에 의해 기억트랜지스터는 그 컨트롤게이트(7)에서 본 임계값전압이 낮아진다. 제1도b에서는 라이트 및 소거상태의 어느 상태에서도 메모리셀 트랜지스터의 임계값은 정의 전압레벨로 된다. 즉, 워드선에서 컨트롤게이트(7)에 부여되는 워드선 선택레벨에 대해서 라이트상태의 임계값전압은 높아지고, 소거상태의 임계값전압은 낮아진다. 쌍방의 임계값전압과 원드선 선택레벨이 그와 같은 관계를 갖는 것에 의해서 선택 트랜지스터를 채용하는 일없이 1개의 트랜지스터로 메모리셀을 구성할 수 있다. 기억정보를 전기적으로 소거하는 경우에는 플로팅게이트(5)에 축적된 전자를 소오스전극으로 방출하는 것에 의해 기억정보의 소거가 실행되므로 비교적 긴 기산 소거동작을 계속하면 라이트동작시에 플로팅게이트(5)에 주입한 전자의 양보다도 많은 전자가 방출되게 된다. 그 때문에 전기적인 소거를 비교적 긴시간 계속하는 과소거를 실행하면 메모리셀 트랜지스터의 임계값전압은 예를들면 부의 레벨로 되어 워드선의 비선택레벨에서도 선택되는 불합리가 생긴다. 또, 라이트도 소거와 마찬가지로 터널전류를 이용해서 실행할 수도 있다.

리드동작에 있어서는 상기 메모리셀에 대해서 약한 라이트, 즉 플로팅게이트(5)에 대해서 바라지않는 캐리어의 주입이 실행되지 않게 드레인(3) 및 컨트롤게이트(7)에 인가되는 전압이 비교적 낮은 값으로 제한된다. 예를들면 1V정도의 저전압이 드레인(3)에 인가됨과 동시에 컨트롤게이트(7)에 5V정도의 저전압이 인가된다. 이들 인가전압에 의해서 메모리셀 트랜지스터를 흐르는 채널전류의 대소를 검출하는 것에 의해 메모리셀에 기억되어 있는 정보의 논리값"0", "1"을 판정할 수 있다.

제2도에 상기 메모리셀 트랜지스터를 사용한 메모리셀어레이의 구성원리를 도시한다. 제2도에는 대표적으로 4개의 메모리셀 트랜지스터Q1~Q4가 도시된다. X, Y방향으로 매트릭스배치된 메모리셀에 있어서 같은 행에 배치된 메모리셀 트랜지스터Q1, Q2(Q3, Q4)의 컨트롤게이트(메모리셀의 선택게이트)는 각각 대응하는 워드선WL1(WL2)에 접속되고, 같은 열에 배치된 기억트랜지스터Q1, Q3(Q2, Q4)의 드레인영역(메모리셀의 입출력노드)은 각각 대응하는 데이타선DL1(DL2)에 접속되어 있다. 상기 기억트랜지스터Q1, Q3(Q2, Q4)의 소오스영역은 소오스선SL1(SL2)에 결합된다.

표1에는 메모리셀에 대한 소거동작 및 라이트동작을 위한 전압조건의 1예가 표시된다.

표1에 있어서, 메모리소자는 메모리셀 트랜지스터를 의미하고, 게이트는 메모리셀트랜지스터의 선택게이트로써의 컨트롤게이트를 의미한다. 표1에 있어서, 부전압방식의 소거는 컨트롤게이트에 예를들면 -10V와

같은 부전압을 인가하는 것에 의해서 소거에 필요한 고전계를 형성한다. 표1에 예시되는 전압조건에서 명확한 바와 같이 정전압방식의 소거에 있어서는 적어도 소오스가 공통 접속된 메모리셀에 대해서 일괄 소거를 실행할 수 있다. 따라서, 제2도의 구성에 있어서 소오스선SL1, SL2가 접속되어 있으면 4개의 메모리셀Q1~Q4는 일괄소거가능하게 된다. 이 경우, 동일한 소오스선에 연결되는 메모리셀 트랜지스터의 수를 바꾸는 것에 의해 메모리블럭의 사이즈를 임의로 설정할 수 있다. 소오스선 분할방식에는 제2도에 대표적으로 도시되는 데이타선을 단위로 하는 경우(공통소오스선을 데이타선방향으로 연장시키는)외에 워드선을 단위로하는 경우(공통소오스선을 워드선방향으로 연장시키는)가 있다. 한편, 부전압방식의 소거에 있어서는 컨트롤게이트가 공통접속된 메모리셀에 대해서 일괄소거를 실행할 수 있다.

[표 1]

라이트

메모리소자	선택/비선택	소오스	드레인	게이트
Q1	선택	0V	6V	12V
Q2	비선택	0V	0V	12V
Q3	비선택	0V	6V	0V
Q4	비선택	0V	0V	0V

소거 (정전압방식)

메모리소자	선택/비선택	소오스	드레인	게이트
Q1, Q3	선택	12V	0V	0V
Q2, Q4	비선택	0V	0V	0V

소거 (부전압방식)

메모리소자	선택/비선택	소오스	드레인	게이트
Q1, Q2	선택	5V	0V	-10V
Q3, Q4	비선택	5V	0V	0V

[2 기억용량이 다른 여러개의 메모리블럭으로의 플래시메모리의 분할]

제3도는 일괄소거가능한 메모리블럭의 기억용량을 다르게한 플래시메모리의 1예를 도시한 회로블럭도이다.

제3도에 도시되는 플래시메모리FMRY1은 8비트의 데이타입출력단자D0~D7을 갖고, 각 데이타입출력단자마다 메모리셀어레이ARY0~ARY7을 구비한다. 메모리셀어레이ARY0~ARY7은 특히 제한되지 않지만 상대적으로 기억용량이 큰 메모리블럭 LMB와 상대적으로 기억용량이 작은 메모리블럭SMB로 2분할되어 있다. 도면에는 대표적으로 메모리셀어레이ARY0를 상세하게 도시하고 있지만 그외에 메모리셀어레이ARY1~ARY7도 마찬기자로 구성되어 있다.

각각의 메모리셀어레이ARY0~ARY7에는 상기 제1도a, 제1도b에서 설명한 2층게이트구조의 절연게이트형 전계효과 트랜지스터에 의해서 구성된 메모리셀MC를 매트릭스형상으로 배치하고 있다. 동일 도면에 있어서, WL0~WLn은 모든 메모리셀어레이ARY0~ARY7의 공통의 워드선이다. 동일 행에 배치된 메모리셀의 컨트롤게이트는 각각 대응하는 워드선에 접속된다. 각각의 메모리셀어레이ARY0~ARY7에 있어서 동일 열에 배치된 메모리셀MC의 드레인영역(제1의 주전극)은 각각 대응하는 데이타선DL0~DL7에 접속되어 있다. 메모리블럭SMB를 구성하는 메모리셀MC의 소오스영역(제2의 주전극)은 소오스선SL1에 공통 접속되고, 메모리블럭LMB를 구성하는 메모리셀MC의 소오스영역은 소오스선SL2에 공통접속되어 있다.

상기 소오스선SL1, SL2에는 전압출력회로VOUT1, VOUT2에서 소거에 이용되는 고전압 Vpp가 공급된다. 전압출력회로VOUT1, VOUT2의 출력동작은 소거블럭 지정레지스터의 비트B1, B2의 값에 의해서 선택된다. 예를 들면 소거블럭 지정레지스터의 비트B1에 "1"이 설정되는 것에 의해서 각 메모리셀어레이ARY0~ARY7의 작은 메모리블럭SMB만이 일괄소거가능하게 된다. 소거블럭 지정레지스터의 비트B2에 "1"이 설정된 경우는 각 메모리셀어레이ARY0~ARY7의 큰 메모리블럭LMB만이 일괄소거가능하게 된다. 쌍방의 비트B1, B2에 "1"이 설정되었을때에는 플래시메모리 전체가 일괄소거가능하게 된다.

상기 워드선WL0~WLn의 선택은 X어드레스버퍼XABUFF 및 X어드레스래치XALAT를 거쳐서 페치되는 X어드레스신호AX를 X어드레스디코더XADEC가 해독하는 것에 의해서 실행된다. 워드드라이버WDRV는 X어드레스디코더XADEC에서 출력되는 선택신호에 따라서 워드선을 구동한다. 데이타리드동작에 있어서 워드드라이버WDRV는 전압선택회로VSEL에서 공급되는 5V와 같은 전압 Vcc와 0V와 같은 접지전위를 전원으로 해서 동작되고, 선택되어야할 워드선을 전압 Vcc에 의해서 선택레벨로 구동하고, 비선택으로 되어야할 워드선을 접지전위와 같은 비선택레벨로 유지시킨다. 데이타의 라이트동작에 있어서 워드드라이버WDRV는 전압선택회로VSEL에서 공급되는 12V와 같은 전압Vpp와 0V와 같은 접지전위를 전원으로 해서 동작되고, 선택되어야할 워드선을 12V와 같은 라이트용 고전압레벨로 구동한다. 데이타의 소거동작에 있어서 워드드라이버WDRV의 출력은 0V

와 같은 낮은 전압레벨로 된다.

각각의 메모리셀어레이ARY0～ARY7에 있어서 상기 데이타선DL0～DL7은 Y선택스위치YS0～YS7을 거쳐서 공통데이타CD에 공통접속된다. Y선택스위치YS0～YS7의 스위치제어는 Y어드레스버퍼YABUFF 및 Y어드레스래치YALAT를 거쳐서 페치되는 Y어드레스신호AY를 Y어드레스디코더YADEC가 해독하는 것에 의해서 실행된다. Y어드레스디코더YADEC의 출력선택신호는 모든 메모리셀어레이ARY0～ARY7에 공통으로 공급된다. 따라서, Y어드레스디코더YADEC의 출력선택신호중 어느 하나가 선택레벨로 되는 것에 의해 각 메모리셀어레이ARY0～ARY7에 있어서 공통데이타선CD에는 1개의 데이타선이 접속된다.

메모리셀MC에서 공통데이타선CD에 리드된 데이타는 선택스위치RS를 거쳐서 센스앰프SA에 부여되고, 여기에서 증폭되어 데이타출력래치DOL을 거쳐서 데이타출력버퍼DOB에서 외부로 출력된다. 상기 선택스위치RS는 리드동작에 동기해서 선택레벨로 된다.

외부에서 공급되는 라이트데이타는 데이타입력버퍼DIB를 거쳐서 데이타입력래치DIL에 유지된다. 데이타입력래치DIL에 유지된 데이타가 "0"일때 라이트회로WR은 선택스위치WS를 거쳐서 공통데이타선CD에 라이트용의 고전압6V을 공급한다. 이 라이트용 고전압은 Y어드레스신호AY에 의해서 선택된 데이타선을 통해서 X어드레스신호AX로 컨트롤게이트에 고전압이 인가되는 메모리셀의 드레인에 공급하고, 이것에 의해서 상기 메모리셀이 라이트된다. 상기 선택스위치WS는 라이트동작에 동기해서 선택레벨로 된다.

라이트소거의 각종 타이밍이나 전압의 선택제어는 라이트소거 제어회로WECONT가 생성한다.

용도에 따라서 플래시메모리FMRY1에 저장해야할 정보량이 그 정보의 종류, 예를들면 프로그램, 데이타테이블, 제어데이타등에 따라서 다른 것을 고려한 경우 플래시메모리에 있어서의 일괄소거할 수 있는 단위로써 서로 기억용량이 다른 여러개의 메모리블럭SMB, LMB를 구성해드는 것에 의해 마이크로컴퓨터를 회로기판에 내장한후 상기 마이크로컴퓨터에 내장한 플래시메모리의 유지정보의 부분적 또는 일부의 리라이트에 따라서 메모리블럭을 일괄 소거한후의 라이트동작의 낭비를 없애서 리라이트효율을 향상시킬 수 있다.

[3 PROM라이터에 의한 플래시메모리로의 커맨드방식의 정보라이트원리]

제4도에는 상기와 같은 플래시메모리FMRY2를 내장한 제1의 실시예에 관한 마이크로컴퓨터MCU1(단일의 반도체기판내에 형성할 수 있다)에 있어서 그 내장 플래시메모리를 PROM라이터로 리라이트처리할때의 기능블럭도가 도시된다.

제4도에는 내부버스BUS를 공유하는 회로모듈로써 중앙처리장치(이하, 단지 CPU라고도 한다)(10), 플래시메모리RMRY2 및 제어회로(20)이 대표적으로 도시된다. 이 마이크로컴퓨터MCU1은 PROM라이터(30)에 의한 라이트동작모드를 갖는다. 예를들면 도시하지 않은 소켓어댑터를 거쳐서 마이크로컴퓨터MCU1을 PROM라이터(30)의 소정의 단자에 결합하면 마이크로컴퓨터MCU1의 도시하지 않은 모드설정단자가 강제적으로 소정레벨로 되어 마이크로컴퓨터MCU1의 동작모드가 PROM라이터(30)에 의한 라이트동작모드로 설정된다. 이러한 동작모드에 있어서, CPU10은 도시하지 않은 버스스위치를 거쳐서 내부버스BUS에서 분리된다. 제어회로(20)은 상기 PROM라이터(30)에 의한 라이트동작모드가 설정된 상태에서 PROM라이터(30)에서 라이트가능하게 되어 PROM라이터에서 공급되는 커맨드를 래치하는 커맨드래치(21), 이것에 래치된 커맨드를 해석하는 커맨드해석기(22) 및 해석된 내용에 따라서 플래시메모리의 리라이트를 위한 순서제어를 실행하는 시퀀스제어기(23)을 구비한다. PROM라이터(30)은 소거, 소거검증, 프로그램(라이트), 프로그램검증 등 소정의 커맨드를 그리고, 계속해서 필요한 데이타정보나 어드레스정보를 제어회로(20)에 공급한다. PROM라이터(30)에서 공급된 커맨드는 커맨드해석기(22)에서 해석되고, 그것에 따라서 시퀀스제어기(23)이 필요한 데이타정보나 어드레스정보 등을 이용해서 라이트를 실행하기 위한 제어신호를 플래시메모리FMRY2에 부여한다.

상술한 바와 같이 마이크로컴퓨터(1)에 구비되는 제어회로(20)에 희애 PROM라이터(30)에서 부여되는 커맨드에 따른 리라이트(소거 및 라이트)시퀀스가 실행되므로 PROM라이터(30)은 데이타정보와 어드레스정보를 부여하기 전에 데이타정보를 부여하는 것과 마찬가지로 해서 마이크로컴퓨터MCU1에 커맨드를 부여하면 좋으므로, 범용적으로 이용되는 PROM라이터(30)에 소켓어댑터를 거쳐서 마이크로컴퓨터MCU1을 결합하는 것에 의해서 상기 마이크로컴퓨터에 내장한 플래시메모리FMRY2에 대한 정보의 라이트를 실행할 수 있다. 이 구성에 있어서, PROM라이터(30)에 의한 라이트모드가 설정된 마이크로컴퓨터MCU1은 PROM라이터(30)에 있어서 단체의 플래시메모리칩과 동일시된다.

제5도에는 상기 플래시메모리FMRY2를 내장한 제2의 실시예에 관한 마이크로컴퓨터MCU2(단일의 반도체기판내에 형성될 수 있다)에 있어서 그 내장 플래시메모리FMRY2를 PROM라이터(30)에서 리라이트처리할때의 기능블럭도가 도시된다.

동일 도면에 도시되는 마이크로컴퓨터MCU2는 상기 제어회로(20)에 의한 커맨드해석이나 시퀀스제어를 내장CPU(10)에 실행시키는 것에 의해서 커맨드해석기(22)나 시퀀스제어기(23)과 같은 리라이트를 위한 전용회로를 삭감한 것이다. 상기 제5도에 있어서, PROM라이터(30)에 의한 라이트동작모드시에 CPU(10)은 내부버스BUS에서 분리되므로 PROM라이터(30)에 의한 플래시메모리FMRY2의 리라이트중에 내장CPU(10)은 그것과는 다른 처리를 실행해야할 필연성은 없기 때문에 상기 내부버스BUS에서의 분리에 의해 실질적으로 휴면상태로 될 가능성이 높다. 제5도에서는 그와 같은 내장CPU(10)을 유효하게 이용하는 것이다.

동일 도면에는 내부버스BUS를 공유하는 회로모듈로써 CPU(10), 플래시메모리FMRY2 및 래치(21a)～(21c)가 대표적으로 도시된다. 이 마이크로컴퓨터MCU2는 PROM라이터(30)에 의한 라이트동작모드를 갖는다. 예를들면 도시하지 않은 소켓어댑터를 거쳐서 마이크로컴퓨터MCU2를 PROM라이터(30)의 소정의 단자에 결합하면 마이크로컴퓨터MCU2의 도시하지 않은 모드설정단자가 강제적으로 소정레벨로 되어 PROM라이터(30)에 의한 라이트동작모드가 설정된다. 이러한 동작모드에 있어서 PROM라이터(30)은 특히 제한되지 않지만 CPU(10)에 의한 내부버스액세스에 경합하지 않도록 내부버스BUS에서 분리되고, 내부버스BUS에 직접 대이타정보나 어드레스정보를 공급하지 않도록 되어 있다. PROM라이터(30)에서 공급된 커맨드, 데이타정보나 어드레스정보는 커맨드래치(21a), 데이타래치(21c), 어드레스래치(21b)로 라이트된다. CPU(10)은 상기 PROM라이터(30)에 의한 라이트동작모드가 설정된 상태에서 PROM라이터(30)에서 라이트된 커맨드를 해석하는 커맨드

해석기(22)의 기능과 해석된 내용에 따라서 플래시메모리FMRY2의 리라이트를 위한 순서의 제어를 실행하는 시퀀스제어기(23)의 기능을 그를 위한 제어프로그램과 함께 실현한다. PROM라이터(30)은 소거, 소거검증, 프로그램(라이트), 프로그램검증 등 소정의 커맨드를 공급하고, 이것에 계속해서 필요한 데이타정보나 어드레스정보를 래치(21a)~(21c)에 공급한다. PROM라이터(30)에서 공급된 커맨드는 CPU(10)에서 해석되고, 그것에 따라서 CPU(10)이 어드레스래치(21b), 데이타래치(21c)로 라이트되어 있는 데이타정보나 어드레스정보등을 이용해서 라이트를 실행하기 위한 제어신호를 플래시메모리FMRY2에 부여한다.

제6도a~제6도c에는 PROM라이터(30)에 의한 커맨드라이트 타이밍의 1예가 도시된다. 동일 도면에 있어서 커맨드라이트사이클이라 기재된 사이클이 PROM라이터(30)에 의한 마이크로컴퓨터MCU2로의 라이트사이클이고, 최초에 커맨드래치(21a)로 커맨드를 라이크하고, 계속해서 데이타래치(21c) 및 어드레스래치(21b)로 필요에 따라서 데이타정보 및 어드레스정보를 라이트한다. 동일 도면에 있어서 라이트사리클이라 기재된 사이클은 PROM라이터(30)에 의해서 라이트된 내용에 따라서 CPU제어로 실행되는 플래시메모리의 정보라이트사이클이다.

제7도는 CPU제어에 의한 플래시메모리의 정보라이트사이클의 1예의 타이밍도가 도시된다. 이 라이트사이클은 CPU(10)에 의한 커맨드해석의 사이클, 커맨드해석결과에 따라서 실제로 플래시메모리에 대해서 실행되는 라이트사이클 및 후처리의 사이클로 된다.

제2실시예의 마이크로컴퓨터MCU2도 상기 제1실시예와 마찬가지로 범용적으로 이용되는 PROM라이터(30)을 소켓어댑터를 거쳐서 결합하는 것에 의해 마이크로컴퓨터에 내장한 플래시메모리FMRY2로의 정보의 라이트를 실행할 수 있다. 또, 커맨드에 의해서 지시되는 리라이트를 위한 시퀀스를 CPU(10)이 제어하기 때문에 그 제어를 위한 전용회로를 필요로 하지 않거나 또는 삭감하여 마이크로컴퓨터MCU2의 칩면적의 저감을 실현한다. 또, 리라이트를 위한 제어시퀀스는 CPU(10)이 실행해야할 소프트웨어로 변경할 수 있기 때문에 플래시메모리FMRY2를 구성하는 메모리셀 트랜지스터의 특성에 맞춰서 라이트시간 등의 조건설정을 실행할 수 있다. 제1의 실시예와 제2의 실시예를 비교하면 다음 표2에 표시되어 있는 바와 같은 차이점이 있다.

[표 2]

항 목	제2실시예 (CPU제어)	제1실시예 (하드웨어 제어)
제어회로규모	300Trs.	3200Trs.
커맨드규격변경	소프트웨어변경	마스크변경
라이트, 소거조건변경	소프트웨어변경	마스크변경

[4 마이크로컴퓨터]

제8도에는 제5도의 마이크로컴퓨터에 대응하는 마이크로컴퓨터MCU3의 더욱 상세한 블럭도가 도시된다.

제8도에 도시되는 마이크로컴퓨터MCU3은 CPU(10), 플래시메모리FMRY2, 직렬통신인터페이스SCI, 제어회로CONT 및 랜덤액세스메모리RAM, 16비트 인터그레이티드 타이머 펄스유닛IPU, 워치독타이머WDTMR, 포트PORT1~PORT12, 클럭발진기CPG, 인터럽트 컨트롤러IRCONT, 아날로그 디지탈변환기ADC 및 대기상태 컨트롤러WSCONT를 구비하고, 그들 회로모듈은 특히 제한되지 않지만 공지의 반도체집적회로 제조기술에 의해서 실리콘과 같은 단일의 반도체기판을 사용해서 형성되어 있다.

상기 CPU(10), 플래시메모리FMRY2, 랜덤액세스메모리RAM 및 16비트 인터그레이티드 타이머 펄스유닛IPU는 어드레스버스ABUS, 하위 데이타버스LDBUS(예를들면 8비트) 및 상위데이타버스HDBUS(예를들면 8비트)에 접속된다. 직렬통신인터페이스SCI, 워치독타이머WDTMR, 인터럽트컨트롤러IRCONT, 아날로그디지탈변환기ADC, 대기상태컨트롤러WSCONT 및 포트PORT1~PORT12는 어드레스버스ABUS 및 상위데이타버스HDBUS에 접속된다.

제8도에 있어서, Vpp는 플래시메모리FMRY2의 리라이트용 고전압이다. EXTAL 및 XTAL은 마이크로컴퓨터MCU3의 칩의 외부에 부착되는 도시하지 않은 진동자에서 상기 클럭발진기CPG에 부여되는 신호이다. Φ는 클럭발진기CPG에서 외부로 출력되는 동기클럭신호이다. RES*(기호*는 이것이 붙여진 신호가 로우인에이블신호인 것을 의미한다)는 리세트신호, STBY*는 대기신호이고, CPU(10) 및 그밖의 회로블럭에 공급된다. NMI는 논 마스커블 인터럽트신호이고, 마스크불가능한 인터럽트를 상기 인터럽트컨트롤러IRCONT에 부여한다. 도시하지 않은 그밖의 인터럽트신호는 포트PORT8, PORT9를 거쳐서 인터럽트컨트롤러IRCONT에 부여된다. AS*는 외부로 출력되는 어드레스신호의 유효성을 나타내는 어드레스스트로브신호, RD*는 리드사이클인 것을 외부로 통지하는 리드신호, HWR*는 상위 8비트의 라이트사이클인 것을 외부로 통지하는 어퍼바이트·라이트신호, LWR*는 하위8비트의 라이트사이클인 것을 외부로 통지하는 로어바이트·라이트신호이고, 그들은 마이크로컴퓨터MCU3의 외부에 대한 액세스제어신호이다.

MD0~MD2는 마이크로컴퓨터MCU3의 동작모드를 설정하기 위해 제어회로CONT에 공급되는 모드신호이다. 이것에 의해서 설정되는 동작모드는 특히 제한되지 않지만 최대모드나 최소모드와 같은 CPU가 관리할 수 있는 어드레스공간에 관한 동작모드 및 PROM라이터(30)에 의한 내장 플래시메모리FMRY2로의 정보의 라이트

를 가능하게 하는 동작모드(이하, 단지 PROM라이터 라이트모드라고도 한다)등이다. 이러한 PROM라이터 라이트모드에 대해서 상기 최대모드나 최소모드는 CPU(10)이 마이크로컴퓨터MCU3의 온보드상태에서 내장 플래시메모리FMRY2를 리라이트가능하게 하는 동작모드로써 파악할 수 있다.

커맨드방식으로써 PROM라이터(30)에서 플래시메모리FMRY2로 정보의 라이트를 실행하는 동작모드이외에 있어서 마이크로컴퓨터MCU3이 외부를 액세스하기 위한 데이타BD0～BD15의 입출력에는 특히 제한되지 않지만 상기 포트PORT1, PORT2가 할당된다. 이때의 어드레스신호BA0～BA19의 출력에는 특히 제한되지 않지만 상기 포트PORT3～PORT5가 할당된다.

한편, 마이크로컴퓨터MCU3에 상기 PROM라이터 리라이트모드가 설정되었을때 그 플래시메모리FMRY2를 리라이트제어하는 PROM라이터(30)과의 접속에는 특히 제한되지 않지만 상기 포트PORT2～PORT5 및 PORT8이 할당된다. 즉, 커맨드라이트, 데이타라이트를 위한 것 및 라이트검증을 위한 데이타ED0～ED7의 입출력에는 상기 포트PORT2가 할당되고, 어드레스신호EA0～EA16의 입력 및 액세스제어신호CE*(칩인에이블신호), OE*(아웃풋인에이블신호), WE*(라이트인에이블신호)의 입력에는 상기 포트PORT3～PORT5 및 PORT8이 할당된다. 상기 칩인에이블신호CE*는 PROM라이터(30)으로 부터의 칩선택신호이고, 아웃풋인에이블신호OE*는 마이크로컴퓨터MCU3에 대한 출력동작의 지시신호이고, 라이트인에이블신호WE*는 마이크로컴퓨터MCU3에 대한 라이트동작의 지시신호이다. 또, 어드레스신호EA0～EA16중의 1비트EA9의 입력에는 상기 신호NMI의 입력단자가 할당된다. 이와 같이 해서 할당된 포트의 외부단자 및 고전압Vpp의 인가단자 등의 그밖의 필요한 외부단자는 핀배치변환용의 소켓으로써의 도시하지 않은 소켓어댑터를 거쳐서 PROM라이터(30)에 접속된다. 상기 PROM라이터 리라이트모드에 있어서 PROM라이터(30)과의 접속에 할당되는 마이크로컴퓨터MCU3의 외부단자군은 그밖의 동작모드에서는 다른 기능이 할당되게 된다.

제9에는 제8도의 마이크로컴퓨터MCU3을 예를들면 수지에 의해서 봉하는 것에 의해 얻어진 4변부에 외부단자를 갖는 패케이지의 상면을 도시한다. 제9도에 도시된 신호는 제8도와 공통이다. 신호명이 표시되어 있지 않은 외부단자(핀)은 대기신호의 입력핀, 버스요구신호의 입력핀, 버스확인신호의 출력핀, 직렬통신인터페이스SCI등의 주변회로와 외부의 신호입출력핀등에 이용된다.

[5 내장 플래시메모리]

제10도에는 제8도의 마이크로컴퓨터MCU3에 내장되는 플래시메모리FMRY2의 전체적인 블럭도가 도시된다. 동일 도면에 있어서, ARY는 상기 제1도a에서 설명한 2층게이트구조의 절연게이트형 전계효과 트랜지스터에 의해서 구성된 메모리셀을 매트릭스배치한 메모리셀어레이이다. 이메모리셀어레이ARY는 제3도에서 설명한 구성과 마찬가지로 메모리셀의 컨트롤게이트는 각각 대응하는 워드선에 접속되고, 메모리셀의 드레인영역은 각각 대응하는 데이타선에 접속되며, 메모리셀의 소오스영역은 메모리블럭마다 공통의 소오스선에 접속되어 있지만 메모리블럭의 분할형태는 제3도와는 달라도 좋다. 예를들면 제11동체 도시되는 바와같이 상대적으로 각각의 기억용량이 큰 7개의 큰 메모리블럭(큰 블럭)LMB0～LMB6과 상대적으로 각각의 기억용량이 작은 8개의 작은 메모리블럭(작은 블럭)SMB0～SMB7로 분할되어 있다. 큰 매모리블럭은 프로그램 저장영역 또는 대용량 데이타 저장영역등으로 이용된다. 작은 메모리블럭은 소용량 데이타저장영역등으로 이용된다.

제10도에 있어서, AIL은 어드레스신호PAB0～PAB15의 래치회로이다. 어드레스신호PAB0～PAB15는 CPU10에서 어드레스버스ABUS로 출력된 어드레스신호에 대응함과 동시에 상기 PROM라이터 리라이트모드에서는 PROM라이터(30)의 출력어드레스신호EA0～EA15에 대응한다. XADEC는 어드레스래치AIL을 거쳐서 페치되는 X어드레스신호를 해독하는 X어드레스디코더이다. 워드드라이버WDRV는 X어드레스디코더XADEC에서 출력되는 선택신호에 따라서 워드선을 구동한다. 데이타리드동작에 있어서 워드드라이버는 5V와 같은 전압에서 워드선을 구동하고, 데이타의 라이트동작에서는 12V와 같은 고전압에서 워드선을 구동한다. 데이타의 소거동작에 있어서 워드드라이버의 모든 출력은 0V와 같은 낮은 전압레벨로 된다.

YADEC는 어드레스래치AIL을 거쳐서 페치되는 Y어드레스신호를 해독하는 Y어드레스디코더이다. YSEL은 Y어드레스디코더YADEC의 출력선택신호에 따라서 데이타선을 선책하는 Y셀렉터이다. SA는 데이타리드동작에 있어서 Y셀렉터YSEL에서 선택된 데이타선으로 부터의 리드신호를 증폭하는 센스앰프이다. DOL은 센스앰프SA의 출력을 유지하는 데이타출력래치이다. DOB는 데이타출력래치DOL이 유지하는 데이타를 외부로 출력하지 위한 데이타출력버퍼이다.

제10도에 있어서 PDB0～PDB7은 하위8비트(1바이트) 데이타이고, PDB8～PDB15는 상위 8비트(1바이트) 데이타이다. 이 예에 따르면 출력데이타는 최대2바이트이다. DIB는 외부에서 공급되는 라이트데이타를 페치하기 위한 데이타입력버퍼이다. 데이타입력버퍼DIB에서 페치된 데이타는 데이타입력래치DIL에 유지된다. 데이타입력래치DIL에 유지된 데이타가 "0"일때 라이트회로WR은 Y셀렉터YSEL에서 선택된 데이타선에 라이트용 고전압을 공급한다. 이 라이트용 고전압은 X어드레스신호에 따라서 컨트롤게이트에 고전압이 인가되는 메모리셀의 드레인에 공급되고, 이것에 의해 상기 메모리셀이 라이트된다.

EC는 지정된 메모리블럭의 소오스선에 소거용 고전압을 공급해서 메모리블럭의 일괄소거를 실행하기 위한 소거회로이다. 소거회로EC에 대한 소거블럭의 지정은 소거블럭 지정레지스터MBREG가 실행한다. 이 레지스터MBREG에 대한 데이타의 라이트는 CPU(10)이 실행한다.

FCONT는 플래시메모리FMRY2에 있어서의 데이타리드동작의 타이밍제어 및 라이트소거를 위한 각종 타이밍이나 전압의 선택제어등을 실행하는 제어회로이고, 소거블럭 지정레지스터MBREG, 컨트롤레지스터CREG를 포함한다. 이 제어회로FCONT는 컨트롤레지스터CREG의 내용을 참조해서 처리를 실행한다. 제10도에 있어서 레지스터MBREG, CREG는 편의상 회로 FCONT의 블럭 외부에 도시하고 있다.

제12도a～제12도c에는 상기 컨트롤레지스터CREG와 소거블럭지정레지스터MBREG의 1예가 도시된다. 이 소거블럭 지정레지스터는 2개의 레지스터MBREG1 및 MBREG2에 의해서 구성되고, 각각의 레지스터CREG, MBREG1, MBREG2는 8비트의 레지스터로 된다. 컨트롤레지스터CREG에 있어서 Vpp는 라이트용 고전압의 인가에 따라서 "1"로 되는 고전압인가 플래그이다. E비트는 소거동작을 지시하는 비트이고, EV비트는 소거에 있어서의 검증동작의 지시비트이다. P비트는 라이트동작(프로그램동작)의 지시비트이고, PV비트는 라이트에 있어서의 검증동작의 지시비트이다. 소거블럭 지정레지스터MBREG1 및 MBREG2는 각각 7분할된 큰메모리블럭

과 8분할된 작은 메모리블럭에 포함되는 어떤 메모리블럭을 소거하는지를 지정하는 레지스터이고, 그 제0비티에서 제7비트는 각 메모리블럭의 지정용 비트로 되고, 예를들면 비트"1"은 대응하는 메모리블럭의 선택을 의미하고, 비트"0"은 대응하는 메모리블럭의 비선택을 의미한다. 예를들면 소거메모리블럭 지정레지스터MBREG2의 제7비트가 "1"일때 작은 메모리블럭SMB7의 소거가 지정된다.

상기 레지스터CREG, MBREG1, MBREG2는 CPU(10)에 의해서 리드/라이트가능하게 되어 있다.

제어회로FCONT는 그 레지스터CREG, MBREG1, MBREG2의 설정내용을 참조하고 그것에 따라서 소거 및 라이트 등을 실행한다. CPU(10)은 그 레지스터CERG, MBREG1, MBREG2의 내용을 리라이트하는 것에 의해서 소거 및 라이트동작등을 제어할 수 있다. 예를들면 상기 PROM라이터 리라이트모드가 설정되어 있을때 CPU(10)은 PROM라이터(30)에 의해서 커맨드래치로 라이트된 커맨드의 내용에 따라서 상기 레지스터CREG, MBREG1, MBREG2를 설정하게 된다.

제10도에 있어서, 제어회로FCONT에는 제어신호로써 FLM, MS-FLN, MS-MISN, M2RDN, M2WRN, MRDN, MWRN, IOWORDN, RST, VPPH, A9H, SECSN, SECN, DSCN 및 XMON이 공급된다.

제어신호FLM은 플래시메모리FMRY2의 동작모드를 지정하는 신호이고, 마이크로컴퓨터MCU3이 PROM라이터(30)에 결합되어 리라이트가능하게 될때에는 논리값"1"로 되고, 그것 이외일때는 논리값"0"으로 된다. 이 신호FLM은 예를들면 상기 모드신호MD0～MD2에 따라서 형성된다. 제어신호MS-FLN은 플래시메모리FMRY2를 선택하는 신호이다. 제어신호MS-MISN은 레지스터CREG, MBREG1, MBREG2의 선택신호이다. 레지스터CREG, MBREG1, MBREG2중 어느것을 선택하는지는 CPU(10)이 출력하는 어드레스신호의 하위 2비트(PAB0, PAB1)로 결정된다. M2RDN은 메모리리드스트로브신호, M2WRN은 메모리라이트스트로브신호, MRDN은 컨트롤레지스터CREG의 리드를 위한 리드신호, MWRN은 컨트롤레지스터CREG로의 라이트를 위한 라이트신호이다. 메모리라이트스트로브신호M2WRN은 메모리셀로 라이트해야할 데이타를 데이타입력래치DIL로 라이트하기 위한 스트로브신호로 간주된다. 메모리셀로의 실제의 라이트는 상기 컨트롤레지스터CREG의 P비트를 세트하는 것에 의해서 개시된다. 제어신호IOWORDN은 플래시메모리FMRY2에 대한 8비트리드액세스와 16비트리드액세스의 전환신호이다. 제어신호RST는 플래시메모리FMRY2의 리세트신호이다. 이 신호RST에 의해서 플래시메모리FMRY2가 리세트되는 것에 의해 또는 상기 컨트롤레지스터CREG의 Vpp플래그가 "0"으로 되는 것에 의해 상기 레지스터CREG에 있어서의 EV, PV, E, P의 각 모드설정비트가 클리어된다. VPPH는 Vpp=12V가 검출된 것을 나타내는 검출신호이다. 또, 그밖의 신호A9H, SECN, DSCN, XMON의 각 신호는 보안성 비트의 인에이블신호나 테스트인에이블신호로써 본 발명과는 직접 관계가 없으므로 그 상세한 설명은 생략한다.

[6 커맨드방식에 대응하는 하드웨어]

제13도에는 제8도의 마이크로컴퓨터에 있어서 커맨드방식에 의한 PROM라이터 리라이트모드에 대응하기 위한 하드웨어의 상세한 1예가 도시되어 있다. 이 하드웨어는 단일의 반도체기판(1)을 사용해서 실현되고 있다.

PROM라이터(30)에서 공급되는 커맨드 및 어드레스는 CPU(10)과는 비동기로 입력되므로 커맨드를 받기 위한 커맨드래치CL, 어드레스를 받기 위한 어드레스래치AL이 마련되어 있다. PROM라이터(30)과 접속되는 포트PORT는 도시하지 않은 소켓어댑터를 거쳐서 일률적으로 결정된다. 포트PORT가 레지스터를 갖고 있는 경우에는 그 레지스터를 상기 어드레스래치AL이나 커맨드래치CL로 할 수 있어 새로이 그들을 마련하지 않아도 좋다. 또, 커맨드래치CL로 커맨드가 라이트된 것을 CPU(10)이 인식할 수 있도록 커맨드래치CL의 소정비트에는 커맨드플래그CF가 할당된다. 커맨드플래그CF가 설정된 경우에 CPU(10)은 커맨드래치CL로 커맨드가 입력된 것을 알고 커맨드를 리드해가는 동작을 실행한다. PROM라이터(30)에서의 라이트는 우선 최초에 커맨드의 라이트로 되고, 계속해서 필요에 따라서 PROM라이터(30)에서 어드레스, 데이타가 각각 어드레스래치AL, 데이타래치DL로 라이트된다. 이때, 커맨드입력부터 데이타입력까지의 시간이 최소 20ns로 짧기 때문에 CPU(10)이 커맨드를 리드하는 것보다 빠르게 데이타가 커맨드래치CL에 입력되어 버리는 것을 생각할 수 있다. 그래서, 커맨드와 데이타의 충돌을 피하기 위해 커맨드래치CL이외에도 또 1개의 데이타를 받기 위한 데이타래치DL을 마련한다. 또, 데이타래치DL에 데이타가 입력된 것을 나타내는 데이타플래그DF를 커맨드래치의 소정비트에 할당한다. CPU(10)은 처음에 CF=1(이미 커맨드가 입력되어 있다) 또는 DF=1(커맨드가 입력되고, 또 데이타도 입력되어 있다)의 경우 커맨드를 리드하여 커맨드를 인식한후 DF=1의 경우에 데이타를 리드하는 동작을 실행한다.

여기에서, 커맨드래치CL과 데이타래치DL의 2개의 래치가 데이타입출력용의 포트PORT를 공유하고 있으므로, PROM라이터(30)에서 입력되는 커맨드와 데이타를 식별하는 것이 필요하게 된다. 그래서, PROM라이터(30)에서의 입력데이타는 CF=0 또한 DF=0일때는 커맨드래치CL로 래치되고, CF=1 또한 DF=0일때 데이타래치DL로 래치되게 되어 있다. 즉, 제13도에 개념적으로 도시되어 있는 바와 같이 PROM라이터(30)에서의 라이트신호WE*, 커맨드플래그CF, 데이타플래그DF의 각각의 논리값에 따른 신호를 받아서 래치제어신호를 생성하는 AND게이트AND가 마련되어 있다.

또, 제14도에도 도시되어 있는 바와 같이 커맨드래치CL로 래치된 커맨드의 종류를 커맨드디코더DEC에서 디코드해서 그것이 소정의 커맨드일때 커맨드플래그CF를 세트하고, 또 데이타래치DL로 데이타가 래치되었을때 데이타플래그DF를 세트하며, 또한 커맨드플래그CF를 클리어하는 논리가 채용되고 있다. 이것에 의해서 상기 커맨드래치CL과 데이타래치DL의 적절한 사용이 실현된다. 본 실시예에 따르면 상기 커맨드래치CL은 8비트의 레지스터로 하고, 하위측2비트를 데이타플래그DF, 커맨드플래그CF로 하고, 상위측 4비트를 커맨드유지용 비트로 한다. 또, 제13도에 있어서, AIB는 어드레스입력버퍼, MPX는 어드레스멀티플렉서이다.

상술한 바와 같이 커맨드래치CL로 래치된 커맨드를 커맨드디코더DEC에서 디코드해서 커맨드플래그CF의 세트를 실행하도록 하였다. 만일 이 처리를 CPU(10)에 위임하지 않으면 CPU(10)은 버스사이클을 기동해서 항상 커맨드래치CL의 내용을 모니터해야만 하여 동작상 낭비가 생기게 되기 때문이다. 또, 커맨드디코더DCE로 제어되는 커맨드플래그CF의 세트상태에 따라서 커맨드래치CL의 커맨드를 모두 CPU(10)이 해석하고 있던 것에서는 그 커맨드로 지시되는 동작이 타이밍상 맞지 않는 일이 있다. 예를들면 플래시메모리FMRY2에서 데이타를 리드하는 리드커맨드이다. 이것에 대처하기 위해 제13도 및 제14도에 도시되는 바와 같이 커맨드래치CL, 데이타래치DL 및 어드레스래치AL이 플래시메모리FMRY2와 CPU(10)에 접속되는 상태, 상기 커맨드래치CL, 데이타래치DL 및 어드레스래치AL이 플래시메모리FMRY2에 접속되고 CPU(10)에는 비접속으로

되는 상태를 선택할수 있는 버스스위치BSW1, BSW2를 내부버스ABUS, DBUS에 각각 마련하고, 그들 버스스위치BSW1, BSW2를 커맨드디코더DCE에 의한 리드커맨드의 디코드결과에서 얻을 수 있는 신호에 의해서 제어하도록 한다. 이러한 버스스위치BSW1, BSW2가 열린 상태에 있어서 플래시메모리FMRY2는 마이크로컴퓨터MCU3의 외부에서 즉 PROM라이터(30)에서 직접 리드액세스가능하게 된다.

[7 PROM라이터에 의한 정보의 라이트등의 커맨드규격]

표3에는 PROM라이터(30)에서 공급할 수 있는 커맨드의 규격예가 표시된다.

[표 3]

커맨드	사이클수	제1사이클			제2사이클		
		모드	어드레스	데이타	모드	어드레스	데이타
Read	2	Write	X	00H	Read	RA	Dout
Read ID	2	Write	X	90H	Read	IA	ID
Erase	2	Write	X	20H	Write	X	20H
E Verify	2	Write	EA	A0H	Read	X	EVD
A Erase	2	Write	X	30H	Write	X	30H
Program	2	Write	X	40H	Write	PA	PD
P Verify	2	Write	X	C0H	Read	X	PVD
Reset	2	Write	X	FFH	Write	X	FFH

상기 표에 표시되는 커맨드는 특히 제한되지 않지만 8종류이고, 각 커맨드에 대응해서 PROM라이터(30)이 기동해야할 사이클의 내용이 표시되어 있다. 커맨드의 코드는 상기 표에 표시되는 제1사이클의 데이타에 대응한다. 이 코드는 16진수로 표시되고, 상기 코드의 최후에 붙여져 있는 H는 16진수인 것을 의미하고 있다. 리드커맨드(Read)는 플래시메모리FMRY2에서 데이타리드를 위한 커맨드이다. 상기 커맨드의 제2사이클에 있어서의 RA는 리드어드레스를 의미한다. 리드ID커맨드(Read ID)는 제품식별코드어드레스(IA)에서 제품식별코드(ID)를 리드하기 위한 커맨드이다. 소거커맨드(Erase)는 플래시메모리의 데이타를 소거하는 커맨드이다. 소거시에는 과소거(소거를 너무 실행하면 메모리의 Vth가 부로 되어 정상적인 리드를 할 수 없게 되는 현상)를 피하기 위해 소거전에 라이트레벨을 균일하게 하기 위한 프리라이트를 실시하거나 검증을 실행하면서 조금씩 소거를 실행하는 소거순서가 채용되어 있다. 소거검증커맨드(E Verify)는 소거상태를 확인하기 위한 커맨드이다. EA는 소거검증을 위한 플래시메모리어드레스이다. EVD는 소거검증 출력데이타이다. 자동소거모드(A Erase)는 자동적으로 소거 및 소거검증을 실행하기 위한 커맨드이고, 자동소거 개시후 상태폴링에 의해 자동소거동작종료의 확인이 가능하게 된다. 상태폴링플래그SPF는 제13도에 있어서의 데이타레치DL의 상위측비트에 할당되어 있다. 라이트커맨드(Program)은 라이트를 지시하기 위한 커맨드이고, PA는 라이트어드레스, PD는 라이트데이타이다. 프로그램검증커맨드(P Verify)는 직전에 라이트한 데이타가 바르게 라이트되어 있는가를 확인하기 위한 커맨드이고, PVD는 프로그램검증 출력데이타이다. 리세트커맨드(Reset)는 커맨드를 실수한 경우에 그 커맨드를 리세트하기 위한 커맨드이다.

상기 커맨드규격은 특히 제한되지 않지만 평성3년9월 발행의 「히다찌IC메모리데이타북1」의 pp.872의 표에 기재한 HN28F101시리즈의 플래시메모리단체LSI(1M비트플래시메모리)의 커맨드규격과 호환성을 갖고 있다.

[8 온보드에서의 정보의 라이트동작]

온보드상태에서의 정보의 라이트 등의 지시와 그 순서는 전부 CPU(10)과 그 동작 프로그램에 의해서 제어되고, 컨트롤레지스터CREG의 각 비트를 소프트웨어에 의해 세트/클리어하는 것에 의해서 정보의 라이트등의 처리를 제어한다. 이때의 리라이트용 프로그램이 예를들면 플래시메모리FMRY2상에 놓여져 있을때는 정보의 라이트동작시 또는 시스템리세트시에 미리 상기 리라이트용 프로그램은 RAM으로 전송되고, RAM상의 프로그램을 CPU(10)이 실행해서 정보의 리라이트등을 실행한다. 이때의 리라이트처리순서의 1예를 다음의 이 항목에서 설명한다.

플래시메모리로의 정보의 라이트는 기본적으로 소거상태의 메모리셀에 대해서 실행된다. 마이크로컴퓨터가 시스템에 내장된 상태에서 마이크로컴퓨터에 내장된 플래시메모리의 리라이트를 실행할때 CPU(10)이 실행해야할 리라이트제어프로그램은 소거용 프로그램과 라이트용 프로그램을 포함하고, 그 정보의 라이트의 지시에 따라서 최초에 소거의 처리루틴을 실행하고, 계속해서 자동적으로 라이트의 처리루틴을 실행하도록 리라이트제어 프로그램을 구성할 수 있다. 또는 소거와 라이트를 나누어서 각각 동작을 지시하도록 해도 좋다.

제15도a, 제15도b에는 라이트 제어순서의 상세한 1예가 도시된다. 동일 도면에 도시되는 순서의 제어주체는 CPU(10)이다.

바이트단위로써의 데이타의 라이트의 최초의 스텝에서 CPU(10)은 그 내장 카운터n에 1을 세트한다(스텝S1). 다음에 CPU(10)은 플래시메모리FMRY2로 라이트해야할 데이타를 제13도의 데이타입력래치DIL로 세트함과 동시에 라이트어드레스를 어드레스래치AIL로 세트한다(스텝S2). 그리고, CPU(10)은 컨트롤러레지스터CREG에 대한 라이트사이클을 발행해서 프로그램비트P를 세트한다(스텝S3). 이것에 의해 제어회로FCONT

는 상기 스텝S2에서 세트된 데이타 및 어드레스에 따라서 그 어드래스로 지정되는 메모리셀의 컨트롤게이트와 드레인에 고압을 인가해서 라이트를 실행한다. 이 플래시메모리측에서의 라이트처리 시간으로써 CPU(10)은 (x)μsec동안 대기하고(스텝S4), 계속해서 프로그램비트P를 클리어한다(스텝S5). 여기에서 (x)μsec의 시간은 메모리셀의 특성에 맞춰서 결정되며, 예를들면 10μsec와 같은 시간으로 된다.

그후, CPU(10)은 라이트상태를 확인하기 위해 컨트롤레지스터CREG에 대한 라이트사이클을 발행해서 프로그램검증비트PV를 세트한다(스텝S6). 이것에 의해 제어회로FCONT는 상기 스텝S2에서 세트된 어드레스를 이용해서 그 어드레스에 의해 선택될 워드선에 검증용 전압을 인가해서 상기 라이트를 실행한 메모리셀의 데이타를 리드한다. 리드를 위해 (y)μsec동안 대기하고(스텝S7), 여기에서 상기 검증용 전압은 충분한 라이트레벨을 보증하므로 예를들면 5V와 같은 전원전압Vcc보다도 레벨이 높은 7V와 같은 전압레벨로 된다. (y)μsec는 그와 같은 검증용 전원의 상승특성에 의해서 결정되고, 예를들면 2μsec이하로 된다. CPU(10)은 그것에 의해서 리드된 데이타와 라이트에 이용한 데이타의 일치를 확인한다. 프로그램검증비트PV를 클리어하고(스텝S9), 이것에 의해 상기 1바이트데이타의 라이트가 완료된다.

한편, CPU(10)은 스텝S8의 검증에 의해서 불일치를 확인하면 스텝S10에서 프로그램검증비트PV를 클리어한 후 상기 카운터n의 값이 라이트리트라이 상한회수N에 도달하고 있는지의 판정을 실행한다(스텝S11). 이 결과, 라이트리트라이 상한회수N에 도달하고 있는 경우에는 라이트불량으로써 처리가 종료된다. 라이트리트라이 상한회수N에 도달하고 있지 않은 경우에 CPU(10)은 카운티n의 값을 1인크리먼트해서(스텝S12) 상기 스텝S3부터 처리를 반복한다.

제16도a, 제16도b에는 소거제어순서의 상세한 1예가 도시된다. 동일 도면에 도시되는 순서의 제어주체는 CPU(10)이다.

CPU(10)은 소거를 실행함에 있어서 그 내장 카운터n에 1을 세트한다(스텝S21). 다음에 CPU(10)은 소거대상영역의 메모리셀에 대해서 프리라이트를 실행한다(스텝S22). 즉, 소거대상 어드레스의 메모리셀에 대해서 데이타"0"을 라이트한다. 이 프리라이트의 제어순서는 상기 제15도a, 제15도b에서 설명한 라이트제어순서를 유용할 수 있다. 이 프리라이트의 처리는 소거전의 플로팅게이트내의 전하량을 전비트 균일하게 하는것에 의해, 소거대상의 각 메모리셀의 소거상태를 균일하게 하기 위해 실행된다.

다음에 CPU(10)은 소거블럭 지정레지스터MBREG에 대한 라이트사이클을 발행해서 일괄소거 대상 메모리블럭을 지정한다(스텝S23). 즉, 소거블럭 지정레지스터MBREG1 및 MBREG2로 소거대상 메모리블럭번호를 지정한다. 소거대상 메모리블럭을 지정한후 CPU(10)은 컨크롤레지스터CREG에 대한 라이트사이클을 발행해서 소거비트E를 세트한다(스텝S24). 이것에 의해 제어회로FCONT는 상기 스텝S23에서 지정된 메모리블럭의 소오스선에 고전압을 인가하여 상기 메모리블럭을 일괄소거한다. 이 플래시메모리측에서의 일괄소거의 처리시간으로써 CPU(10)은 예를들면 (x)msec동안 대기한다(스텝S25). 여기에서 (x)msec는 메모리셀 트랜지스터의 특성에 맞춰서 결정되고, 예를들면 10msec로 된다. 이 (x)msec라는 시간은 1회의 소거동작으로 소거를 완결할 수 있는 시간에 비해서 짧은 시간으로 한다. 그리고, 계속해서 소거비트E를 클리어한다(스텝S26).

그후, CPU(10)은 소거상태를 확인하기 위해 우선 일괄소거대상 메모리블럭의 선두어드레스를 검증해야할 어드레스로써 내부에 세트하고(스텝S27), 계속해서 검증어드레스에 더미라이트를 실행한다(스텝S28). 즉, 검증해야할 어드레스에 대해서 메모리라이트사이클을 발행한다. 이것에 의해 검증해야할 메모리어드레스가 어드레스래치AIL에 유지된다. 그후, CPU(10)은 컨틀롤레지스터CREG에 대한 라이트사이클을 발행해서 소거검증비트EV를 세트한다(스텝S29). 이것에 의해 제어회로FCONT는 상기 스텝S28에서 세트된 어드레스를 이용해서 그 어드레스에 의해 선택되어야할 워드선에 소거검증용 전압을 인가해서 상기 소거대상의 메모리셀의 데이타를 리드한다. 리드하기 위해 (y)μsec동안 대기한다(스텝S30). 여기에서, 상기 소거검증용 전압은 충분한 소거레벨을 보증하므로 예를들면 5V와 같은 전원전압Vcc보다도 레벨이 낮은 3.5V와 같은 전압레벨로 된다. 상기 (y)μsec는 그와 같은 검증용 전원의 상승특성에 의해서 결정되며, 예를들면 2μsec이하의 시간으로 된다. CPU(10)은 그것에 의해서 리드된 데이타가 소거완결상태(모든 비트가 "1"의 상태)의 데이타와 일치하는지를 검증한다(스텝S31). CPU(10)은 검증에 의해서 일치를 확인하면 소거검증비트EV를 클리어하고(스텝32), 계속해서 이번회의 검증어드레스가 소거한 메모리블럭의 최종어드레스인지 아닌지를 판정하고(스텝S33), 최종어드레스이면 일련의 소거동작을 종료한다. 최종어드레스에 이르고 있지 않다고 판정되었을때에는 검증어드레스를 1인크리먼트하고(스텝S34) 재차 스텝S28부터 처리를 반복한다.

한편, CPU(10)은 스텝S31의 검증에 의해서 불일치를 확인하면 스텝S35에서 소거검증비트EV를 클리어한후 상기 카운터n의 값이 점차 소거상한회수N에 도달하고 있는지의 판정을 실행한다(스텝S36). 이 결과 점차 소거상한회수N에 도달하고 있는 경우에는 소거불량으로써 처리가 종료된다. 점차 소거상한회수N에 도달하고 있지 않은 경우에는 CPU(10)은 카운터n의 값을 1인크리먼트하고(스텝S37) 상기 스텝S24부터 처리를 반복한다. 실제로는 과소거의 의해서 메모리셀의 임계값전압이 부의 값으로 되는 과소거를 방지하기 위해 1회마다 검증을 실행하면서 10msec라는 단시간씩 서서히 소거가 반복하여 실행된다.

[9 커맨드방식에 의한 정보의 라이트동작(커맨드대응)]

모드신호MD0～MD2를 거쳐서 마이크로컴퓨터MCU3에 PROM라이터에 의한 정보의 라이트모드가 설정되면 플래시메모리FMRY2는 PROM라이터(30)에 의해서 커맨드방식이라 불리우는 방식으로 정보에 라이트 등이 실행된다. 여기에서, 커맨드방식이라는 것은 플래시메모리에 대한 정보의 라이트등의 지시가 PROM라이터(30)과 같은 외부장치에서 커맨드에 의해서 부여되는 것을 말한다. 커맨드에 따른 처리는 CPU(10)이 제어한다. 그를 위한 제어프로그램은 플래시메모리FMRY2가 갖고, PROM라이터(30)에 의한 정보의 라이트모드의 설정에 호응해서 그 프로그램이 RAM으로 전송되고, RAM으로 전송된 제어프로그램을 CPU(10)이 실행한다. 이 제어프로그램은 상기 온보드상태에서 내장플래시메모리의 정보의 라이트를 제어하기 위한 프로그램과 부분적으로 공통화해도 또 전혀 달라도 좋다. 커맨드규격은 상술한 표3에 따라서 설명한 바와 같으며, 다음에 커맨드마다 그 동작을 설명한다.

[1 라이트커맨드(PROGRAM)]

PROM라이터(30)은 CPU(10)과는 비동기로 표3의 커맨드규격에 따라서 커맨드, 데이타 및 어드레스를 제13도를 도시한 커맨드래치CL, 데이타래치DL, 어드레스래치AL로 라이트한다. CPU(10)은 처음에 커맨드플래그CF=1(이미 커맨드가 입력되어 있다) 또한 데이타플래그DF=1(커맨드가 입력되고, 또 데이타도 입력되어 있다)인 경우에 커맨드를 리드하여 커맨드를 인식한후에 데이타플래그DF=1인 경우에 데이타나 어드레스를 리드하는 동작을 실행한다. PROM라이터(30)에서 공급되는 커맨드는 커맨드플래그CF=0, 또한 데이타플래그DF=0에 따라서 커맨드래치CL로 래치된다. 메모리셀로 라이트되어야할 데이타는 커맨드플래그CF=1 또한 데이타플래그DF=0에 따라서 데이타래치DL로 래치된다. CPU(10)은 리드한 커맨드가 「라이트커맨드」이라 인식되면 그 제어프로그램에 따라서 어드레스래치AL, 데이타래치DL에서 어드레스, 데이타를 리드해서 플래시메모리FMRY2내부의 어드레스입력래치AIL, 데이타입력래치DIL로 어드레스, 데이타를 전송한다. 그리고, CPU(10)은 컨트롤레지스터CREG의 라이트비트(P비트)를 세트하는 것에 의해 실제로 플래시메모리FMRY2의 메모리셀에 라이트를 실행한다. 메모리셀에 대한 실제의 라이트처리순서는 제15도a, 제15도b에서 설명한 내용과 실질적으로 같다. 라이트가 실행된후 P비트를 클리어하여 CF, DF를 0으로 되돌린다. 라이트동작시의 플래그CF, DF의 상태와 CPU(10)의 동작을 정리한 것이 제17도에 도시된다.

[2 라이트검증커맨드(P VERIFY)]

라이트에는 그 동작의 종료에 따라서 라이트검증모드가 반드시 실행된다. 라이트검증은 직전에 라이트한 데이타가 라이트되어 있는가를 확인하는 동작이다. 본 커맨드의 경우도 커맨드의 해석까지의 동작은 상기 라이트커맨드와 마찬가지로 실행된다. CPU(10)은 커맨드가 라이트검증코맨드인 것을 확인하면 다음의 순서로 제어를 실행한다. 우선, 컨트롤레지스터CREG의 PV비트(프로그램검증비트)를 "1"로 세트한다. 이때 플래시메모리FMRY2내의 어드레스래치AIL에는 직전의 라이트를 실행했을때의 어드레스가 래치되어 있으므로 이 어드레스로 선택되는 워드선에 검증용의 전압(예를들면 7V)이 인가된다. 다음에 CPU(10)은 플래시메모리FMRY2의 리드를 실행한다. 이 경우도 어드레스로써는 래치되어 있는 어드레스가 사용되므로 결국 먼저 라이트를 실행한 메모리셀에 대해서 게이트전압으로써 검증용의 전압을 인가한 상태에서 리드가 실행되게 된다. CPU(10)은 이 리드한 데이타를 포트PORT의 데이타래치DL로 라이트하고, PV비트를 클리어하는 것에 의해서 동작을 종료한다. PROM라이터(30)은 데이타래치DL의 값을 리드하는 것에 의해서 검증을 실행한다. 라이트검증시의 플래그의 상태와 CPU(10)의 동작에 대해서는 제18도에 정리해서 도시하고 있다.

[3 소거커멘드(ERASE)]

본 실시예의 마이크로컴퓨터MCU3에 따르면 내장 플래시메모리FMRY2의 소거는 상기 플래시메모리 단체LSI로써의 1M플래시메모리(HN28F101)과 컴패터블화하시 위해 블럭소거는 서포트하지 않고 메모리셀어레이(제3도의 ARY0, ARY1, ...중 1개) 일괄소거만으로 된다(단, 그와 같이 제한되는 것은 아니다). 표3의 커맨드규격에서 명확한 바와 같이 소거커맨드가 2회 라이트되면 소거가 개시되게 되어 있다. 소거의 경우도 커맨드해석까지의 동작은 라이트의 경우와 같다. 소거는 소거블럭 지정레지스터MBREG1 및 MBREG2의 전비트를 선택상태로 세트한후 컨트롤레지스터CREG의 E비트(소거비트)를 "1"로 세트하는 것에 의해 개시한다. E비트를 세트하는 것에 의해 메모리셀어레이의 소오스선에 고전압이 인가되어 소거가 실행된다. 일정시간 E비트를 "1"로 한후 클리어해서 소거를 종료한다. 메모리셀에 대한 소거의 제어순서는 제16도a, 제16도b에서 설명한 제어내용과 실질적으로 같다.

[4 소거검증커맨드(E VERIFY)]

소거후 실행되는 검증은 라이트검증과 유사한 동작으로 된다. 커맨드해석후 CPU(10)은 포트의 어드레스래치AL에서 소거검증을 실행하는 어드레스를 리드하고, 플래시메모리FMRY2로 라이트한다. 다음에 CPU(10)이 컨트롤레지스터CREG의 EV비트를 세트하는 것에 의해 먼저 어드레스래치AL로 래치된 어드레스로 선택된 워드선에 검증용의 전압(예를들면 3.5V)이 인가된다. 이 상태에서 CPU(10)은 플래시메모리FMRY2를 리드하고, 리드한 데이타를 포트의 데이타래치DL로 라이트한다. 그후, EV비트를 클리어하여 동작을 종료한다.

[5 자동소서커맨드(A ERASE)]

자동소거커맨드를 인식한후 제16도a, 제16도b에 도시한 소거흐름을 CPU(10)자체가 전부 실행하는 것이다. 자동소거에서는 플래시메모리FMRY2는 소거개시와 동시에 상태폴링신호를 출력, 소거종료에 의해 신호를 반전시키는 규격으로 되어 있다. 상태폴링의 출력은 ED7(제8도)이므로 데이타래치DL(제13도)의 제7비트(최상위비트)를 상태폴링신호를 저장하는 비트로 한다. CPU(10)은 소거개시와 동시에 데이타래치DL의 제7비트를 클리어하여 소거종료에 의해 세트한다.

[6 리드커맨드(READ)]

리드의 커맨드(리드 커맨드)가 발행되면 플래시메모리FMRY2는 PROM라이터(30)에서 자유롭게 리드할 수 있는 상태로 될 필요가 있다. CPU(10)에서 커맨드의 해석을 실행하면 커맨드가 입력되고나서 리드가능한 상태로 될때까지의 시간이 길게 되어 상기 1M플래시메모리의 규격에 맞출 수 없다. 그래서 리드모드일때는 제13도에 도시하는 바와 같이 버스스위치BSW1, BSW2(제13도)로 CPU(10)을 분리하고, 외부에서 내장플래시메모리FMRY2를 직접 액세스할 수 있게 된다. CPU(10)은 버스권개방을 요구하는 BREQ(버스요구)신호를 외부에서 입력할 수 있게 되어 있지만 CPU(10)이 버스를 개방할때까지 시간이 걸리므로 버스스위치BSW1, BSW2로 물리적으로 버스를 분리하게 되어 있다. CPU(10)을 개재하면 전체적으로 시간이 걸리므로 리드커맨드인 것이 디코더DCE(제13도)에서 인식되면 즉시 CPU(10)을 분리한다. 이때 CPU(10)으로는 커맨드가 입력된 것을 인식시키지 않도록 하기 위해 리드커맨드의 경우는 커맨드플래그CF=0인채로 하고, 그밖의 커맨드인 경우만 커맨드플래그CF=0에서 커맨드플래그CF=1로 플래그가 변화된다.

[7 리세트커맨드(RESET)]

커맨드의 세트업을 실수한 경우를 위해 리세트커맨드가 준비되어 있다. 표3의 커맨드규격에서도 명확한 바와 같이 이 리세트커맨드를 2회 라이트하는 것에 의해 리세트가 완료하는 규격으로 되어 있다. 본 실시예의 마이크로컴퓨터MCU3에서는 1회째에 어떤 커맨드가 입력된후 또는 커맨드를 입력하면 그 커맨드는 데

이타래치DL에 입력되므로 최초에 라이트된 리세트커맨드는 데이타FFH로 인식될 가능성이 있다. 그러나, 플래시메모리는 부유게이트에서 전자가 방출된 소거상태를 "1"로 간주하므로 라이트커맨드가 먼저 입력되어 있던 것으로 해도 FFH는 전혀 라이트되지 않은 것과 같게 되어 전혀 문제가 없다. 그리고, 2회째에 라이트된 리세트커맨드가 커맨드디코더DEC에서 디코드되면 그대로 리드모드와 마찬가지로 리드상태로 되어 동작을 종료한다. 이러한 리세트시의 플래그의 상태와 CPU(10)의 동작에 대해서는 제19도a, 제19도b에 정리해서 도시하고 있다.

[10 커맨드방식에 의한 정보의 라이트시의 PROM라이터(30)의 동작]

제20도a, 제20도b에는 정보의 라이트시에 PROM라이터(30)의 동작의 흐름도가 도시된다. 우선, 단자 Vpp(제8도)에 12V와 같은 라이트에 필요한 고전압을 출력하고(스텝S40), 내장어드레스카운터를 0으로 초기화함(스텝S41)과 동시에 카운터n을 0으로 설정한다(스텝S42). 계속해서 카운터n을 1인크리먼트하고(스텝S43), 그후에 프로그램커맨드의 라이트사이클을 기동해서 라이트커맨드(40H)를 커맨드래치CL로 라이트한다(스텝S44). 그 다음에 라이트데이타(PD) 및 라이트어드레스(PA)를 데이타래치DL 및 어드레스래치AL로 라이트한다(스텝S45). 그후, 예를들면 25μsec동안 대기한다(스텝S46). 이 사이에 마이크로컴퓨터의 CPU(10)은 커맨드를 해석해서 플래시메모리FMRY2로 데이타를 라이트한다. 그리고, 이번에는 라이트검증커맨드의 라이트사이클을 기동하고(스텝S47), 예를들면 6μsec동안 대기한다(스텝S48). 이 사이에 마이크로컴퓨터MCU3의 CPU(10)은 그 커맨드를 해석해서 라이트어드레스에서의 데이타를 데이타래치DL로 리드한다. PROM라이터(30)은 그 리드데이타를 페치해서 정상으로 라이트할 수 있었는지를 판정한다(스텝S49). 정상으로 판정했을때는 최종라이트어드레스인지의 판정을 실행하고(스텝S50), 최후가 아니면 라이트어드레스를 인크리먼트하고(스텝S51), 그후 스텝S42로 되돌아가 최종 어드레스까지 라이트를 실행한후는 단자Vpp에 5V와 같은 전압Vcc를 인가해서(스텝S52) 라이트를 종료한다. 스텝S49에 있어서 라이트이상이 판정되었을때는 카운터n의 값이 최대한, 예를들면 20에 도달할때까지 재차 스텝S43으로 되돌아가 라이트를 반복하고, 20회반복해도 여전히 라이트이상이 해소되지 않는 경우에는 그 어드레스가 불량비트인 것으로써 처리를 종료한다.

제21도a, 제 21도b에는 소거시의 PROM라이터(30)의 동작의 흐름도가 도시된다. 우선 플래시메모리의 소거대상의 전비트에 논리값0의 데이타를 라이트한다. 라이트의 처리는 제21도a, 제21도b에 따른다. 다음에 소거영역의 선두어드레스를 어드레스카운터로 세트하고(스텝S61), 카운터n을 0으로 설정한다(스텝S62). 계속해서 카운터n을 1인크리먼트하고(스텝S63), 그후에 소거커맨드의 라이트사이클을 기동해서 소거커맨드(20H)를 커맨드래치CL로 라이트한다(스텝S64). 그후 예를들면 10msec동안 대기한다(스텝S65). 이 사이에 마이크로컴퓨터MCU3의 CPU(10)은 커맨드를 해석해서 플래시메모리FMRY2의 소거를 실행한다. 그리고, 이번에는 소거검증커맨드의 라이트사이클을 기동하고(스텝S66), 예를들면 6μsec동안 대기한다(스텝S67). 이 사이에 마이크로컴퓨터MCU3의 CPU(10)은 그 커맨드를 해석해서 소거검증어드레스(EA)에서의 데이타를 리드해서 데이타래치DL로 전송한다. PROM라이터(30)은 그 리드데이타를 페치해서 정상으로 소거할 수 있었는지를 판정한다(스텝S68). 정상이라 판정했을때는 최종 소거어드레스인지의 판정을 실행하고(스텝S69), 최후가 아니면 소거검증어드레스를 인크리먼트하고(스텝S70), 그후에 스텝S66으로 되돌아가 최종어드레스까지 소거검증을 실행해서 처리를 종료한다.

스텝S68에 있어서 소거이상이 판정되었을때는 카운터n의 값이 최대한, 예를들면 3000에 도달할때까지 재차 스텝S63으로 되돌아가 소거를 반복하고, 3000회 반복해도 여전히 소거이상이 해소되지 않는 경우에는 그 어드레스가 불량비트인 것으로써 처리를 종료한다.

[11 커맨드방식에 의한 정보의 라이트시의 CPU의 동작]

제22도에는 CPU(10)에 의한 상기 각종 커맨드에 대한 처리의 메인 흐름도가 도시된다. CPU(10)은 상기 커맨드플래그CF 및 데이타플래그DF를 폴링하고 있고, 그것의 세트상태를 검출하면 커맨드래치CL(제14도)의 상위 4비트를 리드해서 커맨드를 해석한다. 그것이 A0H일때는 소거검증(Erase Verify), C0H일때는 라이트검증(Program Verify), 40H일때는 라이트(Program), 20H일때는 소거(Erase), 30H일때는 자동소거(Auto Erase)의 각 처리로 처리루틴을 분기한다. 또, 표3에서 설명한 그밖의 커맨드에 대해서는 설명을 생략한다.

소거(Erase)의 처리루틴에서는 제23도a에 도시되는 바와 같이 플래시메모리의 소거에 필요한 시퀀스를 제어한후 커맨드플래그CF를 클리어해서 처리를 종료한다.

제23도b에 도시되는 소거검증(Erase Verify)의 처리루틴에서는 어드레스래치AL에서 소거점증어드레스를 페치해서 컨트롤레지스터CREG에 소거검증모드를 설정해서 그 어드래스로 부터의 데이타를 리드하여 데이타래치DL로 전송한다.

자동소거(Auto Erase)의 처리루틴에서는 제24도에 도시되는 바와 같이 내장 플래시메모리FMRY2의 소거대상의 전체 어드레스에 대한 프리라이트실시의 제어를 실행한후 소거의 제어를 실행하고, 계속해서 소거검증을 실행시킨다. 소거 및 소거검증의 제어는 소거대상의 전체 어드레스의 소거완료까지 실행되고, 또 소거상태의 판정에 의해 소거 이상이 거듭되어 소거시간의 상한을 넘은 경우에는 불량비트가 있는 것으로써 처리가 종료된다.

라이트(Program)의 처리루틴에서는 제25도a에 도시되는 바와 같이 데이타플래그DF의 세트상태를 판정하면 어드레스래치AL에서 라이트어드레스를 페치하며, 또한 데이타래치DL에서 라이트데이타를 페치해서 플래시메모리FMRY2로 라이트를 실행하고, 그후 데이타플래그DF를 클리어해서 처리를 종료한다.

라이트검증(Program Verify)의 처리루틴에서는 제25도b에 도시되는 바와 같이 컨트롤레지스터CREG에 검증모드를 설정하고, 직전의 라이트어드레스에서 데이타를 리드하고, 이것을 데이타래치DL로 전송하며, 또 커맨드플래그CF를 클리어해서 처리를 종료한다.

[12 PROM라이터에서 본 대이타처리장치에 내장된 플래시메모리와 단체 플래시메모리LSI의 호환성]

PROM라이터(30)을 이용해서 커맨드방식으로 내장플래시메모리를 FMRY2로 정보의 라이트를 실행했을때의 규격과 상기 간체플래시메모리LSI(HN28F101)을 PROM라이터(30)을 사용해서 정보를 라이트할때의 규격의

호환성에 대해서 본 발명자들은 확인하였다. 이것에 의하면 PROM라이터(30)에 의한 정보의 라이트를 상기 1M플래시메모리 단체LSI(HN28F1013)과 같은 규격으로 하기 위해서는 각종 타이밍을 그 1M플래시메모리와 맞추는 것이 필요하다. 그래서 실제로 제어프로그램을 작성하고, 타이밍을 맞출수 있는지를 검토하였다. 이 검토결과는 표4에 표시되어 있다. 이 결과에서 예를들면 동작주파수16MHz시에 있어서는 컴패터블인 것을 확인할 수 있었다.

[표 4]

커맨드가 라이트되고나서 실제로 커맨드에 응답한 동작을 개시할때까지의 응답시간

항목	소거검증	라이트검증	소거	라이트
소프트웨어제어에 의한 응답시간 (동작주파수 16MHz)	4.7μs	4.8μs	5.9 μs	5.7 μs
1M플래시메모리 컴패터블규격실현을 위해 필요한 응답시간	5μs 이하	5μs 이하	1ms 이하	10μs이하
판정	O	O	O	O

상기 실시예에 의하면 다음의 작용효과가 있다.

(1) PROM라이터(30)에서 비동기로 부여되는 커맨드에 따른 리라이트 시퀀스를 마이크로컴퓨터의 내장회로에서 실현하므로 PROM라이터(30)에는 데이타정보와 어드레스정보를 부여하기 전에 데이타정보를 부여하는 것과 마찬가지로 해서 커맨드를 커맨드래치로 라이트할 수 있으면 좋다. 따라서, 범용적으로 이용되는 PROM라이터(30)에 소켓어댑터를 거쳐서 결합하는 것에 의해서 마이크로컴퓨터에 내장된 플래시메모리에 대한 정보의 라이트를 실행할 수 있다.

(2) 커맨드에 의해서 지시되는 리라이트를 위한 시퀀스를 내장 CPU(10)으로 제어시키는 것에 의해 그 제어를 위한 전용회로를 불필요로 하거나 또는 삭감할 수 있어 마이크로컴퓨터의 칩면적의 저감을 실현한다. 또, 리라이트를 위한 제어시퀀스는 CPU(10)이 실행해야할 소프트웨어로 변경가능하기 대문에 플래시메모리를 구성하는 기억소자의 특성에 맞춰서 라이트시간 등의 조건설정을 간단히 실행할 수 있다.

(3) 범용적으로 이용되는 PROM라이터(30)은 적어도 불휘발성 기억소자에 대한 리라이트용 고전압을 인가하고, 리라이트를 위한 어드레스나 데이타를 라이트신호등에 따라서 플래시메모리를 포함하는 대상인 반도체장치(LSI)에 공급하도록 되어 있다. 이와 같은 PROM라이터(30)은 커맨드, 데이타 및 어드레스를 마이크로컴퓨터에 내장된 CPU(10)과는 비동기로 공급한다. 이때, 상기 커맨드래치CL로 커맨드가 라이트된 것을 나타내는 커맨드플래그CF와 이 커맨드플래그CF가 커맨드래치상태를 나타낼때 상기 커맨드래치CL에 부가해서 외부에서 라이트가능하게 되는 데이타래치DL을 구비하는 것에 의해 PROM라이터(30)에서 서로 다른 사이클에서 라이트되는 커맨드와 데이타정보의 래치수단상에서의 충돌을 방지할 수 있다.

(4) CPU(10)은 커맨드플래그CF의 커맨드래치상태에 따라서 커맨드래치CL의 커맨드를 리드하지만 이때 커맨드래치CL의 래치내용을 디코드해서 커맨드플래그CF를 커맨드래치상태로 세트하는 커맨드디코더DEC를 마련하는 것에 의해 커맨드플래그에 대한 세트처리의 신속화를 도모할 수 있다. 만약 커맨드플래그에 대한 제어도 CPU(10)에 위임하지 않으면 CPU(10)은 버스사이클을 기동해서 항상 커맨드래치CL의 내용을 모니터해야만 하기 때문에 동작상 낭비가 생겨 플래그처리도 늦어진다.

(5) 커맨드디코더DEC에 의한 리드커맨드의 디코드결과에 따라서 CPU(10)을 플래시메모리에서 분리하는 버스스위치BSW1, BSW2를 마련하는 것에 의해 커맨드래치로 래치한 모든 커맨드를 CPU(10)이 해석하고 있던 것에서는 커맨드로 지시되는 동작의 타이밍에 맞지 않는 리드커맨드에 대해서 용이하게 대처할 수 있다. 이것은 마이크로컴퓨터에 내장된 플래시메모리에 대해서 PROM라이터(30)에 있어서의 단체플래시메모리LSI에 대한 라이트처리의 호환성을 실현할 수 있게 한다.

(6) 상기 CPU(10)이 실행해야할 플래시메모리의 리라이트를 위한 순서제어용 프로그램을 플래시메모리에 저장해두고 PROM라이터(30)에 의한 리라이트동작모드의 설정에 호응해서 그 프로그램을 RAM으로 전송하고, 그 RAM으로 전송된 상기 프로그램을 CPU(10)에 실행시키도록 하는 것에 의해 리라이트용 프로그램의 수정을 간단하게 실행할 수 있다.

(7) 용도에 따라서 플래시메모리에 저장해야할 정보량이 그 정보의 종류, 예를들면 프로그램, 데이타테이블, 제어 데이타 등에 따라서 다른 것을 고려한 경우 상기 플래시메모리에 있어서의 일괄소거할 수 있는 단위로써 서로 기억용량이 다른 여러개의 메모리블럭을 마련해두는 것에 의해 시스템에 내장한후 내장 플래시메모리의 유지정보의 부분적 또는 일부의 리라이트에 따라서 메모리블럭을 일괄소거한후의 라이트동작의 낭비를 없애서 리라이트효율을 향상시킬 수 있다.

이상 본 발명자들에 의해서 이루어진 발명을 실시예에 따라서 구체적으로 설명했지만 본 발명은 그것에 한정되는 것은 아니고, 그 요지를 이탈하지 않는 범위에서 여러가지로 변경가능한 것은 물론이다.

예를들면 마이크로컴퓨터에 내장되는 주변회로는 상기 실시예에 한정되지 않고 적절히 변경할 수 있다. 플래시메모리의 메모리셀 트랜지스터는 상기 실시예의 적층 게이트구조의 MOS트랜지스터에 한정되지 않고 라이트동작에도 터널현상을 이용한 FLOTOX형의 메모리셀 트랜지스터를 사용하는 것도 가능하다.

또, 일괄소거의 단위는 소오스선을 공통으로 하는 메모리블럭외에 소거에 있어서 워드선을 공통화할 수

있는 메모리블럭으로 할 수도 있지만, 그 어느것을 선택할지는 소거전압의 극성을 어떻게 하는가 또는 일괄소거단위의 기억용량을 극력 작게하고자 하는 경우에 단일의 워드선에 접속하는 메모리셀의 수와 단일의 데이타선에 접속되는 메모리셀의 수중 어느것이 적은지 등의 사정을 고려해서 결정할 수 있다.

메모리블럭의 사이즈에 대해서는 상기 실시예와 같은 사이즈에 한정되지 않는다. 예를들면 컨트롤레지스터의 설정 또는 모드신호의 지시에 따라서 그 사이즈를 가변으로 할 수 있다. 예를들면 워드선을 최소단위로 해서 일괄소거전압을 인가하는 경우에는 워드선을 소거전압으로 구동하는 드라이버의 동작을 그 컨트롤레지스터의 설정 또는 모드신호의 지시에 따라서 선택시키면 좋다.

또, 메모리블럭의 분할형태로써는 전체를 여러개의 큰블럭으로 분할하고, 또 그 각각의 큰블럭중을 여러개의 작은 블럭으로 나누어 큰블럭 단위 또는 작은 블럭단위로 일괄소거할 수 있게 하는 것도 가능하다.

또, CPU의 제어에 따라서 플래시메모리를 리라이트하는 방식에 있어서는 리라이트조건등을 셀프 튜닝하는 소프트웨어를 채용하는 것도 가능하다.

또, 플래시메모리의 메모리셀 트랜지스터에 있어서 그 소오스 및 드레인은 인가되는 전압에 의해서 결정되는 상대적인 것으로써 파악되는 경우도 있다.

본 발명은 마이크로컴퓨터이외에도 적어도 단일의 반도체칩상에 중앙처리장치와 전기적으로 리라이트가능한 불휘발성의 플래시메모리를 구비한 조건의 데이타처리장치에 널리 적용할 수 있다.

(57) 청구의 범위

청구항 1

중앙처리장치 및 전기적으로 리라이트가능한 불위발성의 플래시메모리를 1개의 반도체기판에 포함하고, 외부장치의 지시에 따라서 상기 플래시메모리를 리라이트가능하게 하는 외부 리라이트 동작모드에서 동작할 수 있는 데이타처리장치로서,

상기 외부 리라이트 동작모드에 있어서 상기 외부장치에 의해 라이트가능하게 되는 커맨드래치수단, 여기에 래치된 소정의 커맨드를 해석하는 커맨드해석수단 및 해석된 내용에 따라서 플래시메모리의 리라이트를 위한 순서제어를 실행하는 제어수단을 갖는 데이타처리장치.

청구항 2

제1항에 있어서,

상기 해석수단 및 제어수단은 상기 중앙처리장치인 데이타처리장치.

청구항 3

제2항에 있어서,

상기 커맨드래치수단에 상기 소정의 커맨드가 라이트된 것을 나타내는 플래그수단, 상기 플래그수단이 상기 커맨드래치상태를 나타낼 때 상기 외부장치에 의해 라이트가능하게 되는 데이타래치수단 및 상기 외부장치에 의해 라이트가능하게 되는 어드레스래치수단을 더 갖고,

상기 중앙처리장치는 상기 플래그수단의 커맨드래치상태에 따라서 커맨드래치수단의 커맨드를 리드하는 데이타처리장치.

청구항 4

제3항에 있어서,

상기 커맨드래치수단의 래치내용을 디코드하고, 상기 소정의 커맨드를 디코드하는 것에 의해서 상기 플래그수단을 커맨드래치상태로 세트하는 커맨드디코더를 더 갖는 데이타처리장치.

청구항 5

제4항에 있어서,

상기 커맨드래치수단, 데이타래치수단 및 어드레스래치수단이 상기 플래시메모리와 중앙처리장치에 접속되는 상태 및 상기 커맨드래치수단, 데이타래치수단 및 어드레스래치수단이 상기 플래시메모리에 접속되고 중앙처리장치에는 접속되지 않는 상태 중의 어느 하나를 선택할 수 있는 게이트수단을 내부버스에 마련하고, 그 게이트수단을 상기 소정의 커맨드 이외의 커맨드를 디코드하는 것에 의해 상기 커맨드디코더에서 생성되는 신호에 의해서 제어하는 데이타처리장치.

청구항 6

제1항에 있어서,

상기 플래시메모리는 상기 중앙처리장치가 실행할 플래시메모리의 리라이트를 위한 순서제어용 프로그램을 기억하고, 상기 동작모드의 개시에 호응해서 그 프로그램이 전송되는 RAM을 구비하고, 그 RAM으로 전송된 상기 프로그램을 중앙처리장치가 실행하는 데이타처리장치.

청구항 7

제1항에 있어서,

상기 플래시메모리는 일괄소거가능한 단위로서 서로 기억용량이 다른 여러개의 메모리블럭을 포함하는 데이타처리장치.

청구항 8

제7항에 있어서,

상기 플래시메모리는

컨트롤전극이 워드선에 결합되고 제1의 주전극이 데이타선에 결합되고 제2의 주전극이 소오스선에 결합되어 전기적으로 리라이트가능한 여러개의 불휘발성 기억소자 및

적어도 1개의 워드선단위 또는 적어도 1개의 데이타선 단위로 그것에 포함되는 불휘발성 기억소자에 공통의 소오스선을 접속해야 각각 이루어지는 여러개의 메모리블럭을 구비하고,

상기 메모리블럭을 일괄소거가능한 단위로 하는 것인 데이타처리장치.

청구항 9

단일의 반도체기판내에 함께 형성된 중앙처리장치 및 플래시메모리를 갖는 데이타처리장치로서,

상기 플래시메모리는 외부에서 데이타처리장치에 공급되는 커맨드에 리라이트 가능하고, 따라서 공급되는 상기 커맨드에 의해 플래시메모리에 대해서 이루어지도록 의도되는 처리를 결정하기 위해 상기 커맨드를 해석하는 수단 및 상기 해석수단에 결합되어 상기 의도되는 처리가 이루어지도록 상기 플래시메모리의 동작을 제어하는 수단을 포함하는 데이타처리장치.

청구항 10

제9항에 있어서,

외부에서 공급되는 상기 커맨드를 래치하는 수단, 상기 플래시메모리에 라이트될 데이타를 래치하는 수단 및 상기 데이타가 라이트될 플래시메모리내의 어드레스를 래치하는 수단을 더 갖고, 상기 데이타와 어드레스도 외부에서 중앙처리장치로 공급되는 것인 데이타처리장치.

청구항 11

제8항에 있어서,

상기 여러개의 불휘발성 기억소자의 각각은 1개의 트랜지스터인 데이타처리장치.

청구항 12

제1항에 있어서,

상기 플래시메모리는 여러개의 메모리셀을 포함하고,

상기 여러개의 메모리셀의 각각은 1개의 불휘발성 기억소자로 구성되는 데이타처리장치.

청구항 13

제10항에 있어서,

상기 플래시메모리는 여러개의 메모리셀을 포함하고,

상기 여러개의 메모리셀의 각각은 전기적으로 라이트 및 소거가능한 1개의 불휘발성 기억소자로 구성되는 데이타처리장치.

청구항 14

반도체기판상에 형성된 데이타처리장치로서,

1개의 트랜지스터로 이루어지는 여러개의 불휘발성 메모리셀을 포함하는 플래시메모리 및

중앙처리장치를 포함하고,

상기 중앙처리장치는 상기 데이타처리장치의 외부에서 상기 플래시메모리를 제어하기 위한 제1의 동작모드에 있어서 상기 데이타처리장치의 외부에서 공급된 커맨드를 해석하여 상기 플래시메모리에 대해 실행될 처리를 결정하고,

상기 중앙처리장치는 상기 데이타처리장치의 외부에서 공급된 어드레스신호에 대응하는 상기 플래시메모리의 불휘발성 메모리셀에 대해 상기 처리를 실행하는 데이타처리장치.

청구항 15

제14항에 있어서,

상기 중앙처리장치는 상기 데이타처리장치의 외부에서 공급된 어드레스 및 데이타에 따라서 상기 처리를 상기 플래시메모리에 대해 실행하는 데이타처리장치.

청구항 16

제15항에 있어서,

상기 제1의 동작모드에 있어서 상기 커맨드가 공급되는 여러개의 외부단자,

상기 제1의 동작모드에 있어서 상기 여러개의 외부단자 중의 제1의 여러개의 단자에 공급된 커맨드를 저장하는 커맨드래치회로,

상기 제1의 동작모드에 있어서 상기 여러개의 외부단자 중의 제1의 여러개의 단자에 연결되고 커맨드가 상기 커맨드래치회로에 저장된 후, 상기 데이타처리장치의 외부에서 공급된 데이타를 저장하는 데이타래치회로 및

상기 제1의 동작모드에 있어서 상기 여러개의 외부단자 중의 제2의 여러개의 단자에 연결되고 상기 데이타처리장치의 외부에서 공급된 어드레스를 저장하는 어드레스래치회로를 더 포함하고,

상기 중앙처리장치는 상기 커맨드래치회로에 저장된 커맨드를 리드하고 리드된 커맨드를 해석하며,

상기 중앙처리장치는 상기 어드레스래치회로에 저장된 어드레스 및 상기 데이타래치회로 내에 저장된 데이타에 따라서 상기 플래시메모리에 대해 상기 처리를 실행하는 데이타처리장치.

청구항 17

제16항에 있어서,

상기 커맨드래치회로에 연결되고 상기 커맨드래치회로에 커맨드가 저장되었는지 저장되지 않았는지를 나타내는 커맨드플래그와

상기 데이타래치회로에 연결되고 상기 데이타래치회로에 데이타가 저장되었는지 저장되지 않았는지를 나타내는 데이타플래그를 더 갖고,

커맨드가 상기 커맨드래치회로에 저장된 것을 상기 커맨드플래그가 나타낼 때 상기 데이타래치회로는 데이타를 저장하는 데이타처리장치.

청구항 18

제17항에 있어서,

상기 중앙처리장치는 커맨드가 상기 커맨드래치회로에 저장된 것을 상기 커맨드플래그가 나타내는 것에 응답해서 상기 커맨드를 해석하는 데이타처리장치.

청구항 19

제18항에 있어서,

상기 중앙처리장치, 상기 플래시메모리, 상기 데이타래치회로, 상기 커맨드래치회로 및 상기 어드레스래치회로에 연결된 내부버스,

게이트회로 및

상기 커맨드래치회로에 연결된 커맨드디코더회로를 더 포함하고,

상기 게이트회로는

상기 커맨드래치회로, 상기 어드레스래치회로 및 상기 데이타래치회로를 상기 중앙처리장치 및 상기 플래시메모리에 연결시키도록 하는 제1의 상태와

상기 커맨드래치회로, 상기 어드레스래치회로 및 상기 데이타래치회로를 상기 플래시메모리에 연결시키고 상기 중앙처리장치에는 연결시키지 않도록 하는 제2의 상태를 갖고,

상기 커맨드디코더는 상기 제1의 동작모드에 있어서 상기 커맨드디코더에 저장된 리드커맨드의 디코드에 응답해서 상기 게이트회로를 상기 제2의 상태로 하기 위한 제어신호를 상기 게이트회로로 공급하는 데이타처리장치.

청구항 20

제14항에 있어서,

상기 데이타처리장치는 상기 플래시메모리에 데이타를 라이트하기 위한 제2의 동작모드를 더 포함하고,

상기 중앙처리장치는 상기 제2의 동작모드에 있어서 상기 플래시메모리에 데이타를 라이트하기 위해 상기 플래시메모리의 어드레스신호를 발생하는 데이타처리장치.

청구항 21

제20항에 있어서,

상기 플래시메모리는 여러개의 메모리블럭을 포함하고,

상기 여러개의 메모리블럭의 각각은 그것에 라이트된 데이타의 일괄소거단위인 데이타처리장치.

청구항 22

제21항에 있어서,

상기 불휘발성 메모리셀의 각각은 상기 반도체기판에 형성된 소오스영역, 상기 반도체기판에 형성된 드레인영역, 상기 소오스영역과 상기 드레인영역 사이에 대응하는 상기 반도체기판의 주면상에 형성된 절연막, 상기 절연막상에 형성된 플로팅게이트, 상기 플로팅게이트상에 형성된 산화막 및 상기 산화막상에 형성된 컨트롤게이트를 포함하고,

상기 여러개의 메모리블럭의 각각은 대응하는 불휘발성 메모리셀의 상기 컨트롤게이트에 연결되는 워드선, 대응하는 불휘발성 메모리셀의 상기 드레인영역에 연결되는 데이타선 및 대응하는 불휘발성 메모

리셀의 상기 소오스영역에 연결되는 공통소오스선을 더 포함하고,

상기 여러개의 메모리블럭의 각각에 있어서 상기 공통소오스선에 연결된 여러개의 불휘발성 메모리셀은 일괄적으로 소거가능하게 되는 데이타처리장치.

청구항 23

제21항에 있어서,

상기 플래시메모리의 상기 여러개의 메모리블럭은 다른 기억용량을 갖는 데이타처리장치.

청구항 24

제23항에 있어서,

상기 데이타처리장치의 외부에서 공급되는 커맨드는 프로그램커맨드, 프로그램 검증 커맨드, 소거 커맨드 및 소거검증 커맨드를 포함하는 데이타처리장치.

청구항 25

상기 플래시메모리에 대해서 실행될 처리를 나타내기 위한 제어비트를 갖는 제어레지스터 및

상기 제2의 동작모드에 있어서 소거대상의 메모리블럭을 나타내기 위한 여러개의 비트를 갖는 소거블럭 지정 레지스터를 더 포함하고,

상기 중앙처리장치는 상기 제1 내지 제2의 동작모드에 있어서 상기 제어레지스터의 상기 제어비트에 데이타를 라이트하는 것에 의해서 상기 플래시메모리에 대한 소정의 처리를 제어하고,

상기 중앙처리장치는 상기 제2의 동작모드에 있어서 소거대상의 1개 내지 여러개의 메모리블럭을 지정하기 위해 상기 소거블럭 지정 레지스터의 대응하는 1개 내지 여러개의 비트에 데이타를 라이트하는 데이타처리장치.

청구항 26

제14항에 있어서,

상기 데이타처리장치의 외부에서 공급되는 커맨드는 프로그램 커맨드, 프로그램 검증 커맨드, 소거 커맨드 및 소거 검증 커맨드를 포함하는 데이타처리장치.

청구항 27

반도체기판상에 형성된 데이타처리장치로서,

데이타를 전기적으로 라이트 및 소거가능한 일괄소거형 불휘발성 메모리 및

중앙처리장치를 포함하고,

상기 중앙처리장치는 상기 일괄소거형 불휘발성 메모리의 데이타를 상기 데이타처리장치의 외부에서 제어하기 위한 제1의 동작모드에 있어서 상기 데이타처리장치의 외부에서 공급된 커맨드에 응답해서 소거제어 프로그램과 라이트 제어 프로그램중의 어느 한쪽 또는 양쪽을 실행하고, 상기 커맨드에 따른 처리를 상기 일괄소거형 불휘발성 메모리에 대해 실행하는 데이타처리장치.

청구항 28

제27항에 있어서,

상기 데이타처리장치는 상기 일괄소거형 불휘발성 메모리에 데이타를 라이트하기 위한 제2의 동작모드를 더 포함하고,

상기 중앙처리장치는 상기 제2의 동작모드에 있어서 상기 일괄소거형 불휘발성 메모리에 데이타를 라이트하기 위해 상기 일괄소거형 불휘발성 메모리의 어드레스신호를 발생하고,

상기 제1의 동작모드에 있어서 상기 일괄소거형 불휘발성 메모리의 어드레스신호는 상기 데이타처리장치의 외부에서 공급되는 데이타처리장치.

청구항 29

제28항에 있어서,

상기 제1의 동작모드에 있어서 상기 커맨드가 공급되는 여러개의 외부단자,

상기 제1의 동작모드에 있어서 상기 여러개의 외부단자 중의 제1의 여러개의 단자에 공급된 커맨드를 저장하는 커맨드래치회로,

상기 제1의 동작모드에 있어서 상기 여러개의 외부단자 중의 제1의 여러개의 단자에 연결되고 커맨드가 상기 커맨드래치회로에 저장된 후, 상기 데이타처리장치의 외부에서 공급된 데이타를 저장하는 데이타래치회로 및

상기 제1의 동작모드에 있어서 상기 여러개의 외부단자중의 제2의 여러개의 단자에 연결되고, 상기 데이타처리장치의 외부에서 공급된 어드레스를 저장하는 어드레스래치회로를 더 포함하고,

상기 중앙처리장치는 상기 커맨드래치회로에 저장된 커맨드를 리드하고 리드된 커맨드를 해석하며,

상기 중앙처리장치는 상기 어드레스래치회로에 저장된 어드레스 및 상기 데이타래치회로내에 저장된 데이

타에 따라서 상기 일괄소거형 불휘발성 메모리에 대해 상기 처리를 실행하는 데이타처리장치.

청구항 30

제29항에 있어서,

상기 커맨드래치회로에 연결되고 상기 커맨드래치회로에 커맨드가 저장되었는지 저장되지 않았는지를 나타내는 커맨드플래그와

상기 데이타래치회로에 연결되고 상기 데이타래치회로에 데이타가 저장되었는지 저장되지 않았는지를 나타내는 데이타플래그를 더 갖고,

상기 데이타래치회로는 커맨드가 상기 커맨드래치회로에 저장된 것을 상기 커맨드플래그가 나타낼 때 데이타를 저장하는 데이타처리장치.

청구항 31

제30항에 있어서,

상기 중앙처리장치는 커맨드가 상기 커맨드래치회로에 저장된 것을 상기 커맨드플래그가 나타내는 것에 응답해서 상기 커맨드를 해석하는 데이타처리장치.

청구항 32

제31항에 있어서,

상기 중앙처리장치, 상기 일괄소거형 불휘발성 메모리, 상기 데이타래치회로, 상기 커맨드래치회로 및 상기 어드레스래치회로에 연결된 내부버스,

게이트회로 및

상기 커맨드래치회로에 연결된 커맨드디코더회로를 더 포함하고,

상기 게이트회로는

상기 커맨드래치회로, 상기 어드레스래치회로 및 상기 데이타래치회로를 상기 중앙처리장치 및 상기 일괄소거형 불휘발성 메모리에 연결시키도록 하는 제1의 상태와

상기 커맨드래치회로, 상기 어드레스래치회로 및 상기 데이타래치회로를 상기 일괄소거형 불휘발성 메모리에 연결시키고 상기 중앙처리장치에는 연결시키지 않도록 하는 제2의 상태를 갖고,

상기 커맨드디코더는 상기 제1의 동작모드에 있어서 상기 커맨드디코더에 저장된 리드커맨드의 디코드에 응답하고, 상기 게이트회로를 상기 제2의 상태로 하기 위한 제어신호를 상기 게이트회로로 공급하는 데이타처리장치.

청구항 33

제32항에 있어서,

상기 일괄소거형 불휘발성 메모리는 여러개의 메모리블럭을 포함하고,

상기 여러개의 메모리블럭의 각각은 여러개의 불휘발성 메모리셀을 포함하고,

상기 여러개의 메모리블럭의 각각은 그것에 기억된 데이타의 일괄소거단위인 데이타처리장치.

청구항 34

제31항에 있어서,

상기 불휘발성 메모리셀의 각각은 상기 반도체기판에 형성된 제1의 영역, 상기 반도체기판에 형성된 제2의 영역 및 상기 제1의 영역과 상기 제2의 영역 사이에 대응하는 상기 반도체기판상에 형성된 절연막, 상기 절연막상에 형성된 플로팅게이트, 상기 플로팅게이트상에 형성된 산화막 및 상기 산화막상에 형성된 컨트롤게이트를 포함하고,

상기 여러개의 메모리블럭의 각각은 대응하는 불휘발성 메모리셀의 상기 컨트롤게이트에 연결되는 워드선, 대응하는 불휘발성 메모리셀의 상기 제2의 영역에 연결되는 데이타선 및 대응하는 불휘발성 메모리셀의 상기 제1의 영역에 연결되는 공통선을 더 포함하고,

상기 여러개의 메모리블럭의 각각에 있어서 상기 공통선에 연결된 여러개의 불휘발성 메모리셀은 일괄적으로 소거가능하게 되는 데이타처리장치.

청구항 35

제32항에 있어서,

상기 일괄소거형 불휘발성 메모리의 상기 여러개의 메모리블럭은 다른 기억용량을 갖는 데이타처리장치.

청구항 36

제33항에 있어서,

상기 제1의 동작모드에 있어서 상기 데이타처리장치의 외부에서 공급되는 커맨드는 프로그램 커맨드, 프로그램 검증 커맨드, 소거 커맨드 및 소거검증 커맨드를 포함하는 데이타처리장치.

청구항 37

제36항에 있어서,

상기 일괄소거형 불휘발성 메모리에 대해 실행될 처리를 나타내기 위한 여러개의 제어비트를 갖는 제어레지스터와

상기 제2의 동작모드에 있어서 소거대상의 메모리블럭을 나타내기 위한 여러개의 비트를 갖는 소거블럭 지정 레지스터를 더 포함하고,

상기 중앙처리장치는 상기 제1 내지 제2의 동작모드에 있어서 상기 제어레지스터의 상기 여러개의 제어비트중의 하나에 데이타를 라이트하는 것에 의해 상기 일괄소거형 불휘발성 메모리에 대한 소정의 처리를 실행하고,

상기 중앙처리장치는 상기 제2의 동작모드에 있어서 소거대상의 1개 내지 여러개의 메모리블럭을 지정하기 위해 상기 소거블럭 지정 레지스터의 대응하는 1개 내지 여러개의 비트에 데이타를 라이트하는 데이타처리장치.

청구항 38

반도체기판상에 형성된 데이타처리장치로서,

전기적으로 라이트 및 소거가능한 일괄소거형 불휘발성 메모리,

중앙처리장치 및

상기 일괄소거형 불휘발성 메모리의 데이타를 상기 데이타처리장치의 외부에서 제어하기 위한 동작모드에 있어서 상기 데이타처리장치의 외부에서 비동기로 공급된 커맨드를 래치하는 래치회로를 포함하고,

상기 중앙처리장치는 상기 래치회로에 래치된 커맨드에 응답해서 상기 커맨드에 따라서 지시되는 처리를 상기 일괄소거형 불휘발성 메모리에 대해 실행하는 데이타처리장치.

청구항 39

제38항에 있어서,

상기 일괄소거형 불휘발성 메모리는 여러개의 불휘발성 메모리셀을 포함하고,

상기 불휘발성 메모리셀의 각각은 상기 반도체기판에 형성된 소오스영역, 상기 반도체기판에 형성된 드레인영역, 상기 소오스영역과 상기 드레인영역 사이에 대응하는 상기 반도체기판상에 형성된 절연막, 상기 절연막상에 형성된 플로팅게이트, 상기 플로팅게이트상에 형성된 산화막 및 상기 산화막상에 형성된 컨트롤게이트를 포함하는 데이타처리장치.

청구항 40

제38항에 있어서,

상기 커맨드는

상기 일괄소거형 불휘발성 메모리에 원하는 데이타를 라이트하는 것을 지시하는 프로그램 커맨드,

상기 일괄소거형 불휘발성 메모리에 원하는 데이타가 라이트되었는지 라이트되지 않았는지의 확인을 지시하는 프로그램 검증 커맨드,

상기 일괄소거형 불휘발성 메모리의 데이타를 소거하는 것을 지시하는 소거커맨드 및

상기 일괄소거형 불휘발성 메모리의 데이타가 소거되었는지 소거되지 않았는지의 확인을 지시하는 소거검증 커맨드를 포함하는 데이타처리장치.

청구항 41

제40항에 있어서,

상기 동작모드에 있어서 상기 데이타처리장치의 외부에서 공급된 데이타를 저장하기 위한 데이타래치회로와

상기 동작모드에 있어서 상기 데이타처리장치의 외부에서 공급된 어드레스를 저장하기 위한 어드레스래치회로를 더 포함하는 데이타처리장치.

청구항 42

제41항에 있어서,

상기 데이타처리장치는 상기 프로그램 커맨드에 응답해서 상기 어드레스래치회로에 저장된 어드레스신호에 따른 상기 일괄소거형 불휘발성 메모리의 어드레스영역에 상기 데이타래치회로에 저장된 데이타가 라이트되도록, 상기 일괄소거형 불휘발성 메모리의 데이타의 라이트를 제어하고,

상기 데이타처리장치는 상기 소거 커맨드에 응답해서 상기 어드레스 래치회로에 저장된 어드레스신호에 따른 상기 일괄소거형 불휘발성 메모리의 어드레스영역에 기억된 데이타가 소거되도록, 상기 일괄소거형 불휘발성 메모리로부터의 데이타의 소거를 제어하는 데이타처리장치.

청구항 43

반도체기판상에 형성된 데이타처리장치로서,

전기적으로 라이트 및 소거가능한 여러개의 불휘발성 메모리셀을 포함하는 플래시메모리,

중앙처리장치 및

상기 데이타처리장치의 외부에서 공급되는 커맨드에 따라서 상기 플래시메모리가 소거가능 내지 라이트가능하게 되는 외부라이트모드에 있어서 상기 중앙처리장치에 의해서 실행될 예정의 소거 제어 프로그램 및 라이트 제어 프로그램을 저장하는 메모리를 포함하고,

상기 중앙처리장치는 상기 커맨드에 응답해서 상기 메모리내의 소거제어프로그램 및 라이트 제어 프로그램을 실행하는 것에 의해 상기 커맨드에 따라서 지시되는 처리를 상기 플래시메모리에 대해 실행하는 데이타처리장치.

청구항 44

제43항에 있어서,

상기 커맨드는

일괄소거형 불휘발성 메모리에 원하는 데이타를 라이트하는 것을 지시하는 프로그램 커맨드,

상기 일괄소거형 불휘발성 메모리에 원하는 데이타가 라이트되었는지 라이트되지 않았는지의 확인을 지시하는 프로그램 검증 커맨드,

상기 일괄소거형 불휘발성 메모리의 데이타를 소거하는 것을 지시하는 소거커맨드 및

상기 일괄소거형 불휘발성 메모리의 데이타가 소거되었는지 소거되지 않았는지의 확인을 지시하는 소거검증 커맨드를 포함하는 데이타처리장치.

청구항 45

제44항에 있어서,

상기 외부 라이트 모드에 있어서 상기 커맨드를 디코드하는 커맨드디코더를 더 포함하는 데이타처리장치.

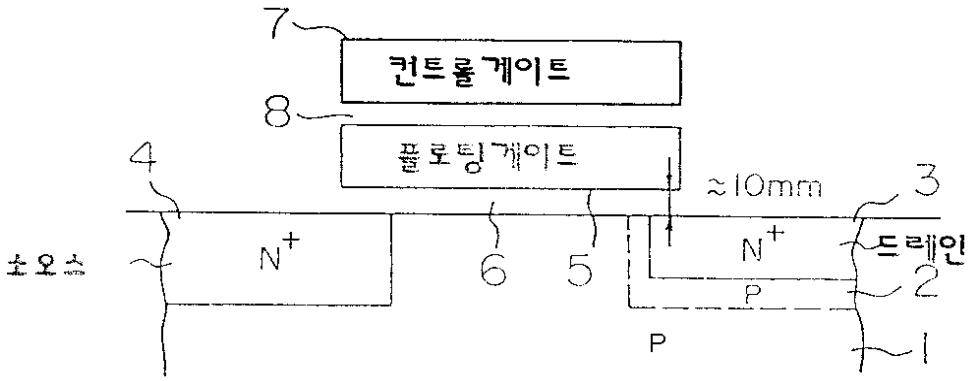
청구항 46

제45항에 있어서,

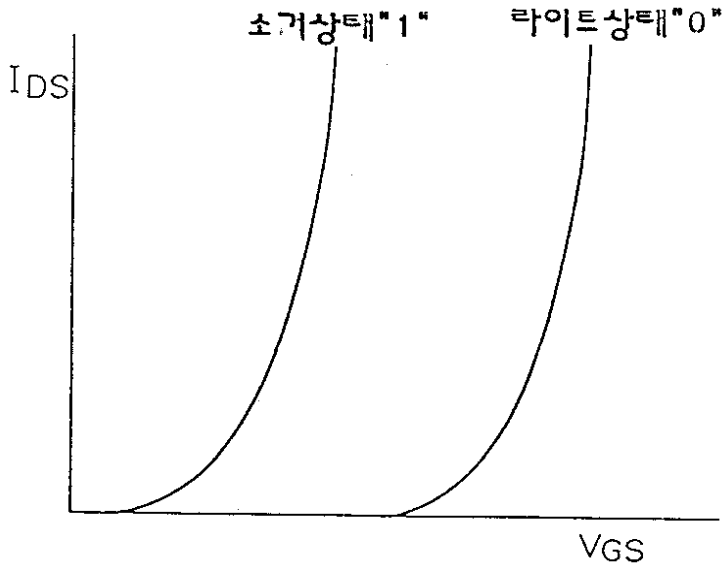
상기 불휘발성 메모리셀의 각각은 상기 반도체기판에 형성된 소오스영역, 상기 반도체기판에 형성된 드레인영역, 상기 소오스영역과 상기 드레인영역 사이에 대응하는 상기 반도체기판상에 형성된 절연막, 상기 절연막상에 형성된 플로팅게이트, 상기 플로팅게이트상에 형성된 산화막 및 상기 산화막상에 형성된 컨트롤게이트를 포함하는 데이타처리장치.

도면

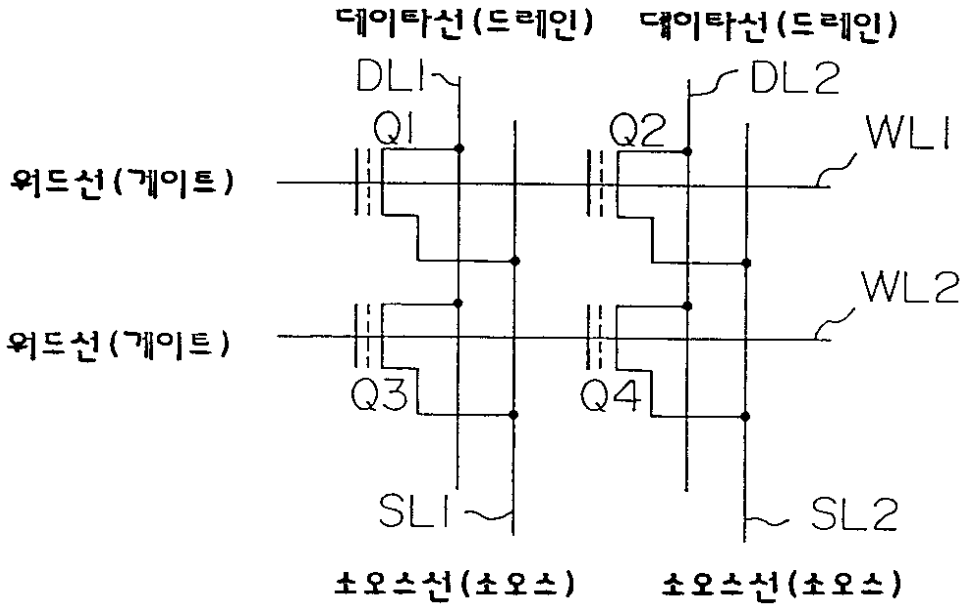
도면1a



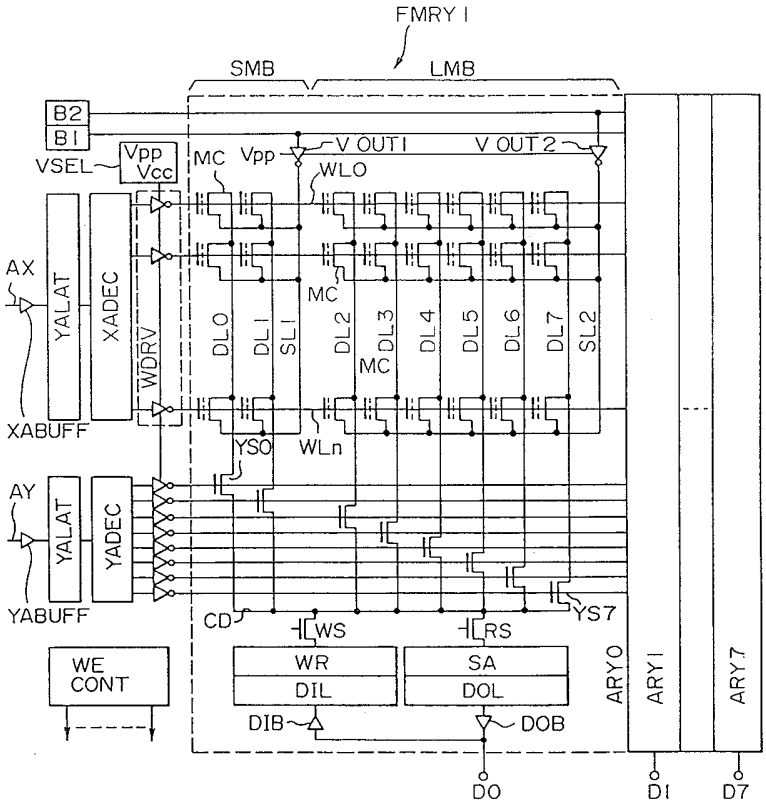
도면1b


소거상태"1"
라이트상태"0"
IDS
VGS

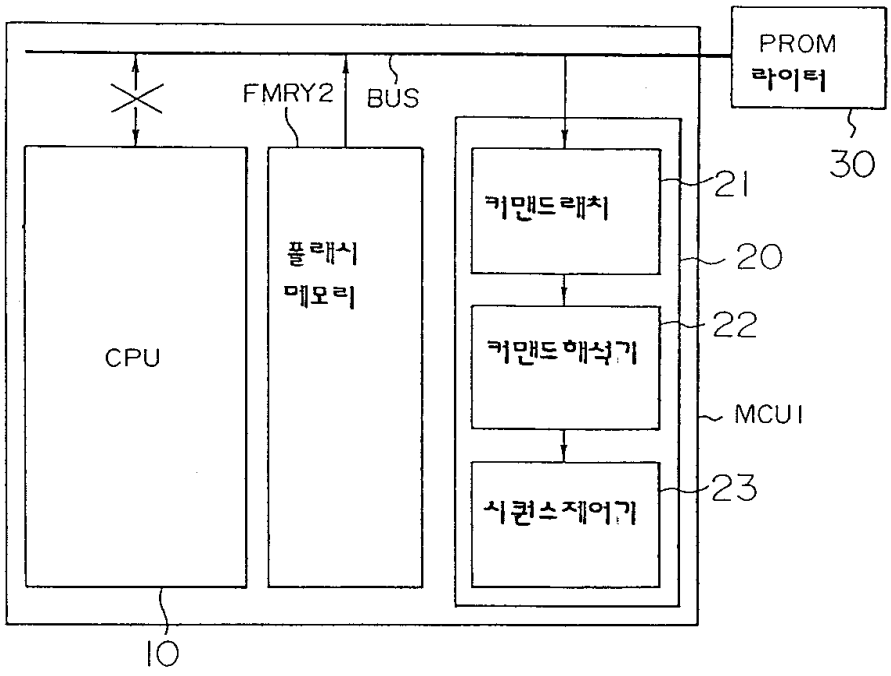
도면2


데이타선(드레인)
데이타선(드레인)
DL1
DL2
Q1
Q2
WL1
워드선(게이트)
WL2
워드선(게이트)
Q3
Q4
SL1
SL2
소오스선(소오스)
소오스선(소오스)

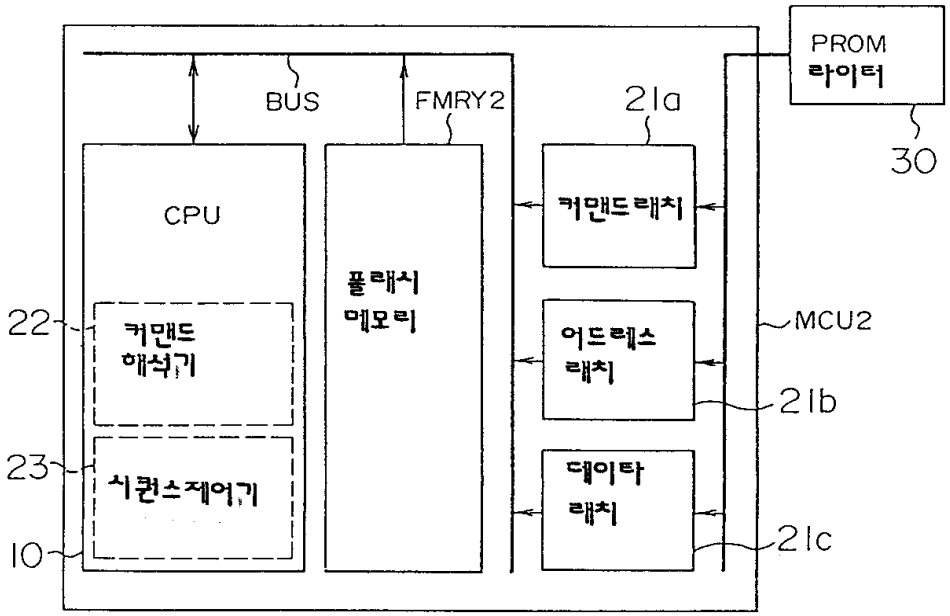
도면3


FMRY I
SMB
LMB
B2
B I
VSEL
Vpp
Vcc
MC
Vpp
V OUT I
V OUT 2
WLO
AX
YALAT
XADEC
WDRV
DL0
DL I
SL I
DL2
DL3
DL4
DL5
DL6
DL7
SL2
XABUFF
YS0
WLn
AY
YALAT
YADEC
YABUFF
CD
WS
RS
YS7
WE
CONT
WR
DIL
SA
DOL
DIB
DOB
ARY0
ARY I
ARY7
DO
DI
D7

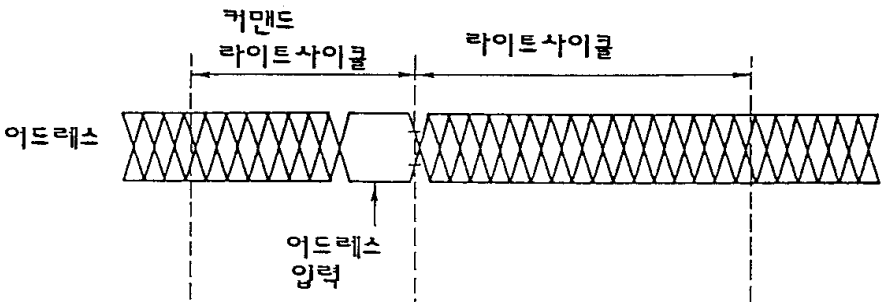
도면4


PROM
라이터
30
FMRY2
BUS
CPU
플래시
메모리
커맨드래치
21
20
커맨드해석기
22
MCU I
시퀀스제어기
23
10

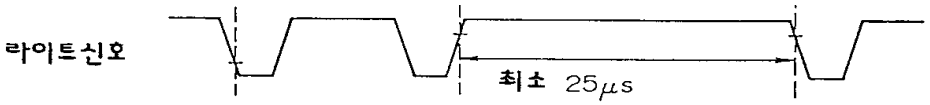
도면5



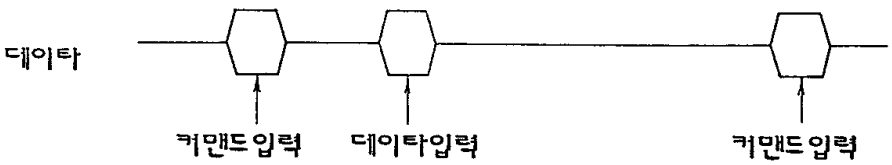
도면6a



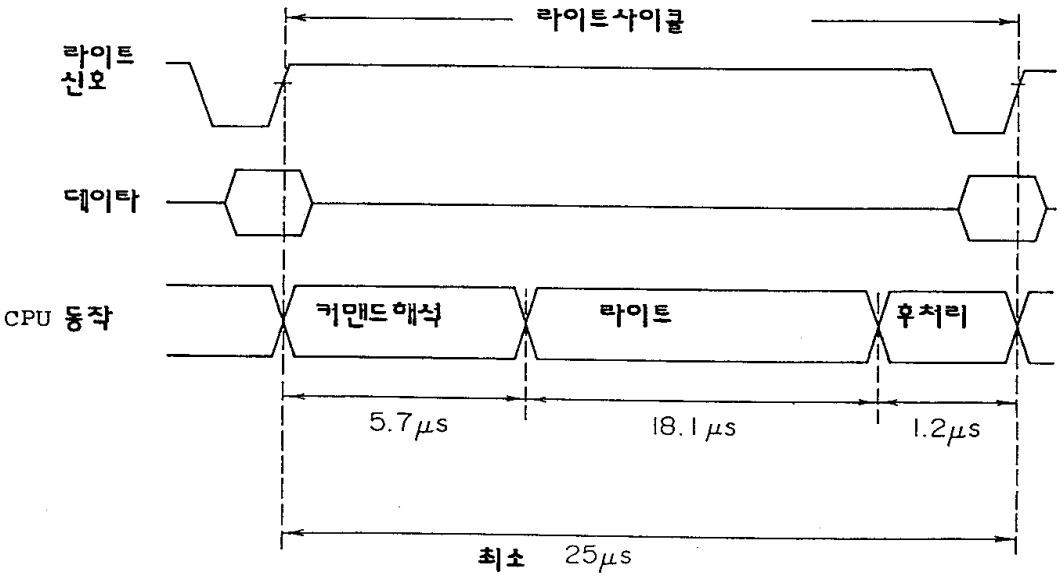
도면6b



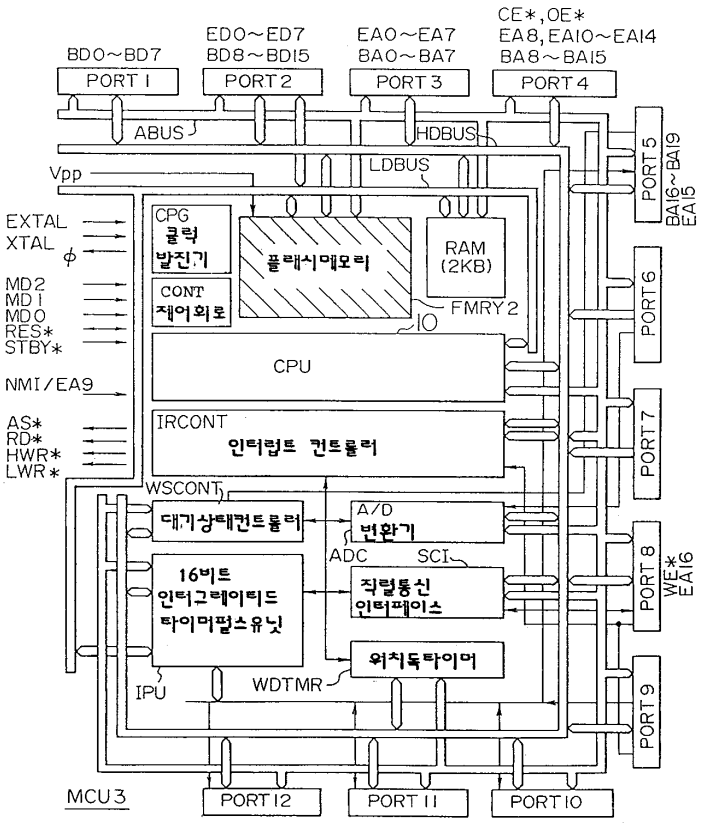
도면6c



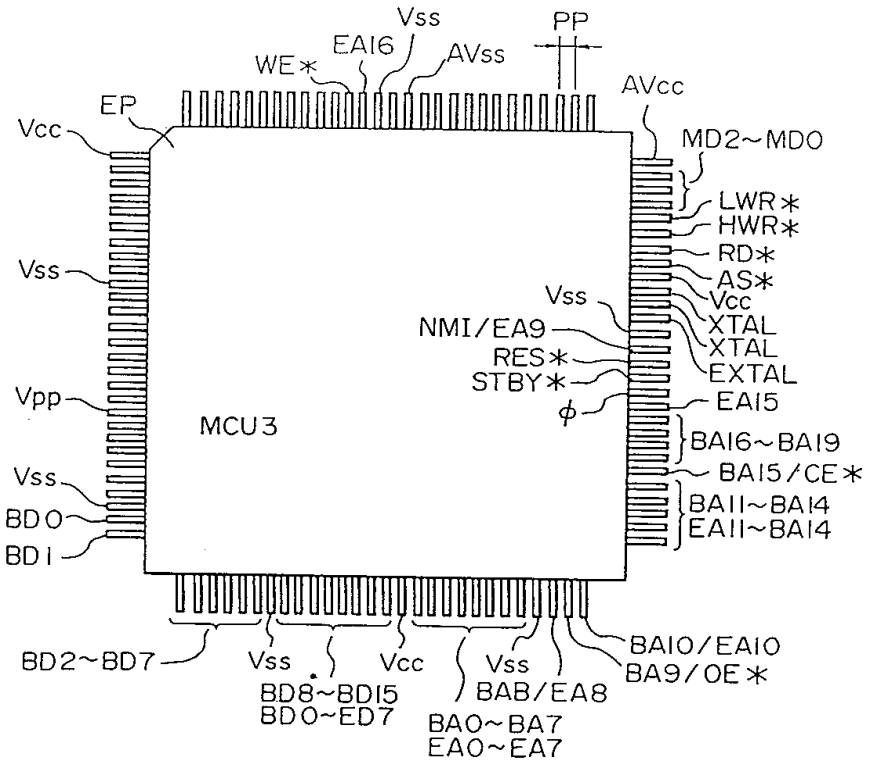
도면7


라이트사이클
라이트 신호
데이타
CPU 동작
커맨드해석
라이트
후처리
5.7μs
18.1μs
1.2μs
최소 25μs

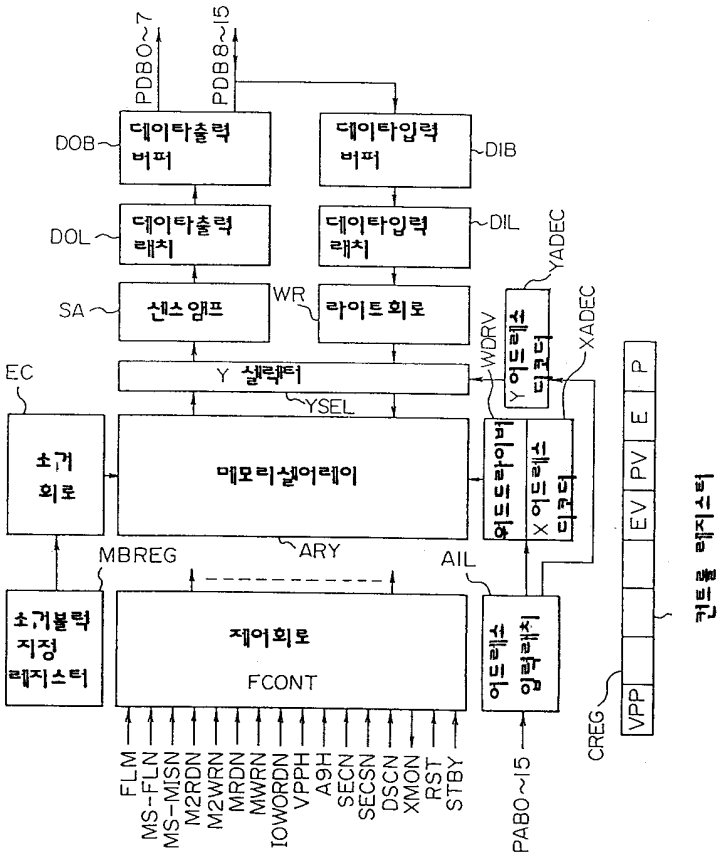
도면8


BD0~BD7
ED0~ED7
BD8~BD15
EA0~EA7
BA0~BA7
CE*,OE*
EA8,EA10~EA14
BA8~BA15
PORT 1
PORT 2
PORT 3
PORT 4
ABUS
HDBUS
LDBUS
Vpp
EXTAL
XTAL
φ
MD2
MD1
MD0
RES*
STBY*
NMI/EA9
AS*
RD*
HWR*
LWR*
CPG 클럭 발진기
CONT 제어회로
플래시메모리
RAM (2KB)
FMRY2
IO
CPU
IRCONT 인터럽트 컨트롤러
WSCONT
대기상태컨트롤러
A/D 변환기
ADC
SCI
16비트 인터그레이티드 타이머펄스유닛
직렬통신 인터페이스
워치독타이머
IPU
WDTMR
PORT 5
BA16~BA19
EA15
PORT 6
PORT 7
PORT 8
WE*
EA16
PORT 9
MCU3
PORT 12
PORT 11
PORT 10

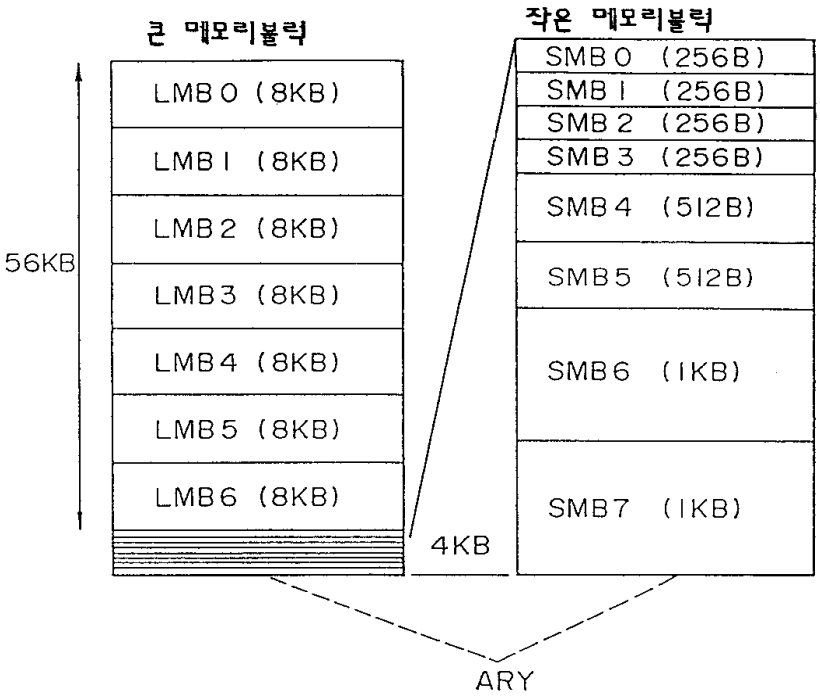
도면9


Vss
PP
EA16
AVss
WE*
AVcc
EP
Vcc
MD2~MD0
LWR*
HWR*
RD*
AS*
Vcc
Vss
XTAL
NMI/EA9
XTAL
RES*
EXTAL
STBY*
EA15
Vpp
MCU3
BA16~BA19
BA15/CE*
Vss
BA11~BA14
BD0
EA11~BA14
BD1
BA10/EA10
BA9/OE*
BD2~BD7
Vss
Vcc
Vss
BD8~BD15
BA8/EA8
BD0~ED7
BA0~BA7
EA0~EA7

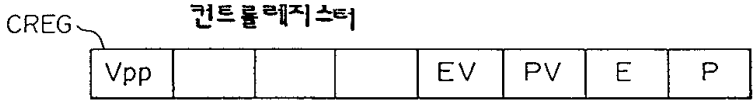
도면10


PDB0~7
PDB8~15
DOB
데이타출력 버퍼
데이타입력 버퍼
DIB
DOL
데이타출력 래치
데이타입력 래치
DIL
YADEC
SA
센스앰프
WR
라이트회로
WDRV
Y 어드레스 디코더
XADEC
EC
Y 셀렉터
YSEL
소거 회로
메모리셀어레이
워드라이버
X 어드레스 디코더
P
E
PV
EV
컨트롤 레지스터
MBREG
ARY
AIL
소거불량 지정 레지스터
제어회로
FCONT
어드레스 입력래치
VPP
CREG
FLM
MS-FLN
MS-MISN
M2RDN
M2WRN
MRDN
MWRN
IOWORDN
VPPH
A9H
SECN
SECSN
DSCN
XMON
RST
STBY
PAB0~15

도면11

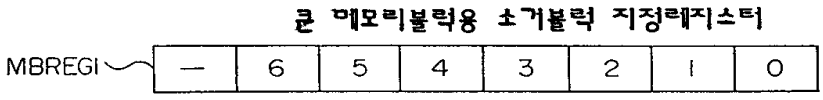


도면12a

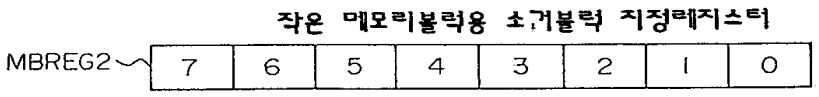


Vpp Vpp 인가플래그
EV 소거검증플래그
PV 프로그램검증플래그
E 소거플래그
P 프로그램플래그

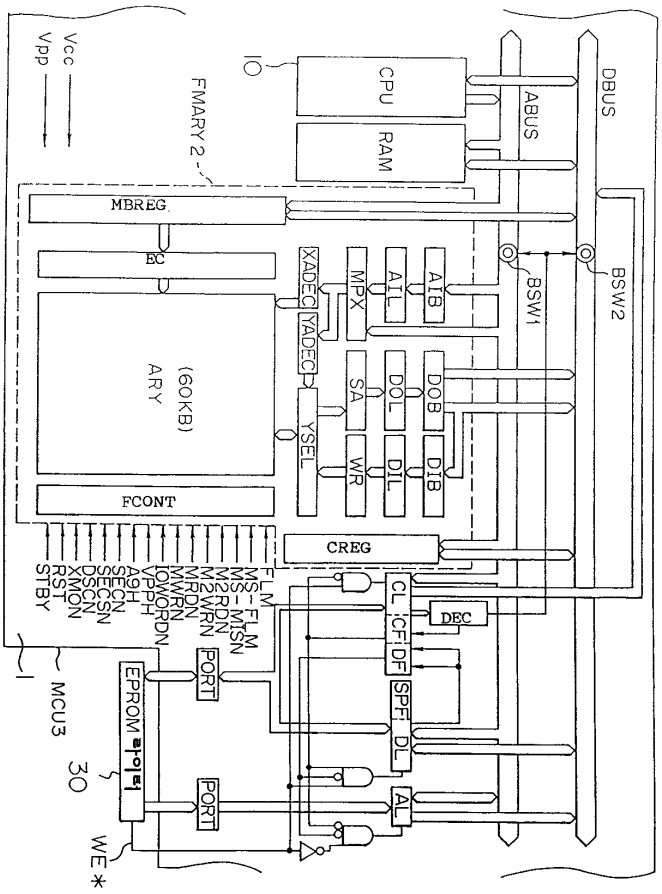
도면12b



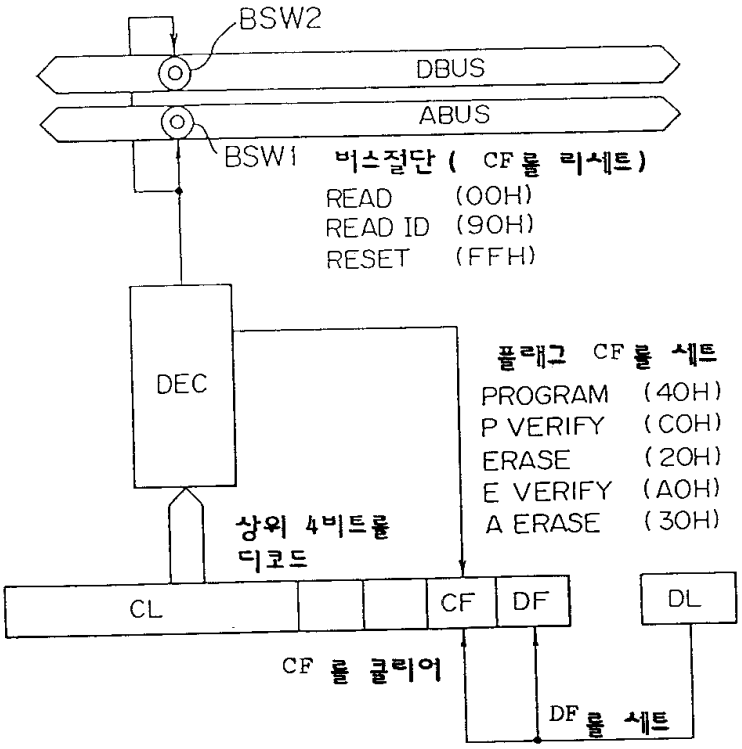
도면12c



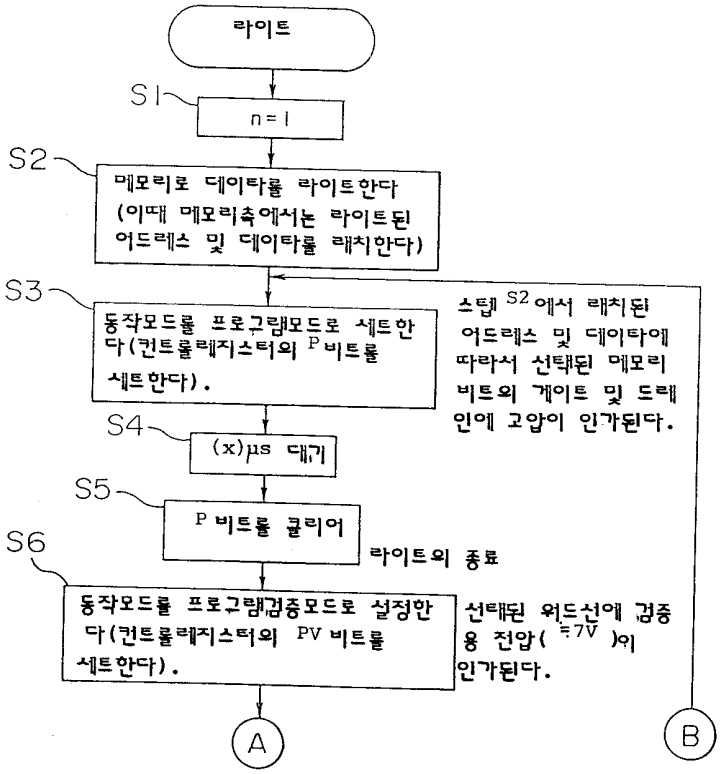
도면13


Vcc
Vpp
FMARY 2
IO
CPU
RAM
ABUS
DBUS
MBREG
EC
XADEC
YADEC
YSEL
MPX
SA
WR
AIL
AIB
DOL
DIL
DOB
DIB
BSW1
BSW2
(60KB)
ARY
FCONT
CREG
DEC
CL
CF
DF
SPF
DL
AL
PORT
EPROM 라이터
MCU3
30
WE *

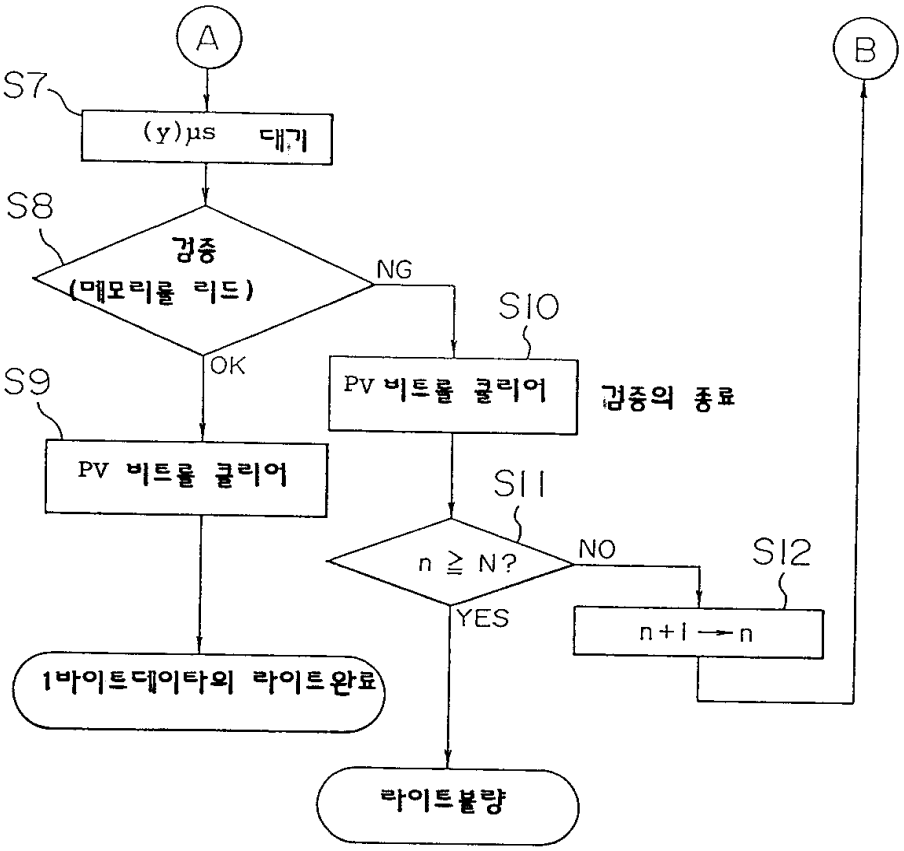
도면14


BSW2
DBUS
ABUS
BSW1
버스절단 (CF 를 리세트)
READ (00H)
READ ID (90H)
RESET (FFH)
DEC
플래그 CF 를 세트
PROGRAM (40H)
P VERIFY (C0H)
ERASE (20H)
E VERIFY (A0H)
A ERASE (30H)
상위 4비트를 디코드
CL
CF
DF
DL
CF 를 클리어
DF 를 세트

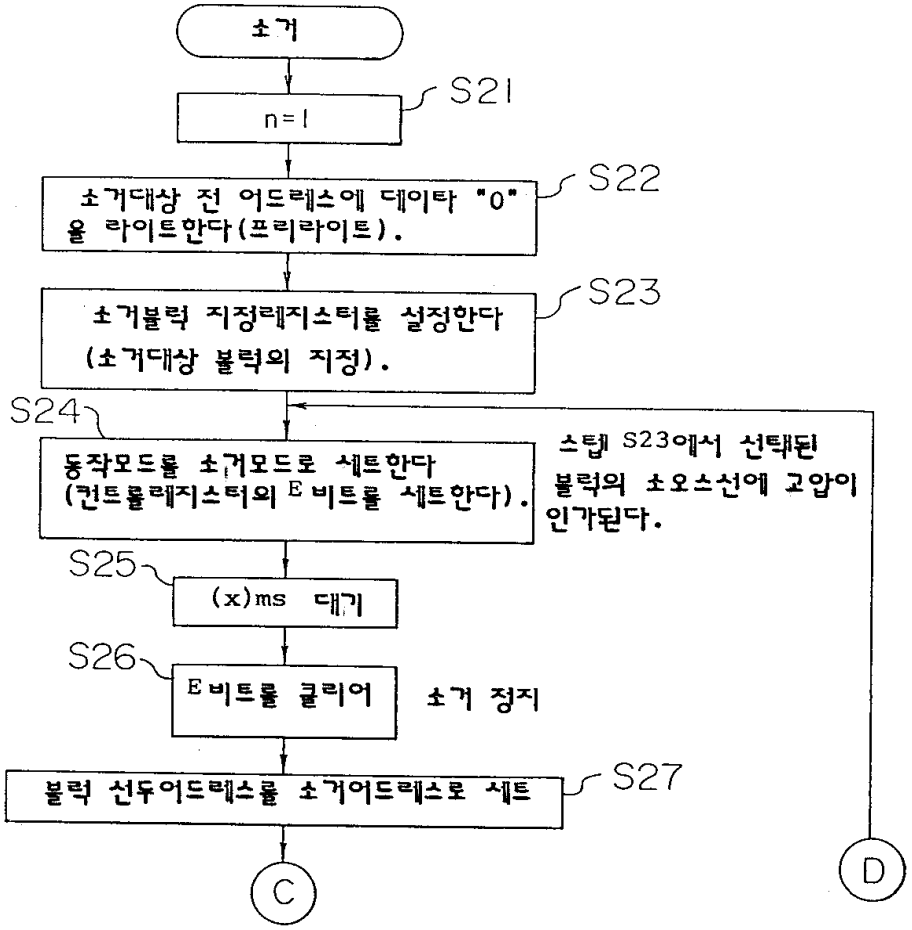
도면15a


라이트
S1
n=1
S2
메모리로 데이타를 라이트한다
(이때 메모리측에서는 라이트된
어드레스 및 데이타를 래치한다)
S3
동작모드를 프로그램모드로 세트한
다(컨트롤레지스터의 P비트를
세트한다).
스텝 S2 에서 래치된
어드레스 및 데이타에
따라서 선택된 메모리
비트의 게이트 및 드레
인에 고압이 인가된다.
S4
(x)μs 대기
S5
P 비트를 클리어
라이트의 종료
S6
동작모드를 프로그램검증모드로 설정한
다(컨트롤레지스터의 PV 비트를
세트한다).
선택된 워드선에 검증
용 전압(≒7V)이
인가된다.
A
B

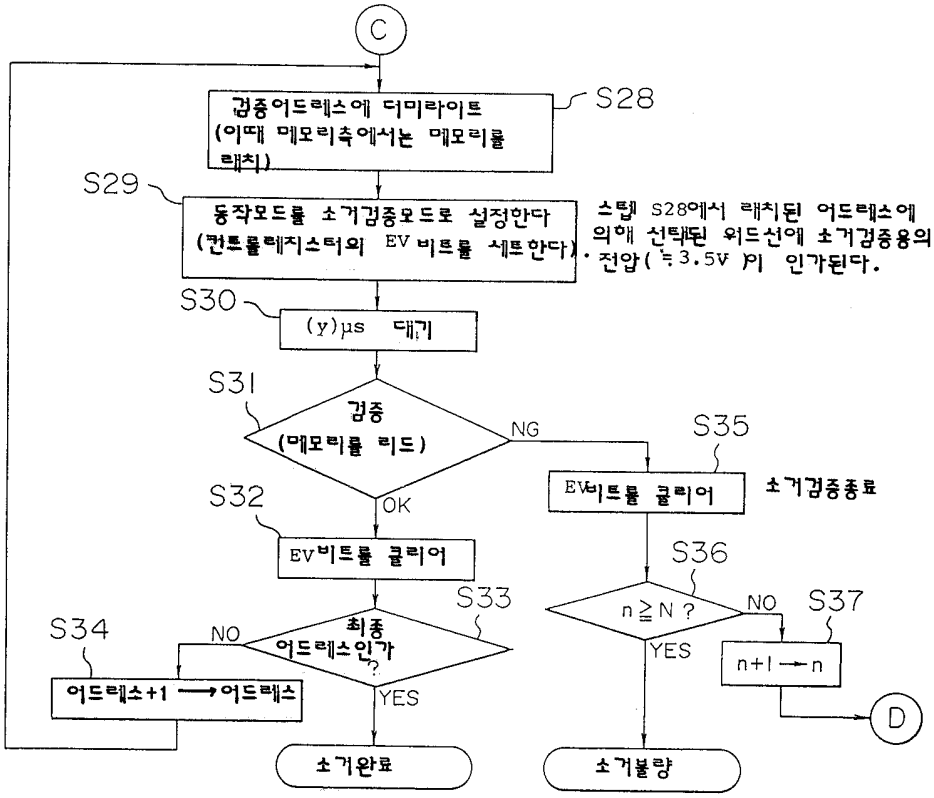
도면15b


A
B
S7
(y)μs 대기
S8
검증
(메모리를 리드)
NG
OK
S10
PV 비트를 클리어
검증의 종료
S9
PV 비트를 클리어
S11
n ≧ N?
NO
YES
S12
n+1 → n
1바이트데이타의 라이트완료
라이트불량

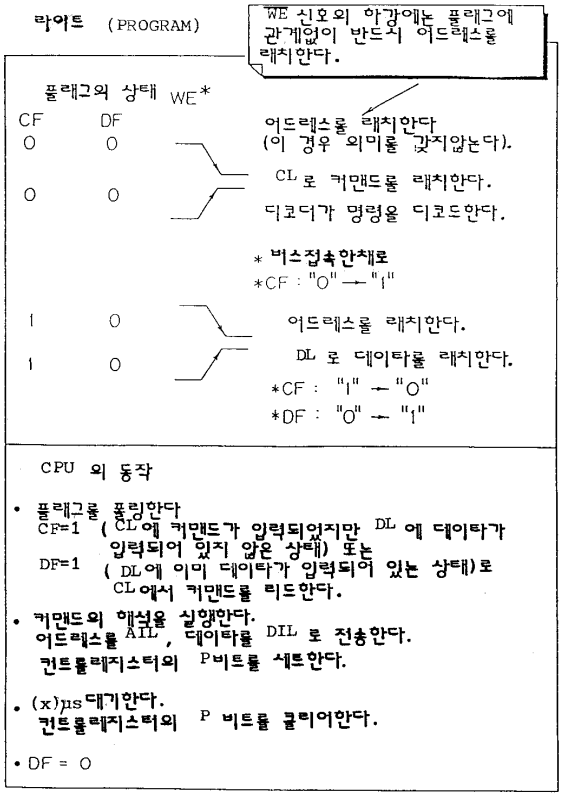
도면16a


소거
S21
n=1
S22
소거대상 전 어드레스에 데이타 "0"을 라이트한다(프리라이트).
S23
소거블럭 지정레지스터를 설정한다 (소거대상 블럭의 지정).
S24
동작모드를 소거모드로 세트한다 (컨트롤레지스터의 E 비트를 세트한다).
스텝 S23에서 선택된 블럭의 소오스선에 고압이 인가된다.
S25
(x)ms 대기
S26
E비트를 클리어
소거 정지
S27
블럭 선두어드레스를 소거어드레스로 세트
C
D

도면16b

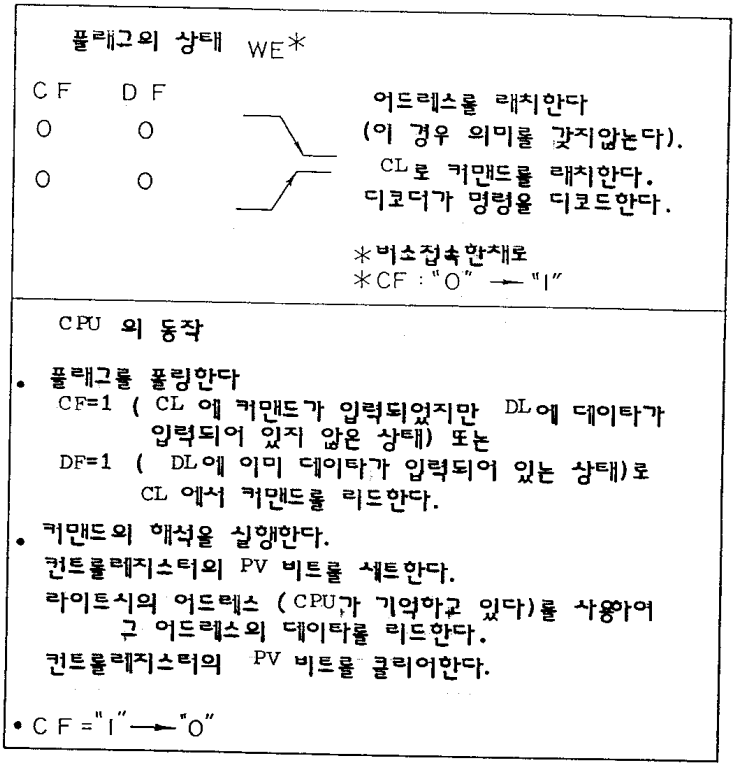

C
S28
검증어드레스에 더미라이트 (이때 메모리측에서는 메모리를 래치)
S29
동작모드를 소거검증모드로 설정한다 (컨트롤레지스터의 EV 비트를 세트한다).
스텝 S28에서 래치된 어드레스에 의해 선택된 워드선에 소거검증용의 전압(≒3.5V)이 인가된다.
S30
(y)μs 대기
S31
검증 (메모리를 리드)
NG
OK
S35
EV비트를 클리어
소거검증종료
S32
EV비트를 클리어
S36
n≧N ?
NO
YES
S37
n+1 → n
D
S33
최종 어드레스인가?
NO
YES
S34
어드레스+1 → 어드레스
소거완료
소거불량

도면17



도면18

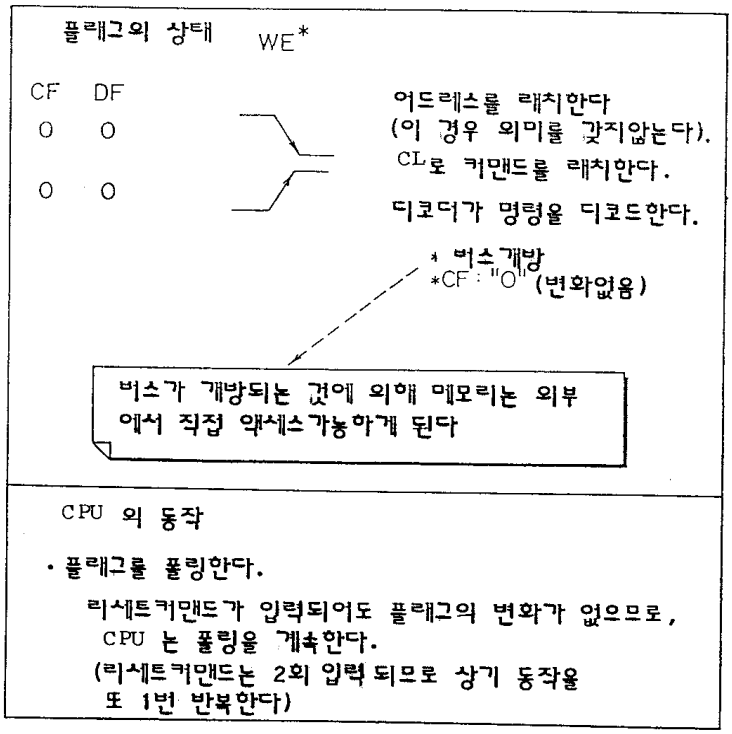
라이트검증 (P VIRIFY)



도면19a

리세트(RESET)

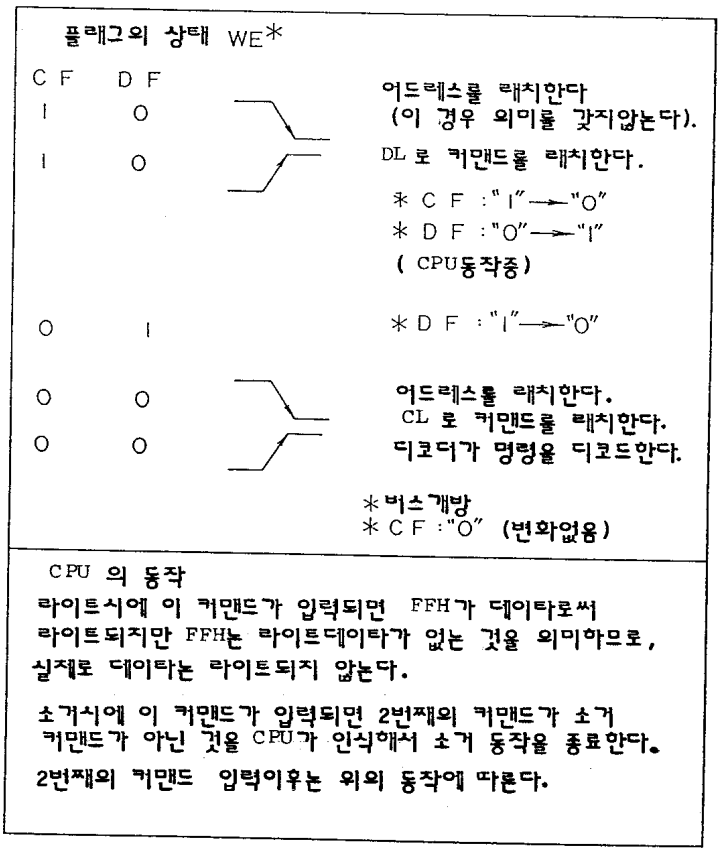
(1) 커맨드의 최초부터 리세트커맨드가 입력되었을때



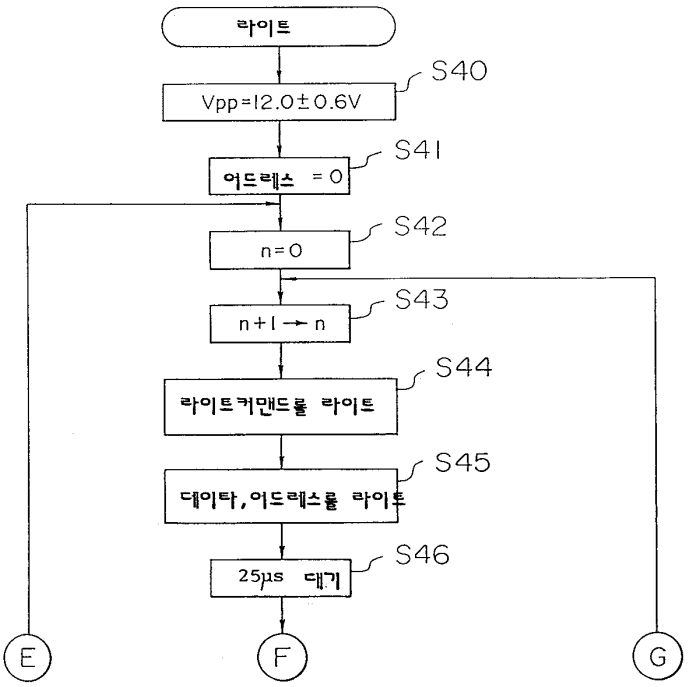
도면19b

리세트 (RESET)

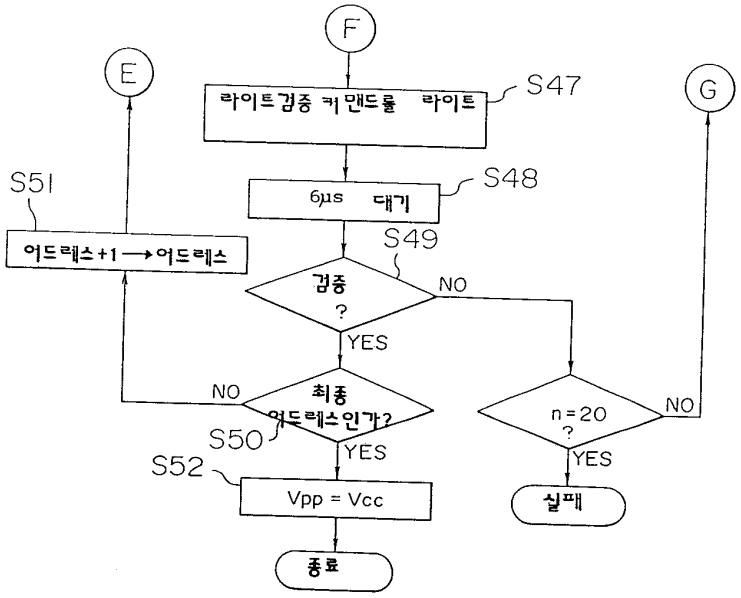
(2) 커맨드의 도중부터 리세트커맨드가 입력되었을때



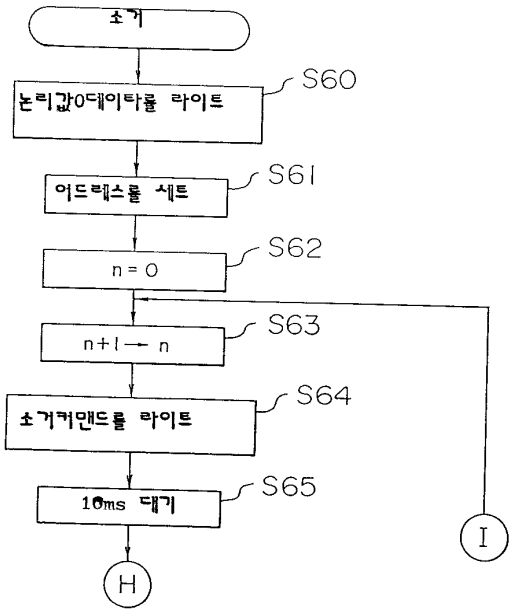
도면20a



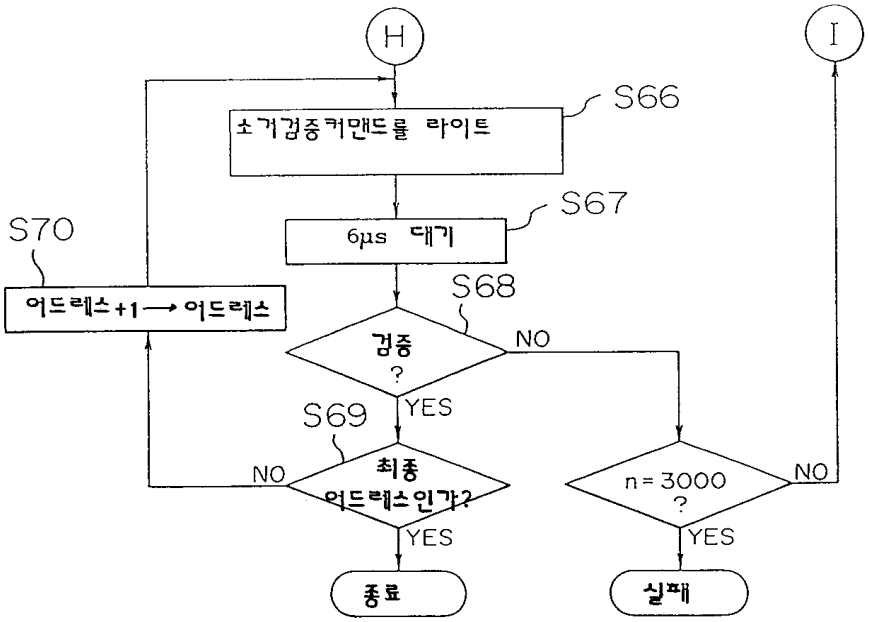
도면20b


F
E
G
라이트검증 커맨드를 라이트
S47
6μs 대기
S48
S51
어드레스+1 → 어드레스
S49
검증 ?
NO
YES
NO
최종 어드레스인가?
S50
YES
n=20 ?
NO
YES
S52
Vpp = Vcc
실패
종료

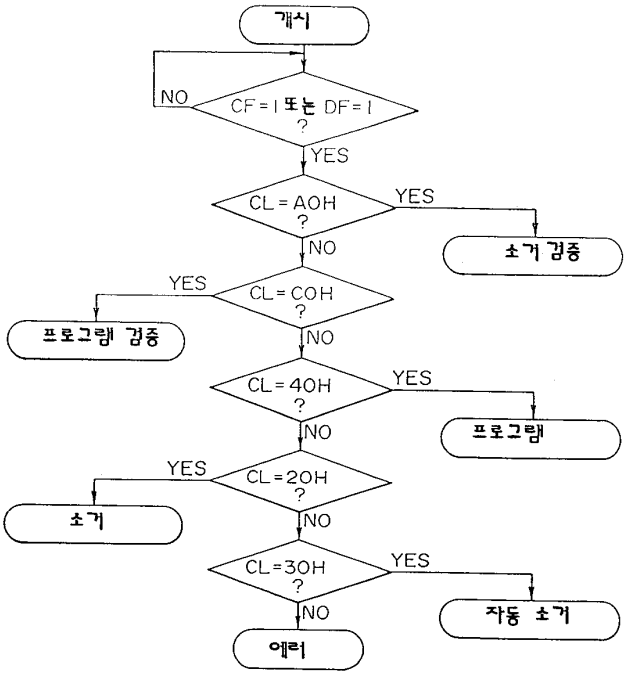
도면21a


소거
논리값0데이타를 라이트
S60
어드레스를 세트
S61
n = 0
S62
n+1 → n
S63
소거커맨드를 라이트
S64
10ms 대기
S65
I
H

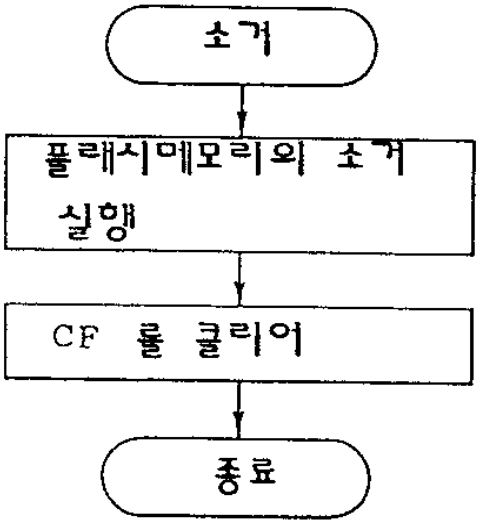
도면21b


H
I
S66
소거검증커맨드를 라이트
S67
6μs 대기
S70
어드레스+1 → 어드레스
S68
검증 ?
NO
YES
S69
NO
최종 어드레스인가?
YES
종료
n = 3000 ?
NO
YES
실패

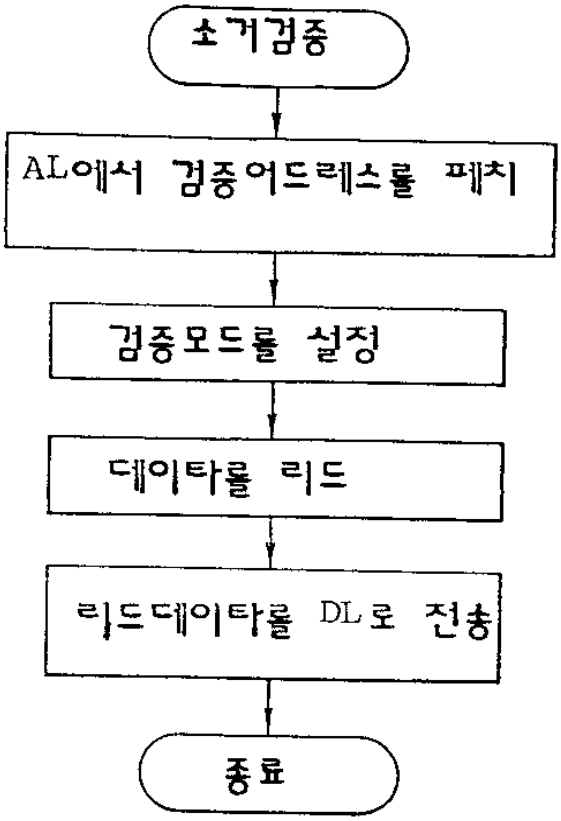
도면22


개시
NO
CF = 1 또는 DF = 1 ?
YES
CL = A0H ?
YES
소거 검증
NO
YES
CL = C0H ?
프로그램 검증
NO
CL = 40H ?
YES
프로그램
NO
YES
CL = 20H ?
소거
NO
CL = 30H ?
YES
자동 소거
NO
에러

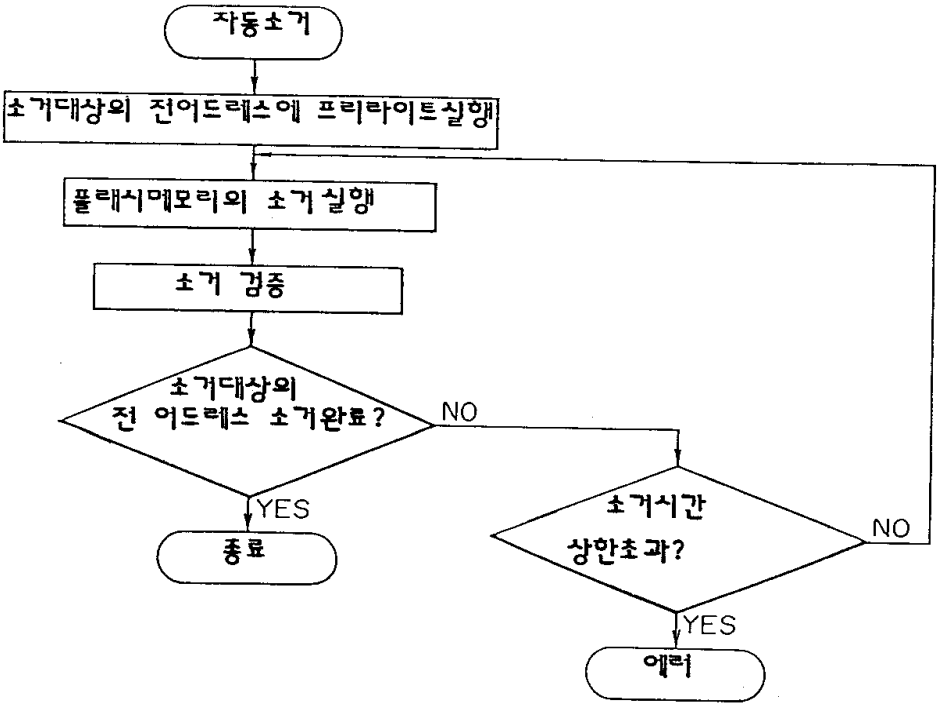
도면23a


소거
플래시메모리의 소거 실행
CF 룰 클리어
종료

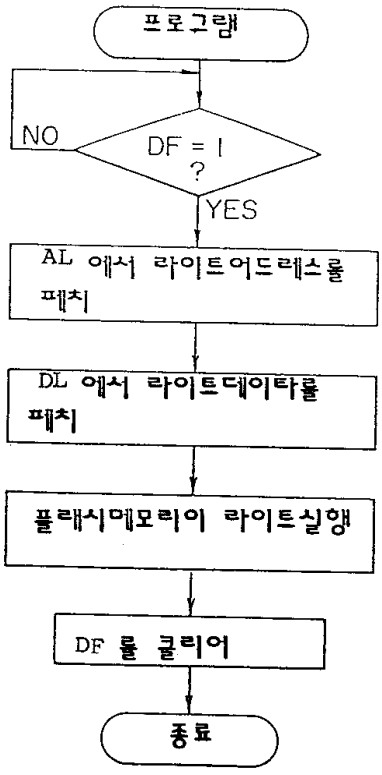
도면23b


소거검증
AL에서 검증어드레스를 페치
검증모드를 설정
데이타를 리드
리드데이타를 DL로 전송
종료

도면24


자동소거
소거대상의 전어드레스에 프리라이트실행
플래시메모리의 소거실행
소거 검증
소거대상의
전 어드레스 소거완료?
NO
YES
종료
소거시간
상한초과?
NO
YES
에러

도면25a


프로그램
NO
DF = 1
?
YES
AL 에서 라이트어드레스를
페치
DL 에서 라이트데이타를
페치
플래시메모리이 라이트실행
DF 를 클리어
종료

도면25b

