

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 4 区分

【発行日】平成 27 年 8 月 20 日 (2015.8.20)

【公開番号】特開 2013-65391 (P2013-65391A)

【公開日】平成 25 年 4 月 11 日 (2013.4.11)

【年通号数】公開・登録公報 2013-017

【出願番号】特願 2012-201000 (P2012-201000)

【国際特許分類】

G 1 1 C 11/413 (2006.01)

G 0 6 F 12/00 (2006.01)

【 F I 】

G 1 1 C 11/34 K

G 0 6 F 12/00 5 7 0 C

【手続補正書】

【提出日】平成 27 年 7 月 1 日 (2015.7.1)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

第 1 および第 2 のポートを有するデュアルポートメモリであって、該デュアルポートメモリは、

単一ポートメモリ要素のアレイと、

該アレイに連結されており、かつ該アレイからデータを読み取り、該アレイにデータを書き込むように動作可能である制御回路と、

該第 1 のポートから第 1 のメモリアクセス要求を受信するように動作可能な第 1 の要求生成器と、

該第 2 のポートから第 2 のメモリアクセス要求を受信するように動作可能な第 2 の要求生成器と、

該制御回路、並びに該第 1 および第 2 の要求生成器に連結されている仲裁回路とを含み、

該仲裁回路は、同期モードで動作可能であり、該同期モードにおいて、該第 1 および第 2 の要求生成器は、等しい周波数を有する第 1 および第 2 のクロック信号を用いて制御され、該第 1 のクロック信号の各クロック周期の間および該第 2 のクロック信号の各クロック周期の間に、該第 1 および第 2 のメモリアクセス要求のうちの 1 つのみを満たすために、該制御回路に指示するように動作可能である、デュアルポートメモリ。

【請求項 2】

前記第 1 および第 2 の要求生成器のうちの少なくとも 1 つは、パルス生成器およびラッチング回路を含み、該パルス生成器は、メモリアクセス要求を受信することに応じて、パルスを生成するように動作可能であり、該ラッチング回路は、該メモリアクセス要求が未だ実行されていない場合に、第 1 の論理値を格納するように動作可能であり、該メモリアクセス要求が前記制御回路を用いて実行された場合に、該第 1 の論理値とは異なる第 2 の論理値を格納するように動作可能である、請求項 1 に記載のデュアルポートメモリ。

【請求項 3】

前記仲裁回路は、所定の論理表に基づく満足に対して、前記第 1 および第 2 のメモリアクセス要求のうちの 1 つのみを選択するように動作可能である、請求項 1 に記載のデュア

ルポートメモリ。

【請求項 4】

前記仲裁回路は、前記第 1 の要求生成器から第 1 の出力信号を受信するように動作可能である第 1 の入力と、前記第 2 の要求生成器から第 2 の出力信号を受信するように動作可能である第 2 の入力と、前記制御回路から制御信号を受信するように動作可能である第 3 の入力と、出力信号が提供される出力とを有する論理ゲートを含み、該出力信号は、該制御回路が前記アレイにアクセスしている間にアサートされる、請求項 1 に記載のデュアルポートメモリ。

【請求項 5】

前記仲裁回路は、前記第 2 の要求生成器に連結されている第 1 の入力と、前記第 1 の要求生成器および該第 2 の要求生成器に連結されている第 2 の入力と、出力信号が提供される出力とを有する論理ゲートを含み、該出力信号は、前記第 1 のメモリアクセス要求を満たす場合に、第 1 の論理値を有し、前記第 2 のメモリアクセス要求を満たす場合に、該第 1 の論理値とは異なる第 2 の論理値を有する、請求項 1 に記載のデュアルポートメモリ。

【請求項 6】

前記仲裁回路は、非同期モードにおいてさらに動作可能であり、該非同期モードにおいて、前記第 1 および第 2 の要求生成器は、異なる周波数を有する少なくとも 2 つのクロック信号を用いて制御されている、請求項 1 に記載のデュアルポートメモリ。

【請求項 7】

前記第 1 および第 2 の要求生成器のうちの少なくとも 1 つは、パルス生成器およびラッチング回路を含み、該パルス生成器は、メモリアクセス要求を受信することに応じて、パルスを生成するように動作可能であり、該ラッチング回路は、該メモリアクセス要求が未だ実行されていない場合に、第 1 の論理値を格納するように動作可能であり、該メモリアクセス要求が前記制御回路を用いて実行された場合に、該第 1 の論理値とは異なる第 2 の論理値を格納するように動作可能である、請求項 6 に記載のデュアルポートメモリ。

【請求項 8】

前記仲裁回路は、前記同期モードで動作するとき、所定の論理表に基づく満足に対して、前記第 1 および第 2 のメモリアクセス要求のうちの 1 つのみを選択するように動作可能である、請求項 6 に記載のデュアルポートメモリ。

【請求項 9】

前記第 1 および第 2 のメモリアクセス要求は、異なる時間に到達し、前記仲裁回路は、前記非同期モードで動作するとき、満足に対して、該第 1 および第 2 のメモリアクセス要求のうちのより早く到達する 1 つを選択するように動作可能である、請求項 6 に記載のデュアルポートメモリ。

【請求項 10】

前記仲裁回路は、前記第 1 および第 2 のメモリアクセス要求のうちの選択された 1 つを満たすように前記制御回路に指示するために、出力信号をアサートし、該選択されたメモリアクセス要求の満足に応じて該出力信号をデアサートするように動作可能である、請求項 6 に記載のデュアルポートメモリ。

【請求項 11】

第 1 および第 2 のポートを有するデュアルポートメモリであって、該デュアルポートメモリは、

単一ポートメモリ要素のアレイと、

該アレイに連結されており、かつ該アレイからデータを読み取り、該アレイにデータを書き込むように動作可能である制御回路と、

該第 1 のポートから第 1 のメモリアクセス要求を受信するように動作可能な第 1 の要求生成器と、

該第 2 のポートから第 2 のメモリアクセス要求を受信するように動作可能な第 2 の要求生成器と、

該制御回路、並びに該第 1 および第 2 の要求生成器に連結されている仲裁回路と

を含み、

該仲裁回路は、非同期モードで動作可能であり、該非同期モードにおいて、該第 1 および第 2 の要求生成器は、異なるそれぞれの周波数を有する 2 つの異なるクロック信号を用いて制御される、デュアルポートメモリ。

【請求項 1 2】

前記第 1 および第 2 の要求生成器のうちの少なくとも 1 つは、パルス生成器およびラッチング回路を含み、該パルス生成器は、メモリアクセス要求を受信することに応じて、パルスを生成するように動作可能であり、該ラッチング回路は、該メモリアクセス要求が未だ実行されていない場合に、第 1 の論理値を格納するように動作可能であり、該メモリアクセス要求が前記制御回路を用いて実行された場合に、該第 1 の論理値とは異なる第 2 の論理値を格納するように動作可能である、請求項 1 1 に記載のデュアルポートメモリ。

【請求項 1 3】

前記第 1 および第 2 の要求生成器を制御する前記 2 つの異なるクロック信号は、異なるそれぞれの位相を有する、請求項 1 1 に記載のデュアルポートメモリ。

【請求項 1 4】

前記第 1 および第 2 のメモリアクセス要求は、異なる時間に到達し、前記仲裁回路は、前記非同期モードで動作する間、満足に対して、該第 1 および第 2 のメモリアクセス要求のうちのより早く到達する 1 つを選択するように動作可能である、請求項 1 1 に記載のデュアルポートメモリ。

【請求項 1 5】

前記仲裁回路は、第 1 および第 2 の交差連結された論理ゲートを有するラッチング回路を含み、該第 1 の論理ゲートは、前記第 1 の要求生成器から第 1 の出力信号を受信するように動作可能であり、かつ第 1 の論理値を有する第 1 の制御信号を生成するように動作可能であり、該第 2 の論理ゲートは、前記第 2 の要求生成器から第 2 の出力信号を受信するように動作可能であり、かつ該第 1 の論理値とは異なる第 2 の論理値を有する第 2 の制御信号を生成するように動作可能である、請求項 1 1 に記載のデュアルポートメモリ。

【請求項 1 6】

単一ポートメモリ要素のアレイと、第 1 および第 2 のポートとを含むデュアルポートメモリを使用するための方法であって、該方法は、

制御回路を用いて、該単一ポートメモリ要素のアレイにアクセスすることと、

第 1 の要求生成器を用いて、該第 1 のポートから第 1 のメモリアクセス要求を受信することと、

第 2 の要求生成器を用いて、該第 2 のポートから第 2 のメモリアクセス要求を受信することと、

仲裁回路を用いて、出力信号をアサートすることによって、該第 1 および第 2 のメモリアクセス要求のうちの選択された 1 つを満たすように該制御回路に指示することと、

該制御回路を用いて、該選択されたメモリアクセス要求の満足に応じて、制御信号をアサートすることと、

該第 1 および第 2 の要求生成器を用いて該制御信号を受信することと

を含む、方法。

【請求項 1 7】

前記選択されたメモリアクセス要求の満足に応じて前記出力信号をデアサートすることをさらに含む、請求項 1 6 に記載の方法。

【請求項 1 8】

同期モードで前記デュアルポートメモリを動作させることをさらに含み、該同期モードにおいて、前記第 1 および第 2 の要求生成器は、等しい周波数を有する少なくとも 2 つのクロック信号を用いて制御される、請求項 1 6 に記載の方法。

【請求項 1 9】

非同期モードで前記デュアルポートメモリを動作させることをさらに含み、該非同期モードにおいて、前記第 1 および第 2 の要求生成器は、異なる周波数を有する少なくとも 2

つのクロック信号を用いて制御される、請求項 16 に記載の方法。

【請求項 20】

同期モードで前記デュアルポートメモリを動作させることと、非同期モードで該デュアルポートメモリを動作させることをさらに含み、該同期モードにおいて、前記第 1 および第 2 の要求生成器は、等しい周波数を有する少なくとも 2 つのクロック信号を用いて制御され、該非同期モードにおいて、該第 1 および第 2 の要求生成器は、異なる周波数を有する少なくとも 2 つのクロック信号を用いて制御される、請求項 16 に記載の方法。

【請求項 21】

前記第 1 および第 2 の要求生成器のうちの少なくとも 1 つは、パルス生成器およびラッチング回路を含み、前記方法は、

該パルス生成器を用いて、メモリアクセス要求が該第 1 および第 2 の要求生成器のうちの該少なくとも 1 つに到達したことを検出することに応じてパルスを生成することと、

該ラッチング回路を用いて、該メモリアクセス要求が未だ満たされていない場合に、第 1 の論理値を格納し、該メモリアクセス要求が前記制御回路を用いて満たされた場合に、該第 1 の論理値とは異なる第 2 の論理値を格納することと

をさらに含む、請求項 16 に記載の方法。