

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成27年8月20日(2015.8.20)

【公開番号】特開2013-65391(P2013-65391A)

【公開日】平成25年4月11日(2013.4.11)

【年通号数】公開・登録公報2013-017

【出願番号】特願2012-201000(P2012-201000)

【国際特許分類】

G 11 C 11/413 (2006.01)

G 06 F 12/00 (2006.01)

【F I】

G 11 C 11/34 K

G 06 F 12/00 5 7 0 C

【手続補正書】

【提出日】平成27年7月1日(2015.7.1)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1および第2のポートを有するデュアルポートメモリであって、該デュアルポートメモリは、

单一ポートメモリ要素のアレイと、

該アレイに連結されており、かつ該アレイからデータを読み取り、該アレイにデータを書き込むように動作可能である制御回路と、

該第1のポートから第1のメモリアクセス要求を受信するように動作可能な第1の要求生成器と、

該第2のポートから第2のメモリアクセス要求を受信するように動作可能な第2の要求生成器と、

該制御回路、並びに該第1および第2の要求生成器に連結されている仲裁回路とを含み、

該仲裁回路は、同期モードで動作可能であり、該同期モードにおいて、該第1および第2の要求生成器は、等しい周波数を有する第1および第2のクロック信号を用いて制御され、該第1のクロック信号の各クロック周期の間および該第2のクロック信号の各クロック周期の間に、該第1および第2のメモリアクセス要求のうちの1つのみを満たすために、該制御回路に指示するように動作可能である、デュアルポートメモリ。

【請求項2】

前記第1および第2の要求生成器のうちの少なくとも1つは、パルス生成器およびラッチング回路を含み、該パルス生成器は、メモリアクセス要求を受信することに応じて、パルスを生成するように動作可能であり、該ラッチング回路は、該メモリアクセス要求が未だ実行されていない場合に、第1の論理値を格納するように動作可能であり、該メモリアクセス要求が前記制御回路を用いて実行された場合に、該第1の論理値とは異なる第2の論理値を格納するように動作可能である、請求項1に記載のデュアルポートメモリ。

【請求項3】

前記仲裁回路は、所定の論理表に基づく満足に対して、前記第1および第2のメモリアクセス要求のうちの1つのみを選択するように動作可能である、請求項1に記載のデュアルポートメモリ。

ルポートメモリ。

【請求項 4】

前記仲裁回路は、前記第1の要求生成器から第1の出力信号を受信するように動作可能である第1の入力と、前記第2の要求生成器から第2の出力信号を受信するように動作可能である第2の入力と、前記制御回路から制御信号を受信するように動作可能である第3の入力と、出力信号が提供される出力を有する論理ゲートを含み、該出力信号は、該制御回路が前記アレイにアクセスしている間にアサートされる、請求項1に記載のデュアルポートメモリ。

【請求項 5】

前記仲裁回路は、前記第2の要求生成器に連結されている第1の入力と、前記第1の要求生成器および該第2の要求生成器に連結されている第2の入力と、出力信号が提供される出力を有する論理ゲートを含み、該出力信号は、前記第1のメモリアクセス要求を満たす場合に、第1の論理値を有し、前記第2のメモリアクセス要求を満たす場合に、該第1の論理値とは異なる第2の論理値を有する、請求項1に記載のデュアルポートメモリ。

【請求項 6】

前記仲裁回路は、非同期モードにおいてさらに動作可能であり、該非同期モードにおいて、前記第1および第2の要求生成器は、異なる周波数を有する少なくとも2つのクロック信号を用いて制御されている、請求項1に記載のデュアルポートメモリ。

【請求項 7】

前記第1および第2の要求生成器のうちの少なくとも1つは、パルス生成器およびラッチング回路を含み、該パルス生成器は、メモリアクセス要求を受信することに応じて、パルスを生成するように動作可能であり、該ラッチング回路は、該メモリアクセス要求が未だ実行されていない場合に、第1の論理値を格納するように動作可能であり、該メモリアクセス要求が前記制御回路を用いて実行された場合に、該第1の論理値とは異なる第2の論理値を格納するように動作可能である、請求項6に記載のデュアルポートメモリ。

【請求項 8】

前記仲裁回路は、前記同期モードで動作するとき、所定の論理表に基づく満足に対して、前記第1および第2のメモリアクセス要求のうちの1つのみを選択するように動作可能である、請求項6に記載のデュアルポートメモリ。

【請求項 9】

前記第1および第2のメモリアクセス要求は、異なる時間に到達し、前記仲裁回路は、前記非同期モードで動作するとき、満足に対して、該第1および第2のメモリアクセス要求のうちのより早く到達する1つを選択するように動作可能である、請求項6に記載のデュアルポートメモリ。

【請求項 10】

前記仲裁回路は、前記第1および第2のメモリアクセス要求のうちの選択された1つを満たすように前記制御回路に指示するために、出力信号をアサートし、該選択されたメモリアクセス要求の満足に応じて該出力信号をデアサートするように動作可能である、請求項6に記載のデュアルポートメモリ。

【請求項 11】

第1および第2のポートを有するデュアルポートメモリであって、該デュアルポートメモリは、

单一ポートメモリ要素のアレイと、

該アレイに連結されており、かつ該アレイからデータを読み取り、該アレイにデータを書き込むように動作可能である制御回路と、

該第1のポートから第1のメモリアクセス要求を受信するように動作可能な第1の要求生成器と、

該第2のポートから第2のメモリアクセス要求を受信するように動作可能な第2の要求生成器と、

該制御回路、並びに該第1および第2の要求生成器に連結されている仲裁回路と

を含み、

該仲裁回路は、非同期モードで動作可能であり、該非同期モードにおいて、該第1および第2の要求生成器は、異なるそれぞれの周波数を有する2つの異なるクロック信号を用いて制御される、デュアルポートメモリ。

【請求項12】

前記第1および第2の要求生成器のうちの少なくとも1つは、パルス生成器およびラッチング回路を含み、該パルス生成器は、メモリアクセス要求を受信することに応じて、パルスを生成するように動作可能であり、該ラッチング回路は、該メモリアクセス要求が未だ実行されていない場合に、第1の論理値を格納するように動作可能であり、該メモリアクセス要求が前記制御回路を用いて実行された場合に、該第1の論理値とは異なる第2の論理値を格納するように動作可能である、請求項11に記載のデュアルポートメモリ。

【請求項13】

前記第1および第2の要求生成器を制御する前記2つの異なるクロック信号は、異なるそれぞれの位相を有する、請求項11に記載のデュアルポートメモリ。

【請求項14】

前記第1および第2のメモリアクセス要求は、異なる時間に到達し、前記仲裁回路は、前記非同期モードで動作する間、満足に対して、該第1および第2のメモリアクセス要求のうちのより早く到達する1つを選択するように動作可能である、請求項11に記載のデュアルポートメモリ。

【請求項15】

前記仲裁回路は、第1および第2の交差連結された論理ゲートを有するラッチング回路を含み、該第1の論理ゲートは、前記第1の要求生成器から第1の出力信号を受信するように動作可能であり、かつ第1の論理値を有する第1の制御信号を生成するように動作可能であり、該第2の論理ゲートは、前記第2の要求生成器から第2の出力信号を受信するように動作可能であり、かつ該第1の論理値とは異なる第2の論理値を有する第2の制御信号を生成するように動作可能である、請求項11に記載のデュアルポートメモリ。

【請求項16】

単一ポートメモリ要素のアレイと、第1および第2のポートとを含むデュアルポートメモリを使用するための方法であって、該方法は、

制御回路を用いて、該单一ポートメモリ要素のアレイにアクセスすることと、

第1の要求生成器を用いて、該第1のポートから第1のメモリアクセス要求を受信することと、

第2の要求生成器を用いて、該第2のポートから第2のメモリアクセス要求を受信することと、

仲裁回路を用いて、出力信号をアサートすることによって、該第1および第2のメモリアクセス要求のうちの選択された1つを満たすように該制御回路に指示することと、

該制御回路を用いて、該選択されたメモリアクセス要求の満足に応じて、制御信号をアサートすることと、

該第1および第2の要求生成器を用いて該制御信号を受信することと
を含む、方法。

【請求項17】

前記選択されたメモリアクセス要求の満足に応じて前記出力信号をデアサートすることをさらに含む、請求項16に記載の方法。

【請求項18】

同期モードで前記デュアルポートメモリを動作させることをさらに含み、該同期モードにおいて、前記第1および第2の要求生成器は、等しい周波数を有する少なくとも2つのクロック信号を用いて制御される、請求項16に記載の方法。

【請求項19】

非同期モードで前記デュアルポートメモリを動作させることをさらに含み、該非同期モードにおいて、前記第1および第2の要求生成器は、異なる周波数を有する少なくとも2

つのクロック信号を用いて制御される、請求項 1 6 に記載の方法。

【請求項 2 0】

同期モードで前記デュアルポートメモリを動作させることと、非同期モードで該デュアルポートメモリを動作させることをさらに含み、該同期モードにおいて、前記第 1 および第 2 の要求生成器は、等しい周波数を有する少なくとも 2 つのクロック信号を用いて制御され、該非同期モードにおいて、該第 1 および第 2 の要求生成器は、異なる周波数を有する少なくとも 2 つのクロック信号を用いて制御される、請求項 1 6 に記載の方法。

【請求項 2 1】

前記第 1 および第 2 の要求生成器のうちの少なくとも 1 つは、パルス生成器およびラッチング回路を含み、前記方法は、

該パルス生成器を用いて、メモリアクセス要求が該第 1 および第 2 の要求生成器のうちの該少なくとも 1 つに到達したことを検出することに応じてパルスを生成することと、

該ラッチング回路を用いて、該メモリアクセス要求が未だ満たされていない場合に、第 1 の論理値を格納し、該メモリアクセス要求が前記制御回路を用いて満たされた場合に、該第 1 の論理値とは異なる第 2 の論理値を格納することと

をさらに含む、請求項 1 6 に記載の方法。