

【公報種別】特許法第17条の2の規定による補正の掲載  
 【部門区分】第7部門第2区分  
 【発行日】平成21年11月26日(2009.11.26)

【公表番号】特表2009-514214(P2009-514214A)  
 【公表日】平成21年4月2日(2009.4.2)  
 【年通号数】公開・登録公報2009-013  
 【出願番号】特願2008-537740(P2008-537740)  
 【国際特許分類】

H 0 1 L 29/786 (2006.01)

H 0 1 L 21/8244 (2006.01)

H 0 1 L 27/11 (2006.01)

【F I】

H 0 1 L 29/78 6 1 3 B

H 0 1 L 29/78 6 1 8 C

H 0 1 L 29/78 6 1 7 K

H 0 1 L 27/10 3 8 1

【手続補正書】

【提出日】平成21年10月7日(2009.10.7)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

プルダウントランジスタ、プルアップトランジスタ及びパスゲートトランジスタを有するスタティック・ランダム・アクセス・メモリ(SRAM)セルを製造する方法であって  
 :

縦型活性領域と、該縦型活性領域の両側に延在する水平活性領域と、を有する前記プルダウントランジスタを形成する工程；

縦型活性領域を有するが水平活性領域を有しない前記プルアップトランジスタを形成する工程；及び

縦型活性領域と、該縦型活性領域の片側のみ延在する水平活性領域と、を有する前記パスゲートトランジスタを形成する工程；

を有する方法。

【請求項2】

前記プルアップトランジスタはPチャネルトランジスタである、請求項1に記載の方法。

【請求項3】

前記プルダウントランジスタ及び前記プルアップトランジスタは共通のゲート電極を共有している、請求項2に記載の方法。

【請求項4】

前記プルダウントランジスタの第1の側壁スペーサ、前記プルアップトランジスタの第2の側壁スペーサ、及び前記パスゲートトランジスタの第3の側壁スペーサを形成する工程、を更に有する請求項1に記載の方法。

【請求項5】

前記第1の側壁スペーサをマスクし、且つ前記第3の側壁スペーサの一部をマスクする工程、を更に有する請求項4に記載の方法。

## 【請求項 6】

前記第 2 の側壁スペーサ、前記プルアップトランジスタに対応する水平活性領域、前記第 3 の側壁スペーサのマスクされていない部分、及び前記パスゲートトランジスタに対応する水平活性領域の一部をエッチングする工程、を更に有する請求項5に記載の方法。

## 【請求項 7】

縦型活性領域と、該縦型活性領域の両側に延在する水平活性領域と、を有するプルダウントランジスタ；

縦型活性領域を有するが水平活性領域を有しないプルアップトランジスタ；及び  
縦型活性領域と、該縦型活性領域の片側のみに延在する水平活性領域と、を有するパスゲートトランジスタ；

を有する S R A M ビットセル。

## 【請求項 8】

前記プルダウントランジスタのチャンネルの周囲長は、前記プルアップトランジスタ及び前記パスゲートトランジスタのチャンネルの周囲長より大きい、請求項7に記載の S R A M ビットセル。

## 【請求項 9】

前記プルダウントランジスタは、前記プルアップトランジスタのゲート長、又は前記パスゲートトランジスタのゲート長より小さいゲート長を有する、請求項7に記載の S R A M ビットセル。

## 【請求項 10】

前記プルダウントランジスタのドレイン領域と前記プルアップトランジスタのドレイン領域とは、連続的なシリコン領域を用いて接続されており、前記連続的なシリコン領域は、前記プルダウントランジスタの前記水平活性領域及び前記縦型活性領域を、前記プルアップトランジスタの前記縦型活性領域に接続している、前記請求項7に記載の S R A M ビットセル。

## 【請求項 11】

前記プルダウントランジスタ及び前記プルアップトランジスタは共通のゲート電極を共有している、請求項7に記載の S R A M ビットセル。

## 【請求項 12】

前記プルアップトランジスタは P チャンネルトランジスタである、請求項7に記載の S R A M ビットセル。

## 【請求項 13】

前記プルダウントランジスタの閾値電圧は、前記パスゲートトランジスタの閾値電圧より低い値に設定されている、請求項7に記載の S R A M ビットセル。

## 【請求項 14】

前記プルダウントランジスタの前記閾値電圧は、前記縦型活性領域の幅及び前記水平活性領域の高さの少なくとも一方を調整することによって設定されている、請求項13に記載の S R A M ビットセル。