

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第4938961号  
(P4938961)

(45) 発行日 平成24年5月23日(2012.5.23)

(24) 登録日 平成24年3月2日(2012.3.2)

(51) Int.Cl.

F 1

<b>H01L 27/146</b>	<b>(2006.01)</b>	H01L 27/14	C
<b>G01T 1/20</b>	<b>(2006.01)</b>	G01T 1/20	E
<b>G01T 1/24</b>	<b>(2006.01)</b>	G01T 1/24	
<b>H01L 27/144</b>	<b>(2006.01)</b>	H01L 27/14	K
<b>H01L 29/786</b>	<b>(2006.01)</b>	H01L 29/78	613Z

請求項の数 8 (全 25 頁) 最終頁に続く

(21) 出願番号

特願2003-381372 (P2003-381372)

(22) 出願日

平成15年11月11日 (2003.11.11)

(65) 公開番号

特開2004-179645 (P2004-179645A)

(43) 公開日

平成16年6月24日 (2004.6.24)

審査請求日 平成18年11月9日 (2006.11.9)

(31) 優先権主張番号 特願2002-329653 (P2002-329653)

(32) 優先日 平成14年11月13日 (2002.11.13)

(33) 優先権主張国 日本国 (JP)

(73) 特許権者 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(74) 代理人 100076428

弁理士 大塚 康徳

(74) 代理人 100112508

弁理士 高柳 司郎

(74) 代理人 100115071

弁理士 大塚 康弘

(74) 代理人 100116894

弁理士 木村 秀二

(74) 代理人 100130409

弁理士 下山 治

(74) 代理人 100134175

弁理士 永川 行光

最終頁に続く

(54) 【発明の名称】撮像装置、放射線撮像装置及び放射線撮像システム

## (57) 【特許請求の範囲】

## 【請求項 1】

基板と、

前記基板上に配置され、ゲート電極、ソース電極、ドレイン電極及びチャネルを有するスイッチ素子と、前記スイッチ素子の少なくとも一部の上に配置された、電磁波を電気信号に変換する半導体変換素子とを含む複数の画素と、

前記ソース電極及び前記ドレイン電極のうちの一方の電極に接続された信号配線と、

前記ゲート電極に接続された駆動配線と、

前記半導体変換素子に接続されたバイアス配線と

を有する撮像装置であつて、

前記半導体変換素子は、前記ソース電極及び前記ドレイン電極のうちの他方の電極に電気的に接続された電極と、当該電極の上且つ前記バイアス配線の下に配置された半導体層とを有し、

前記半導体変換素子の前記電極及び前記半導体層は、前記駆動配線の一部及び前記他方の電極の一部を覆うとともに、前記駆動配線の一部及び前記一方の電極の一部を開口するように形成され、

前記半導体層は前記チャネルを更に覆い、

前記電極及び前記半導体層から開口された部分の前記駆動配線は、前記一方の電極、前記他方の電極、前記ゲート電極、前記信号配線、前記バイアス配線及び前記半導体変換素子の前記電極の何れとも重ならず、且つ前記駆動配線の他の部分よりも線幅が細い切断用

10

20

領域を有し、

前記電極及び前記半導体層から開口された部分の前記一方の電極は、前記他方の電極、前記ゲート電極、前記駆動配線、前記信号配線、前記バイアス配線及び前記半導体変換素子の前記電極の何れとも重ならず、且つ前記一方の電極の他の部分よりも線幅が細い切断用領域を有し、

前記複数の画素のうち欠陥が生じた画素は、前記駆動配線の前記切断用領域と、前記一方の電極の前記切断用領域とに、前記半導体変換素子の前記電極及び前記半導体層が開口する領域を通って照射されたレーザーにより切断された箇所を有することを特徴とする撮像装置。

**【請求項 2】**

10

前記スイッチ素子は薄膜トランジスタからなり、

前記駆動配線は前記ゲート電極として機能する突き出し部を有し、

前記半導体変換素子の前記電極及び前記半導体素子は、前記突き出し部の一部を更に開口するように形成され、

前記電極及び前記半導体層から開口された部分の前記突き出し部は、前記一方の電極、前記他方の電極、前記駆動配線、前記信号配線、前記バイアス配線及び前記半導体変換素子の前記電極の何れとも重ならない切断用領域を有し、

前記欠陥が生じた画素は、前記突き出し部の前記切断用領域に、前記半導体変換素子の前記電極及び前記半導体層が開口する領域を通って照射されたレーザーにより切断された箇所を有する

ことを特徴とする請求項 1 に記載の撮像装置。

**【請求項 3】**

20

前記スイッチ素子は薄膜トランジスタからなり、

前記ゲート電極は前記駆動配線の一部であり、

前記半導体変換素子の前記電極及び前記半導体層は、前記ゲート電極の一部及び前記他方の電極の一部を更に開口するように形成され、

前記電極及び前記半導体層から開口された部分の前記ゲート電極は、前記一方の電極、前記他方の電極、前記駆動配線、前記信号配線、前記バイアス配線及び前記半導体変換素子の前記電極の何れとも重ならない切断用領域を有し、

前記電極及び前記半導体層から開口された部分の前記他方の電極は、前記一方の電極、前記ゲートの電極、前記駆動配線、前記信号配線、前記バイアス配線及び前記半導体変換素子の前記電極の何れとも重ならず、且つ前記他方の電極の他の部分よりも線幅が細い切断用領域を有し、

前記欠陥が生じた画素は、前記ゲート電極の前記切断用領域と前記他方の電極の前記切断用領域とに、前記半導体変換素子の前記電極及び前記半導体層が開口する領域を通って照射されたレーザーにより切断された箇所を有する

ことを特徴とする請求項 1 に記載の撮像装置。

**【請求項 4】**

30

前記半導体変換素子は、絶縁層、半導体層、オーミックコンタクト層と、上下に配置した電極層からなる M I S 型半導体変換素子であることを特徴とする請求項 1 乃至 3 の何れか 1 項に記載の撮像装置。

**【請求項 5】**

40

前記半導体変換素子は、n 型半導体層、i 型半導体層、p 型半導体層と、上下に配置した電極層からなる P I N 型半導体変換素子であることを特徴とする請求項 1 乃至 3 の何れか 1 項に記載の撮像装置。

**【請求項 6】**

請求項 1 乃至 5 の何れか 1 項に記載の撮像装置を有し、

前記撮像装置の前記半導体変換素子は光電変換素子であり、

前記光電変換素子上に、放射線を前記光電変換素子で光電変換可能な波長領域の光に変換する波長変換層を有する放射線撮像装置。

50

**【請求項 7】**

請求項 1 乃至 5 の何れか 1 項に記載の撮像装置を有し、  
前記撮像装置の前記半導体変換素子は、放射線を直接電気信号に変換する素子である放射線撮像装置。  
**【請求項 8】**  
請求項 6 又は 7 に記載の放射線撮像装置と、  
前記放射線撮像装置からの信号を処理する信号処理手段と、  
前記信号処理手段からの信号を記録するための記録手段と、  
前記信号処理手段からの信号を表示するための表示手段と、  
前記信号処理手段からの信号を伝送するための伝送処理手段と、  
前記放射線を発生させるための放射線源と、  
を具備することを特徴とする放射線撮像システム。 10

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明は、医療用 X 線カメラや分析装置、非破壊検査装置などに用いられる撮像装置、放射線撮像装置及び放射線撮像システムに関するものである。

**【背景技術】****【0002】**

近年、医療用 X 線カメラにおいて、フィルムを用いた撮像方式からデジタル画像撮像方式へと急速に移行しつつある。デジタル方式では画像処理が可能となるため診断精度を向上させることができる。また現像の必要がないため撮影間隔を短くでき、集団検診等で効率よく撮影することができる。 20

**【0003】**

デジタル方式の撮像装置は、X 線等の放射線を可視光等の光へ波長変換し、その光を電荷等の電気信号に変換する間接方式と、放射線を直接電荷等の電気信号に変換する直接方式とがある。間接方式では、放射線を光に変換する波長変換層（例えば蛍光体層）と光電変換素子、及び TFT (Thin Film Transistor : 薄膜トランジスタ) が対となり撮像装置を構成している。また、直接方式では放射線撮像素子と TFT とが対となり撮像装置を構成している。 30

**【0004】**

例えば、特許文献 1 や特許文献 2 では、基板上に第一の半導体層を含む TFT を形成し、その上に第二の半導体層を含む半導体変換素子を形成する構造が記載されている。

**【0005】**

従来、このような医療用デジタル方式の X 線カメラでは、フィルムと同等のサイズ、及び解像度を得るために、基板上に数百ミクロン角の画素を数百万個配置した数十cm角の高精細且つ大面積の放射線撮像装置を使用している。

**【0006】**

撮像装置の製造工程では、パーティクルやプロセス不具合による配線ショート、断線等の欠陥がある確率で発生する。したがって、欠陥の発生を少なくする為の工程管理、プロセス開発とともに、欠陥箇所をリペアするリペア技術を用いて製造が行われている。 40

**【0007】**

例えば、特許文献 3 には、欠陥画素にレーザーを照射し金属及び半導体層を溶解し、欠陥画素を電気的に切断することでリペアを行う技術が開示されている。また、各欠陥の種類によって、切断する箇所は、TFT 領域、TFT 駆動配線、ソース・ドレイン電極、信号配線、バイアス配線などさまざまな箇所が考えられる。なお、電気的に切断された画素の座標は、デジタル X 線カメラのシステムに記憶され、周囲の画素データを用いて、データ補間する画像処理が一般に行われている。

【特許文献 1】米国特許第5,498,880号明細書

【特許文献 2】米国特許第5,619,033号明細書

【特許文献 3】米国特許第6,332,016号明細書

【発明の開示】

【発明が解決しようとする課題】

【0008】

一般にレーザーによるリペアでは、レーザー照射部分に複数の金属膜が存在すると、条件によっては、溶解時にそれらの金属が互いにショートするため、リペアを行うことが困難な場合がある。特に上述したような特許文献1、特許文献2の構造においては、リペアを行うTFT領域上面に光検出素子の下電極が存在するため、リペアを行うとTFTを構成する電極や配線と前記光検出素子の下電極がショートするため欠陥部の電気的分離が困難である。

10

【0009】

また、更に切断すべき配線上に金属膜や厚膜の高抵抗半導体層が存在している場合には、切断の加工精度が低下したり、場合によっては切断ができないといった不具合も発生する恐れがある。

【0010】

以上述べたように、スイッチ素子と半導体変換素子の半導体層を互いに異なる層で作成した場合に、好適なリペアを行う構成に関しては更なる検討が必要である。

【0011】

本発明は、このような従来の事情を考慮してなされたものであり、欠陥が発生しても、欠陥部分のレーザーリペアによる加工を安定して行うことが可能となり、生産歩留まりの高い撮像装置及び放射線撮像装置を提供することを目的とする。

20

【課題を解決するための手段】

【0012】

上記課題を解決するための手段として、本発明の1つの側面に係る撮像装置は、基板と、前記基板上に配置され、ゲート電極、ソース電極、ドレイン電極及びチャネルを有するスイッチ素子と、前記スイッチ素子の少なくとも一部の上に配置された、電磁波を電気信号に変換する半導体変換素子とを含む複数の画素と、前記ソース電極及び前記ドレイン電極のうちの一方の電極に接続された信号配線と、前記ゲート電極に接続された駆動配線と、前記半導体変換素子に接続されたバイアス配線とを有する撮像装置であって、前記半導体変換素子は、前記ソース電極及び前記ドレイン電極のうちの他方の電極に電気的に接続された電極と、当該電極の上且つ前記バイアス配線の下に配置された半導体層とを有し、前記半導体変換素子の前記電極及び前記半導体層は、前記駆動配線の一部及び前記他方の電極の一部を覆うとともに、前記駆動配線の一部及び前記一方の電極の一部を開口するように形成され、前記半導体層は前記チャネルを更に覆い、前記電極及び前記半導体層から開口された部分の前記駆動配線は、前記一方の電極、前記他方の電極、前記ゲート電極、前記信号配線、前記バイアス配線及び前記半導体変換素子の前記電極の何れとも重ならず、且つ前記駆動配線の他の部分よりも線幅が細い切断用領域を有し、前記電極及び前記半導体層から開口された部分の前記一方の電極は、前記他方の電極、前記ゲート電極、前記駆動配線、前記信号配線、前記バイアス配線及び前記半導体変換素子の前記電極の何れとも重ならず、且つ前記一方の電極の他の部分よりも線幅が細い切断用領域を有し、前記複数の画素のうち欠陥が生じた画素は、前記駆動配線の前記切断用領域と、前記一方の電極の前記切断用領域とに、前記半導体変換素子の前記電極及び前記半導体層が開口する領域を通って照射されたレーザーにより切断された箇所を有することを特徴とする。

30

【0015】

なお、開口とは、少なくとも半導体変換素子の電極を、駆動配線、スイッチ素子の電極及び信号配線のうちの二つが互いに重ならない領域において、少なくとも、駆動配線上の一部及びスイッチ素子の電極上の一部を除くように形成することで形成されるもので（電極の他に他の層を除去してもよい。）、半導体変換素子が上電極、下電極を有する場合には、上電極、下電極、又は上電極と下電極の一部を除くように形成することで形成される

40

50

ものである。

**【0016】**

本願においては、電磁波は可視光、赤外光等の光から、X線、線、線、線等の放射線までの波長領域のものを含むものとする。

**【発明の効果】**

**【0017】**

本発明によれば、欠陥部分のレーザーリペアによる加工を安定して行うことが可能となり、生産歩留まりが向上するものである。

**【発明を実施するための最良の形態】**

**【0018】**

以下、本発明の実施の形態について図面を用いて詳細に説明する。

**[第一の実施形態]**

本実施形態では、TFTからなるスイッチ素子と、その上層に形成したPIN型フォトダイオードからなる半導体変換素子（光電変換素子）とから構成される画素を用いた撮像装置の例を図1～図4を用いて説明する。

**【0019】**

本実施形態の模式的等価回路図を図1に示す。

図1において、TFT（薄膜トランジスタ）1の共通の駆動配線（TFT駆動配線）201は、TFT1のオン、オフを制御するゲートドライバ2に接続されている。さらにTFT1のソース若しくはドレイン電極は、共通の信号配線203に接続されており、信号配線203は、アンプIC3に接続されている。また、PIN型半導体変換素子4を駆動するバイアス配線204は、共通電極ドライバ5に接続されている。

**【0020】**

図2、図3に本実施形態の模式的断面図を示す。

図2では、TFT1に対応する領域の金属膜108及びn型半導体層109を除去して、開口120を形成している。図3では、さらにTFT1に対応する領域の第二の半導体層110及びp型半導体層111を除去して、開口120を形成している。

**【0021】**

図2、図3を用いて本実施形態による撮像装置の層構成の一例を説明する。

まずガラス基板100上に第一の導電層101(例えばAlNd/Mo、2500)をスパッタリング法により成膜し、次いでパターニングを行い、突き出し部がゲート電極となるTFT駆動配線201を形成する。次に、その上に第一の絶縁層102(例えばSiN、3000)、第一の半導体層103(例えばa-Si、500)、第二の絶縁層(チャネル保護層)104(例えばSiN、2000)をCVD法により連続的に順次成膜し、次いで裏面露光とマスク露光により形成したレジスト像(不図示)を用いて第二の絶縁層104を、TFTのチャネル上及びTFT駆動配線上にのみ残るようにエッチングする。

**【0022】**

ここでは、TFTの転送能力を向上させるため、TFT部の信号配線側電極とTFT駆動配線の重なりにより発生する寄生容量を低減するために、裏面露光を用いエッチストップ型のTFTを形成するのが好ましい。

**【0023】**

続いてCVD法によりオーミックコンタクト層105(例えばn<sup>+</sup>型a-Si、200)を成膜し、その上にスパッタリング法により第二の導電層106(例えばAlNd/Mo、4000)を成膜し、次いでウエットエッチング法でパターニングしてTFTの各ソース、ドレイン電極及び信号配線を形成する。そして、引き続きドライエッチング法により、オーミックコンタクト層105のソース・ドレイン間の分離、及び第一の半導体層103の素子間分離を行う。

**【0024】**

次に平坦化膜として第三の絶縁層107(例えば有機膜BCB(ベンゾシクロブテン)やPI(ポリイミド))を堆積し、コンタクトホールをTFTの電極上に形成する。そし

10

20

20

30

40

50

て引き続き第三の導電層 108(例えば AlNd/Mo、2000)をスパッタリング法により成膜し、コンタクトホールを介して TFTと接続し、且つフォトダイオードの下電極(画素電極)を形成する。TFTのドレイン電極はフォトダイオードの下電極まで形成され、コンタクトホールを介して接続される。

#### 【0025】

フォトダイオードの下電極は、少なくとも、TFT駆動配線(突き出し部がゲート電極となる)、TFTのソース・ドレイン電極、信号配線のうちの二つが互いに重なる領域以外の、TFT駆動配線(ゲート電極を含む)上の少なくとも一部及びTFTのソース・ドレイン電極上の少なくとも一部を除くように配置される。ここでは、信号配線、TFT構成部、TFT駆動配線と信号配線との重なり部(交差部)、及びその周辺領域の、フォトダイオードの下電極が除去される。その周辺領域には、少なくとも駆動配線、TFTのソース・ドレイン電極が通っており、駆動配線、TFTのソース・ドレイン電極をレーザーで切断可能となっている。ただし、TFT駆動配線と信号配線との重なり領域、及びTFTのゲート電極とソース・ドレイン領域との重なり領域にフォトダイオードの下電極が残っていてもよい。つまり、後述するリペアが可能なようにフォトダイオードの下電極が除かれていればよい。

#### 【0026】

その後、図2に示すように第一のn型半導体層109のみを画素間で分離する場合は、第一のn型半導体層109(例えばn<sup>+</sup>型a-Si、1000)を成膜した後、画素間で分離を行い、続いて第二の半導体層110(例えばi型a-Si、5000)、第一のp型半導体層111(例えばp型a-Si、1000)の2層をCVD法により連続的に順次成膜する。さらにスパッタリング法により第四の導電層112(例えばMo/Al/Mo、4000)を成膜し、フォトダイオードのバイアス配線を形成する。

#### 【0027】

更に、TFT領域上面の第二の半導体層110は、p型半導体層111の画素分離後、引き続きハーフエッチングにより薄膜化すれば、レーザーリペアによる加工性が安定して更に好ましい。続いて保護層113(例えばSiNと有機膜)を形成し、電気検査を行い、必要に応じて欠陥部分のレーザーリペアを施す。その後本実施形態では波長変換層としての蛍光体層119を放射線の入射面に形成する。蛍光体層119としては、X線等の放射線を可視光に変換するGd<sub>2</sub>O<sub>2</sub>S、CsI等の蛍光体層を配置する。蛍光体層119はここで保護層113上に直接形成しているが、シート上に蛍光体層を形成し、このシートを接着層を介して保護層113上に貼り合わせることもできる。

#### 【0028】

また、図3に示すように画素分離をn型半導体層109だけではなく、第2の半導体層110、p型半導体層111を含めて行うことも可能である。この場合にも、フォトダイオードの下電極は、TFT駆動配線(突き出し部がゲート電極となる)、TFTのソース・ドレイン電極、信号配線のうちの二つが互いに重なる領域以外の、TFT駆動配線(ゲート電極を含む)上の少なくとも一部及びTFTのソース・ドレイン電極上の少なくとも一部を除くように配置される。そしてn型半導体層109(例えばn型a-Si、1000)、第二の半導体層110(例えばi型a-Si、5000)、p型半導体層111(例えばp型a-Si、1000)をCVD法により連続成膜する。さらにスパッタリング法により第四の導電層112(例えばMo/Al/Mo、4000)を成膜し、フォトダイオードのバイアス配線を形成する。そしてp型半導体層111、i型半導体層110、n型半導体層109からなるフォトダイオードには、TFT駆動配線(突き出し部がゲート電極となる)、TFTのソース・ドレイン電極、信号配線のうちの二つが互いに重なる領域以外の、TFT駆動配線(ゲート電極を含む)上の少なくとも一部及びTFTのソース・ドレイン電極上の少なくとも一部の上面の膜をドライエッチング法により除去して開口を形成される。図3の構成の場合、蛍光体層を保護層113に直接形成するには開口部を有機材料等の充填層121で埋めてから形成することが望ましい。なお、図2、図3では半導体変換素子の電極として下電極(108)の一部が除かれる例を示している。

**【0029】**

次に、リペア方法について説明する。

**【0030】**

このリペア方法は、図3の模式的断面図に示すようなTFT領域の上にある金属膜と、第二の半導体層を除いて形成した構成を用いて説明する。

**【0031】**

図4において、1はTFT、9は光電変換素子の下電極、10はコンタクトホール、203は信号配線、201はTFT1の駆動配線、204はバイアス配線であり、11はリペアのイメージ、12は欠陥(異物によるリーク発生箇所)のイメージである。

**【0032】**

フォトダイオード4のリークや、TFT1のリーク、信号配線203とTFT駆動配線201間のリークなどの欠陥をリペアする場合、各信号配線203、TFT駆動配線201、バイアス配線204を電気的に分断するために、主にTFT領域で配線の切断を行うのが好ましい。図4では、フォトダイオード4のリーク、信号配線203とTFT駆動配線201間のリークの欠陥(欠陥イメージ12)が生じた場合を示し、TFTのドレイン電極とソース電極、及びTFT駆動配線が信号配線と交差する交差部の両側の合計4カ所をレーザーにより切断してリペアする例を示している。

10

**【0033】**

TFT駆動配線201は、1ライン中一箇所断線が起こっても、両側にゲートドライバを配置することで、TFTの制御は可能である。同様にバイアス配線204も冗長配線等を設けることにより両側から接続(全ライン接続)することで、フォトダイオードの制御は可能である。

20

**【0034】**

これに対して信号配線203を切断すると信号処理に支障をきたす、もしくは処理が複雑になるので本実施形態では信号配線203以外を切断し、リペアする例を挙げる。ただし、信号配線の両側にアンプICを配置することができれば、1ライン中一箇所断線が起こっても、信号出力が可能であり、かかる場合には信号配線上のフォトダイオードの下電極を除去し、信号配線を切断することも可能である。

**【0035】**

上述したようにレーザーによるリペアでは、レーザー照射部分に複数の金属膜が存在すると、条件によっては、溶解時にそれらの金属がショートするため、2つ以上の配線が重ならない部分でリペアをするのが好ましく、リペアを行う配線部分に金属膜(第三の導電層)や厚膜のSi膜(第二の半導体層)が存在していると、切断の加工精度が低下したり、切断できなかったりといった不具合が発生する。

30

**【0036】**

本実施形態では安定したリペアを行うために、図4中の太線(フォトダイオードの下電極9)と破線(第二の半導体層の配置領域)で示すようにTFT領域及びTFT駆動配線と信号配線との重なり部(交差部)とその周辺の上面に開口120を持たせている。

**【0037】**

また、図4では第二の半導体層をTFT領域以外でも開口させ、素子毎に分離する形状となっているが、フォトダイオードの下電極とn型半導体層が画素分離されていれば、第二の半導体層とp型半導体層はTFT領域のみの開口であって、画素間は接続されていても構わない。

40

**【0038】**

また図4に示すように、画素電極よりも半導体層の形成エリアを広くしておけば、よりショートする確率が小さくなり好ましい。

**【0039】**

本実施形態によれば、少なくとも、第一の半導体層を含むTFTと第二の半導体層と電極を含む半導体変換素子とを含む画素を複数有する撮像装置であって、半導体変換素子の画素内ショートや、TFTショート等に代表される欠陥部分のレーザーリペアによる加工

50

が安定する。

[ 第二の実施形態 ]

本実施形態では、TFTからなるスイッチ素子とMIS型の半導体変換素子（光電変換素子）とから構成される画素を有する撮像装置の例を図5～図14を用いて説明する。

【 0040 】

図5は本実施形態の模式的等価回路図である。

【 0041 】

図5において、TFT1の共通の駆動配線201はTFT1のオン、オフを制御するゲートドライバ2に接続されている。さらにTFT1のソース若しくはドレイン電極は、共通の信号配線203に接続されており、信号配線203はアンプIC3に接続されている。また、MIS型半導体変換素子4を駆動するバイアス配線204は、共通電極ドライバ5に接続されている。10

【 0042 】

図6～図8に本実施形態の模式的断面図を示す。

【 0043 】

図6では、TFT1に対応する領域上面の金属膜108を除去して、開口120を形成している。図7では、さらにTFT1に対応する領域上面の透明導電膜117、第二のオーミックコンタクト層116、第二の半導体層110、第四の絶縁層115を除去して、開口120を形成している。

【 0044 】

図8では、TFT1に対応する領域上面の金属膜108を除去し、さらにソース・ドレイン間のアクティブ領域（チャネル）を除きTFT駆動配線とソース・ドレイン電極が重ならない部分で、透明導電膜117、第二のオーミックコンタクト層116、第二の半導体層110、第四の絶縁層115を除去して、開口120を形成している。なお、図6では半導体変換素子の電極として下電極（108）の一部が除かれる例を示し、図7、図8では半導体変換素子の電極として上電極（117）と下電極（108）との一部が除かれる例を示している。20

【 0045 】

図6～図8を用いて本実施形態による撮像装置の層構成の一例を説明する。

基板100上に第一の導電層101（例えばAlNd/Mo、2500）をスパッタリング法により成膜、TFT駆動配線を形成し、その上に第一の絶縁層102（例えばSiN、3000）、第一の半導体層103（例えばa-Si、500）、第二の絶縁層（チャネル保護）104（例えばSiN、2000）をCVD法により連続成膜し、裏面露光により形成したレジスト像（不図示）を用いて第二の絶縁層（チャネル保護）104をTFT駆動配線上にのみ残るようにエッチングする。30

【 0046 】

ここでは、TFTの転送能力を向上させるため、TFT部の信号配線側電極とTFT駆動配線の重なりにより発生する寄生容量を低減するために、裏面露光を用いエッチストップ型のTFTを形成している。

【 0047 】

続いてCVD法により第一のオーミックコンタクト層105（例えばn型a-Si、200）を成膜し、その上にスパッタリング法により第二の導電層106（例えばAlNd/Mo、4000）を成膜し、次いでウェットエッチング法でパターニングしてTFTの各ソース、ドレイン電極及び信号配線を形成する。そして、引き続きドライエッチング法により、第一のオーミックコンタクト層105のソース・ドレイン間の分離、及び第一の半導体層103の素子間分離を行う。40

【 0048 】

次に平坦化膜として第三の絶縁層107（例えば有機膜BCB（ベンゾシクロブテン）やPI（ポリイミド））を堆積し、コンタクトホールをTFTの電極上に形成する。引き続き第三の導電層108（例えばAlNd/Mo、2000）をスパッタリング法により50

成膜し、コンタクトホールを介してTFTと接続し、且つ光電変換素子の下電極を形成する。TFTのドレイン電極はフォトダイオードの下電極まで形成され、コンタクトホールを介して接続される。

#### 【0049】

光電変換素子の下電極（画素電極）は、図6～図8のように、少なくとも、TFT駆動配線（突き出し部がゲート電極となる）、TFTのソース・ドレイン電極、信号配線のうちの二つが互いに重なる領域以外の、TFT駆動配線（ゲート電極を含む）上の少なくとも一部及びTFTのソース・ドレイン電極上の少なくとも一部を除くように配置される。ここでは、信号配線、TFT構成部、TFT駆動配線と信号配線との重なり部（交差部）、及びその周辺の、フォトダイオードの下電極が除去される。その周辺領域には、少なくとも駆動配線、TFTのソース・ドレイン電極が通っており、駆動配線、TFTのソース・ドレイン電極をレーザーで切断可能となっている。ただし、TFT駆動配線と信号配線との重なり領域、及びTFTのゲート電極とソース・ドレイン領域との重なり領域にフォトダイオードの下電極が残っていてもよい。つまり、後述するリペアが可能なようにフォトダイオードの下電極が除かれていればよい。10

#### 【0050】

そして第四の絶縁層115（例えばSiN 2000）、第二の半導体層110（例えばa-Si、5000）、第二のオーミックコンタクト層116（例えばn<sup>+</sup>型a-Si、500）をCVD法により連続的に順次成膜する。さらにスパッタリング法により第四の導電層112（例えばMo/A1/Mo 4000）を成膜し、光電変換素子のバイアス配線を形成する。20

#### 【0051】

さらに光電変換素子の上電極として、透明導電膜117（例えばITO、300）をスパッタリング法により成膜する。これによって図6に示した構成の撮像装置が完成する。

#### 【0052】

また本実施形態の別態様としては、図7で示すように、第二のオーミックコンタクト層116、第二の半導体層110、第四の絶縁層115も光電変換素子の下電極に対応して形成しても良い。透明導電膜117と第四の絶縁層115、第二の半導体層110、第二のオーミックコンタクト層116の全てが、少なくともTFT領域のTFT駆動配線とTFTのソース・ドレイン電極、信号配線が重ならない部分の上面にかかるないようにウェット、及びドライエッチング法を用いて膜を除去している。30

#### 【0053】

また、TFT領域上面の第四の絶縁層115は残しても構わないし、第二の高抵抗半導体層110はハーフエッチングで止め薄膜化することによっても、レーザーリペア時の加工が安定する。

#### 【0054】

さらに、図8に示すように、TFT領域で、ソース・ドレイン間のアクティブ領域のみ、透明電極層117・第二のオーミックコンタクト層116・第二の半導体層110・第四の絶縁層115を残した場合は、図6、図7と同様にレーザーリペアの加工が安定して行えると共に、TFTソース・ドレイン間のアクティブ領域に光吸収率の高い第二の半導体層110を厚いまま残すことで、TFTの光によるリーク量（ノイズ）が低減し性能が向上し更に好ましい。40

#### 【0055】

続いて保護層113（例えばSiNと有機膜）を形成し、電気検査を行い、必要に応じて欠陥部分のレーザーリペアを施す。その後本実施形態では波長変換層としての蛍光体層を放射線の入射面に形成する。蛍光体層としては、X線等の放射線を可視光に変換するGd<sub>2</sub>O<sub>2</sub>S、CsI等の蛍光体層を配置する。蛍光体層はここでは保護層113上に直接形成しているが、シート上に蛍光体層を形成し、このシートを接着層を介して保護層113上に貼り合わせることもできる。図7の構成の場合、蛍光体層を保護層113に直接形成するには開口部を有機材料等の充填層で埋めてから形成することが望ましい。50

**【0056】**

次にリペア方法について説明する。図7に示すようなTFT領域の上にある金属膜も、第二の半導体層も除いて形成した構成を用いて説明する。

**【0057】**

図9～図14において、1はTFT、9は光電変換素子の下電極、10はコンタクトホール、203は信号配線、201はTFT1の駆動配線、204はバイアス配線であり、11はリペアのイメージ、12は欠陥(異物によるリーク発生箇所)のイメージである。

**【0058】**

光電変換素子のリークや、TFT1のリーク、信号配線203とTFT駆動配線201間のリークなどの欠陥をリペアする場合、各信号配線203、TFT駆動配線201、バイアス配線204を電気的に分断するために、主にTFT領域で配線の切断を行うのが好ましい。図9、図12では、光電変換素子のリーク、TFT1のリーク、信号配線203とTFT駆動配線201間のリークが生じた場合を示し、TFTのドレイン電極とソース電極、TFT駆動配線が信号配線と交差する交差部の両側の合計4力所をレーザーにより切断してリペアする例を示している。図10、図14では、光電変換素子のリーク、TFT1のリーク、信号配線203とTFT駆動配線201間のリークの欠陥、バイアス配線とTFT駆動配線間のリークが生じた場合を示し、TFTのドレイン電極とソース電極、TFT駆動配線が信号配線と交差する交差部の両側、バイアス配線がTFT駆動配線と交差する交差部の両側の合計6力所をレーザーにより切断してリペアする例を示している。図11では、光電変換素子のリーク、TFT1のリーク、信号配線203とTFT駆動配線201間のリークの欠陥が生じた場合を示し、TFTのドレイン電極とソース電極、TFT駆動配線(ゲート電極)、TFT駆動配線が信号配線と交差する交差部の両側の合計5力所をレーザーにより切断してリペアする例を示している。図13では、光電変換素子のリーク、TFT1のリークが生じた場合を示し、TFTのドレイン電極、TFT駆動配線が信号配線と交差する交差部の両側の合計3力所をレーザーにより切断してリペアする例を示している。なお、図10、図11及び図14の構成では光電変換素子の下電極がTFT駆動配線と重ならない例を示している。

**【0059】**

TFT駆動配線201は1ライン中1箇所断線が起こっても、両側にゲートドライバを配置することで、TFTの制御は可能である。同様にバイアス配線204も冗長配線等を設けることにより両側から接続(全ライン接続)することで、光電変換素子の制御は可能である。

**【0060】**

これに対して信号配線203を切断すると信号処理に支障をきたす、もしくは処理が複雑になるので本実施形態では信号配線203以外を切断し、リペアする例を挙げる。ただし、信号配線の両側にアンプICを配置することができれば、1ライン中一箇所断線が起こっても、信号出力が可能であり、かかる場合には信号配線上のフォトダイオードの下電極を除去し、信号配線を切断することも可能である。

**【0061】**

上述したようにレーザーによるリペアでは、レーザー照射部分に複数の金属膜が存在すると、条件によっては、溶解・蒸発時にそれらの金属がショートするため、2つ以上の配線が重ならない部分でリペアをするのが好ましく、リペアを行う配線部分に金属膜(第三の導電層)や厚膜のSi膜(第二の半導体層)が存在していると、切断の加工精度が低下したり、切断できなかったりといった不具合が発生する。

**【0062】**

本実施形態では安定したリペアを行うために、図9～図14中の太線(光電変換素子の下電極9)と破線(第二の半導体層の配置領域)で示すようにTFT領域のリペア箇所(複数の配線が重ならない領域)上面に開口を持たせている。

**【0063】**

図9では、光電変換素子の下電極9は、TFT領域が開口し、またそれによって同時に

画素分離を行い、その後の第二の半導体層は画素ごとの分離は行わず、TFT領域でTFT駆動配線201とソース・ドレイン電極、信号配線203とが重ならない領域のみ、開口するように形成している。

#### 【0064】

これにより、光電変換素子のリーケ、TFT1のリーケ、信号配線203とTFT駆動配線201のクロス部リーケ等の欠陥が発生した際に、TFT駆動配線201、及びソース・ドレイン電極の切断を行うことが可能となる。

#### 【0065】

図10では、光電変換素子の下電極9、第二の半導体層とともに、TFT領域が開口するように形成し、さらにバイアス配線204とTFT駆動配線201との交差部分も開口部となるようにしている。10

#### 【0066】

これにより光電変換素子のリーケ、TFT1のリーケ、信号配線203とTFT駆動配線201のクロス部でのリーケ、さらにバイアス配線204とTFT駆動配線201のクロス部でのリーケ等の欠陥が発生した際に、TFT駆動配線201、及びソース・ドレイン電極、バイアス配線204の切断を行うことが可能となる。

#### 【0067】

図11では、光電変換素子の下電極9と、少なくとも第二の半導体層を配置した配置領域とともに、TFT領域が開口するように形成し、さらにTFTソース・ドレイン電極や信号配線203、TFT駆動配線201の一部の線幅を細く形成することで、レーザーの照射領域を狭め、リペアをより精度よく行えるようにしている。20

#### 【0068】

図12に示すようにTFT駆動配線201上にTFT1を形成してもよい。

#### 【0069】

図13は、TFT1をチャネルエッチ型とした場合の形状である。ここでは光電変換素子の下電極9と、少なくとも第二の半導体層を配置した配置領域とともに、TFT領域が大きく開口するが、図9～図11と同様に、最低限の領域のみを開口させても構わない。

#### 【0070】

これにより、光電変換素子のリーケ、TFT1のリーケ、信号配線203とTFT駆動配線201のクロス部でのリーケ等の欠陥が発生した際に、TFT駆動配線201、及びソース・ドレイン電極の切断を行うことが可能となる。30

#### 【0071】

図14は、図8に示したようなTFTのソース・ドレイン間のアクティブ領域に少なくとも第二の半導体層を残す場合の形状である。ここで残す第二の高抵抗半導体層は、光電変換素子とそのまま接続されても構わないし、光電変換素子の下電極9を同様にアクティブ領域に引き伸ばし配置していても構わない。またそれぞれの配線クロス部において、一方の配線をその他の箇所に比べて細く形成している。

#### 【0072】

本実施形態によれば、少なくとも、第一の半導体層を含むTFTとその上面の第二の半導体層と電極を含む光電変換素子とからなる放射線検出装置において、光電変換素子の素子内ショートや、TFTショート等に代表される欠陥部分のレーザーリペアの加工を、安定して行うことが可能となり、生産歩留まりを向上することができる。40

#### [第三の実施形態]

本実施形態では、TFTからなるスイッチ素子とMIS型の半導体変換素子（光電変換素子）とから構成される画素を有する撮像装置の例を図15～図18を用いて説明する。

#### 【0073】

本実施形態の模式的等価回路図は、第二の実施形態の図5と同様である。図15、図16に本実施形態による撮像装置の模式的断面図を示す。

図15では、TFT1に対応する領域上面の金属膜108、透明導電膜117、第二のオームミックコンタクト層116、第二の半導体層110を除去して、開口120を形成して50

いる。

図16では、TFT1に対応する領域上面の金属膜108、透明導電膜117、第二のオーミックコンタクト層116を除去して、開口120を形成し、さらに第二の半導体層110のTFT1に対応する領域での膜厚をその他の箇所に比べて薄膜化している。

#### 【0074】

図15、図16を用いて本実施形態による撮像装置の層構成の一例を説明する。まずガラス基板100上に第一の導電層101(例えばAlNd/Mo、2500)をスパッタリング法により成膜、TFT駆動配線201を形成し、その上に第一の絶縁層102(例えばSiN、3000)、第一の半導体層103(例えばa-Si、500)、第二の絶縁層(チャネル保護)104(例えばSiN、2000)をCVD法により連続成膜し、裏面露光により形成したレジスト像で第二の絶縁層(チャネル保護)104をTFT駆動配線上にのみ残るようにエッチングする。10

#### 【0075】

ここでTFTは転送能力向上と、TFT部の信号配線側電極とTFT駆動配線の重なりにより発生する寄生容量を低減するために、裏面露光を用いエッチストッパー型のTFTを形成するのが好ましい。

#### 【0076】

続いてCVD法により第一のオーミックコンタクト層105(例えばn<sup>+</sup>型a-Si、200)を、スパッタリング法により第二の導電層106(例えばAlNd/Mo、4000)を成膜し、ウェットエッチング法で、光電変換素子の下電極とTFTの各ソース、ドレイン電極及び信号配線を形成し、引き続き同レジスト像を用いドライエッチングにより、第一のオーミックコンタクト層105のソース・ドレイン分離、及び第一の高抵抗半導体層103をエッチングし、素子分離を行う。20

#### 【0077】

次に第三の絶縁層107(例えばSiN、2000)、第二の半導体層110(例えばa-Si、5000)、第二のオーミックコンタクト層116(例えばn<sup>+</sup>型a-Si、500)をCVD法により連続成膜する。さらにスパッタリング法により第三の導電層108(例えばMo/Al/Mo、4000)を成膜し、光電変換素子のバイアス配線を形成する。

#### 【0078】

さらに光電変換素子の上電極として、透明導電膜117(例えばITO、300)をスパッタリング法により成膜する。30

#### 【0079】

そして、透明導電膜117、第二のオーミックコンタクト層116及び第二の半導体層110を、TFT駆動配線(突き出し部がゲート電極となる)、TFTのソース・ドレイン電極、信号配線のうちの二つが互いに重なる領域以外の、TFT駆動配線(ゲート電極を含む)上の少なくとも一部(ここでTFT駆動配線上の全部が除去されている。)及びTFTのソース・ドレイン電極上の少なくとも一部を除くようにウェット或いはドライエッチング法により除去している。また、第三の絶縁層までエッチングしても構わない。

#### 【0080】

また、図16ではTFT領域上面の第二の半導体層を、その他の箇所に比べて薄膜化しており、例えば全てエッチングせずハーフエッチングにより薄膜化したものであり、これによってもレーザーリペアによる加工が安定する。40

#### 【0081】

続いて保護層113(例えばSiNと有機膜)を形成し、電気検査を行い、欠陥部分のレーザーリペアを施す。その後本実施形態では波長変換層としての蛍光体層を放射線の入射面に形成する。蛍光体層としては、X線等の放射線を可視光に変換するGd<sub>2</sub>O<sub>2</sub>S、CsI等の蛍光体層を配置する。蛍光体層はここでは保護層113上に直接形成しているが、シート上に蛍光体層を形成し、このシートを接着層を介して保護層113上に貼り合わせることもできる。なお、図15、図16は半導体変換素子の電極として上電極(117)50

の一部が除かれる例を示している。

#### 【0082】

次にリペア方法について説明する。リペア方法は、図15の模式的断面図に示すようなTFT領域の上にある金属膜も、第二の半導体層も除いて形成した構成を用いて説明する。

#### 【0083】

図17、図18において、1はTFT、9は光電変換素子の下電極、203は信号配線、201はTFT1の駆動配線、204はバイアス配線であり、11はリペアのイメージ、12は欠陥(異物によるリーク発生箇所)のイメージである。図17では、光電変換素子のリーク、信号配線203とTFT駆動配線201間のリークの欠陥、バイアス配線とTFT駆動配線間のリークが生じた場合を示し、TFTのドレイン電極とソース電極、TFT駆動配線が信号配線と交差する交差部の両側、バイアス配線がTFT駆動配線と交差する交差部の両側の合計6カ所をレーザーにより切断してリペアする例を示している。図18では、光電変換素子のリーク、TFT1のリークの欠陥が生じた場合を示し、TFTのドレイン電極、TFT駆動配線が信号配線と交差する交差部の両側の合計3カ所をレーザーにより切断してリペアする例を示している。

#### 【0084】

光電変換素子のリークや、TFT1のリーク、信号配線203とTFT駆動配線201間のリークなどの欠陥をリペアする場合、各信号配線203、TFT駆動配線201、バイアス配線204を電気的に分断するために、主にTFT領域で配線の切断を行うのが好みしい。

#### 【0085】

TFT駆動配線201は1ライン中一箇所断線が起こっても、両側にゲートドライバを配置することで、TFTの制御は可能である。同様にバイアス配線204も冗長配線等を設けることにより両側から接続(全ライン接続)することで、光電変換素子の制御は可能である。

#### 【0086】

これに対して信号配線203を切断すると信号処理に支障をきたす、もしくは処理が複雑になるので本実施形態では信号配線203以外を切断し、リペアする例を挙げる。ただし、信号配線の両側にアンプICを配置することができれば、1ライン中一箇所断線が起こっても、信号出力が可能であり、かかる場合には信号配線上のフォトダイオードの下電極を除去し、信号配線を切断することも可能である。

#### 【0087】

上述したようにレーザーによるリペアでは、レーザー照射部分に複数の金属膜が存在すると、条件によっては、溶解時にそれらの金属がショートするため、2つ以上の配線が重ならない部分でリペアをするのが好ましく、リペアを行う配線部分に金属膜(第三の導電層)や厚膜のSi膜(第二の半導体層)が存在していると、切断の加工精度が低下したり、切断できなかったりといった不具合が発生する。

#### 【0088】

本実施形態では安定したリペアを行うために、図17、図18中の太線(光電変換素子の下電極9)と破線(第二の半導体層を配置した配置領域)で示すようにTFT領域のリペア箇所(複数の配線が重ならない領域)上面に開口を持たせている。

#### 【0089】

図17では光電変換素子の下電極9、第二の半導体層とともに、TFT領域が大きく開口するように開口を形成し、さらにバイアス配線204とTFT駆動配線201との交差部分にも開口を形成している。

#### 【0090】

これにより光電変換素子のリーク、TFT1のリーク、信号配線203とTFT駆動配線201のクロス部でのリーク、さらにバイアス配線204とTFT駆動配線201のクロス部でのリーク等の欠陥が発生した際に、TFT駆動配線201、及びソース・ドレイ

10

20

30

40

50

ン電極、バイアス配線 204 の切断を行うことが可能となる。

**【0091】**

図18は、TFT1をチャネルエッチ型とした場合の形状である。ここでは TFT 領域が大きく開口するが、信号配線 203 と TFT 駆動配線 201 の重ならない部分のみを開口させても構わない。

**【0092】**

これにより、光電変換素子のリーク、TFT1のリーク、信号配線 203 と TFT 駆動配線 201 のクロス部でのリーク等の欠陥が発生した際に、TFT 駆動配線 201、及びソース・ドレイン電極の切断を行うことが可能となる。

**【0093】**

本実施形態によれば、少なくとも、第一の半導体層を含む TFT とその上面の第二の半導体層と電極を含む光電変換素子と、からなる撮像装置において、光電変換素子の素子内ショートや、TFT ショート等に代表される欠陥部分のレーザーリペアによる加工が安定する。

**[第四の実施形態]**

本実施形態では、TFT からなるスイッチ素子と、a - Se に代表される半導体変換素子とを組み合わせた、直接型の放射線撮像装置の例を図19～図21を用いて説明する。

**【0094】**

本実施形態による放射線撮像装置の模式的等価回路図を図19に示す。

図19を用いて、本実施例の動作を説明する。被検体に向けて入射された放射線は、被検体により減衰を受けて透過し、半導体変換素子 7(例えば a - Se 層からなる)へ入射する。入射した放射線は a - Se 層内で、入射した放射線エネルギーに応じた電子・正孔対の電荷に直接変換される。共通電極ドライバ 5 からつながるバイアス配線 204 により a - Se 層の両端に数キロボルトの電圧を印加しておくと、発生した電荷は電場に沿って収集され、絶縁基板上に配置した蓄積用コンデンサ 8 に蓄積される。この蓄積された電荷は、TFT1 を介して信号配線 203 に転送され、アンプ I C 3 により外部に読み出される。

**【0095】**

また TFT1 の共通の駆動配線 201 は、TFT1 のオン、オフを制御するゲートドライバ 2 に接続されている。

**【0096】**

図20に本実施形態による放射線撮像装置の模式的断面図を示す。

図20を用いて本実施形態による放射線撮像装置の層構成を説明する。

**【0097】**

まずガラス基板 100 上に第一の導電層 101(例えば AlN / Mo、2500 )をスパッタリング法により成膜し、TFT 駆動配線 201、及び蓄積コンデンサ 8 の下電極を形成し、次いでその上に第一の絶縁層 102(例えば SiN、3000 )、第一の半導体層 103(例えば a - Si、500 )、第二の絶縁層(チャネル保護) 104(例えば SiN、2000 )を CVD 法により連続成膜し、裏面露光とマスク露光により形成したレジスト像(不図示)で第二の絶縁層(チャネル保護) 104 を TFT 駆動配線上にのみ残るようエッチングする。

**【0098】**

ここでは、TFT の転送能力を向上させるため、TFT 部の信号配線側電極と TFT 駆動配線の重なりにより発生する寄生容量を低減するために、裏面露光を用いエッチストップ型の TFT を形成している。

**【0099】**

続いて CVD 法により第一のオーミックコンタクト層 105(例えば n<sup>+</sup>型 a - Si、200 )を成膜し、その上にスパッタリング法により第二の導電層 106(例えば AlN / Mo、4000 )を成膜し、次いでウエットエッチング法でパターニングして蓄積コンデンサの上電極と TFT の各ソース、ドレイン電極及び信号配線を形成し、引き続きドライエッチング法により、第一のオーミックコンタクト層 105 のソース・ドレイン間の

10

20

30

40

50

分離、及び第一の半導体層 103 の素子間分離を行う。

**【0100】**

次に平坦化膜として第三の絶縁層 107 (例えば有機膜 BCB (ベンゾシクロブテン) や P I (ポリイミド))を堆積し、コンタクトホールを蓄積コンデンサの上電極上に形成する。引き続き第三の導電層 108 (例えば AlNd/Mo、2000 )をスパッタリング法により成膜し、コンタクトホールを介して蓄積コンデンサの上電極と接続し、半導体変換素子の下電極を形成する。

**【0101】**

本実施形態では、半導体変換素子の下電極が、少なくとも、TFT 駆動配線 (突き出し部がゲート電極となる)、TFT のソース・ドレイン電極、信号配線のうちの二つが互いに重なる領域以外の、TFT 駆動配線 (ゲート電極を含む) 上の少なくとも一部及び TFT のソース・ドレイン電極上の少なくとも一部を除くように配置される。ここでは、信号配線、TFT 構成部、TFT 駆動配線と信号配線との重なり部 (交差部)、及びその周辺領域の、半導体変換素子の下電極が除去される。その周辺領域には、少なくとも駆動配線、TFT のソース・ドレイン電極が通っており、駆動配線、TFT のソース・ドレイン電極をレーザーで切断可能となっている。

**【0102】**

さらに、その上に直接変換材料 118 として a-Si を形成する。さらにスパッタリング法により第四の導電層 112 (例えば Mo / Al / Mo、4000 )を成膜し、TFT 領域のみ開口形状のバイアス配線 204 とする。その後、上面に保護層 113 (例えば SiN と有機膜)を形成し、電気検査を行い、必要に応じて欠陥部分のレーザーリペアを施す。

**【0103】**

次にリペア方法について説明する。リペア方法は、図 20 の模式的断面図に示すような TFT 領域の上にある金属膜を除いて形成した構成を用いて説明する。

**【0104】**

図 21において、1 は TFT、13 は直接型半導体変換素子の下電極、10 はコンタクトホール、203 は信号配線、201 は TFT の駆動配線、11 はリペアのイメージ、12 は欠陥(異物によるリーク発生箇所)のイメージである。

**【0105】**

直接型半導体変換素子 7 のリークや、TFT 1 のリーク、信号配線 203 と TFT 駆動配線 201 間のリークや蓄積用コンデンサ 8 のリークなどの欠陥をリペアする場合、各信号配線 203、TFT 駆動配線 201 とを電気的に分断するために、主に TFT 領域で配線の切断を行うのが好ましい。

**【0106】**

TFT 駆動配線 201 は 1 ライン中一箇所断線が起こっても、両側にゲートドライバを配置することで、TFT の制御は可能である。

**【0107】**

これに対して信号配線 203 を切断すると信号処理に支障をきたす、もしくは処理が複雑になるので本実施形態では信号配線 203 以外を切断し、リペアする例を挙げる。

**【0108】**

上述したようにレーザーによるリペアでは、レーザー照射部分に複数の金属膜が存在すると、条件によっては、溶解時にそれらの金属がショートするため、2 つ以上の配線が重ならない部分でリペアをするのが好ましく、リペアを行う配線部分に金属膜 (第三の導電層) が存在していると、切斷の加工精度が低下したり、切斷できなかったりといった不具合が発生する。

**【0109】**

本実施形態では、安定したリペアを行うために、図 21 中の太線 (直接型半導体変換素子の下電極 13) で示すように TFT 領域のリペア箇所 (複数の配線が重ならない領域) 上面に開口を持たせている。

10

20

30

40

50

**【 0 1 1 0 】**

図21では、半導体変換素子の下電極13が、TFT領域で開口するように形成している。

**【 0 1 1 1 】**

これにより半導体変換素子7のリーク、TFT1のリーク、蓄積用コンデンサのリーク、信号配線203とTFT駆動配線201のクロス部リークが発生した際に、TFT駆動配線201、及びソース・ドレイン電極の切断を行う。

**【 0 1 1 2 】**

本実施形態によれば、少なくとも、第一の半導体層を含むTFTとその上面の電極を含む半導体変換素子と、からなる放射線撮像装置において、半導体変換素子の素子内ショートや、TFTショート等に代表される欠陥部分のレーザーリペアによる加工が安定する。  
10

**[ 第五の実施形態 ]**

本実施形態では、TFTからなるスイッチ素子、MIS型の光電変換素子、MIS型光電変換素子に発生した電荷量に応じた信号を読み出すための読み出し用のTFTを形成した撮像装置の例を、図22を用いて説明する。

**【 0 1 1 3 】**

図22は、本実施形態による撮像装置の模式的等価回路図である。図22において、スイッチ素子としてのTFT(本実施形態ではスイッチ用)の共通の駆動配線201はTFT1のオン、オフを制御するゲートドライバ2に接続されている。さらにTFT1のソース・若しくはドレイン電極は、読み出し用TFT14を介して共通の信号配線203に接続されており、信号配線203はアンプIC3に接続されている。また、光電変換素子4の一方の電極は図不指示の共通電極ドライバに接続されており、他方の電極は読み出し用TFT14の制御電極と接続されている。また、リセット用のTFT15のソースもしくはドレインの一方は読み出し用TFT14の制御電極に、他方はリセット配線と接続されている。  
20

**【 0 1 1 4 】**

被検体に向けて入射された放射線は、被検体により減衰を受けて透過し、蛍光体層で可視光に変換され、この可視光が光変換素子4に入射し、電荷に変換される。この電荷は、読み出し用TFT14の制御電極に対し光照射量に見合った電位変動を発生させる。この電位変動により読み出し用TFT14を流れる電流量が変化し、信号配線203を通じて読み出すことができる。スイッチ素子としてのTFT1は、読み出し用TFT14のソース・ドレイン間に電圧を印加するスイッチ用として使用している。また、ゲート駆動パルスによりTFT1を介して信号配線203に転送され、アンプIC3により外部に読み出される。信号読み出し後にリセット用のTFT15を駆動させ、リセット配線205を通じてリセットTFT15と接続された光電変換素子4の電極に電圧を印加することで、光電変換素子4に蓄積された電荷を除去することができる。  
30

**【 0 1 1 5 】**

このような、ソースフォロータイプの撮像装置では、第一の半導体層を含むTFTと第二の半導体層を含む光電変換素子の他に、複数のトランジスタ(例えば、本実施形態では読み出し用のTFTやリセット用TFT)を配置する必要がある。また、回路内にコンデンサを配置することも可能である。このような場合は、前述のように平坦化膜と金属膜4層で形成することで設計のバリエーションを増やすことができる。例えば、スイッチ用TFT、リセット用TFT、コンデンサは下層で形成し、光電変換素子と読み出し用トランジスタは上層で形成するなど配置は自由に可能である。  
40

**【 0 1 1 6 】**

しかし、同時に、特に下層で形成したTFTで発生した欠陥により配線がショートした場合、上層に配置した例えば光電変換素子や読み出し用TFTによりレーザーによるリペアができなくなる。そこで、下層の特にTFT領域上面は、例えば光電変換素子や読み出し用TFTを構成する金属膜や第二の半導体層を除去することで、レーザーリペアによる加工が安定する。  
50

## 【0117】

本実施形態によれば、少なくとも、第一の半導体層を含むTFT（例えばスイッチTFTやリセットTFT）とその上面の第二の半導体層と電極を含む光電変換素子と、からなる放射線検出装置において、光電変換素子の素子内ショートや、TFTショート等に代表される欠陥部分のレーザーリペアによる加工が安定する。

## 【0118】

以上説明したように、本発明によれば、第一の半導体層を含むスイッチ素子とその上面の第二の半導体層を含む半導体変換素子と、該スイッチ素子に接続された駆動配線及び該変換素子に接続された信号配線とを有する撮像装置及び放射線撮像装置において、リーク等の欠陥が発生しても、欠陥部分のレーザーリペアによる加工を安定して行うことが可能となり、生産歩留まりの高い撮像装置及び放射線撮像装置を提供できる。 10

## 【0119】

図23(a)、図23(b)は本発明による放射線(X線)撮像装置の実装例の模式的構成図及び模式的断面図である。

## 【0120】

光電変換素子とTFTはセンサ基板6011内に複数個形成され、シフトレジスタSR1と検出用集積回路ICが実装されたフレキシブル回路基板6010が接続されている。フレキシブル回路基板6010の逆側は回路基板PCB1、PCB2に接続されている。前記センサ基板6011の複数枚が基台6012の上に接着され大型の光電変換装置を構成する基台6012の下には処理回路6018内のメモリ6014をX線から保護するため鉛板6013が実装されている。センサ基板6011上にはX線を可視光に変換するためのシンチレーター(蛍光体層)6030たとえばCsIが、蒸着されている。図23(b)に示されるように全体をカーボンファイバー製のケース6020に収納している。 20

## 【0121】

図24は本発明による放射線撮像装置のX線診断システムへの応用例を示したものである。

## 【0122】

X線チューブ6050で発生したX線6060は患者あるいは被験者6061の胸部6062を透過し、シンチレーターを上部に実装した光電変換装置6040(シンチレーターを上部に実装した光電変換装置は放射線撮像装置を構成する)に入射する。この入射したX線には患者6061の体内部の情報が含まれている。X線の入射に対応してシンチレーターは発光し、これを光電変換して、電気的情報を得る。この情報はデジタルに変換され信号処理手段となるイメージプロセッサ6070により画像処理され制御室の表示手段となるディスプレイ6080で観察できる。 30

## 【0123】

また、この情報は電話回線6090等の伝送処理手段により遠隔地へ転送でき、別の場所のドクタールームなど表示手段となるディスプレイ6081に表示もしくは光ディスク等の記録手段に保存することができ、遠隔地の医師が診断することも可能である。また記録手段となるフィルムプロセッサ6100により記録媒体となるフィルム6110に記録することもできる。 40

## 【産業上の利用可能性】

## 【0124】

本発明は、医療用X線カメラや分析装置、非破壊検査装置などに用いられる撮像装置及び放射線撮像装置に適用できる。

## 【図面の簡単な説明】

## 【0125】

【図1】本発明の第一の実施形態による撮像装置の模式的等価回路図である。

【図2】本発明の第一の実施形態による撮像装置の模式的断面図である。

【図3】本発明の第一の実施形態による撮像装置の模式的断面図である。

【図4】本発明の第一の実施形態による撮像装置の1画素領域の模式的平面図である。 50

【図5】本発明の第二の実施形態による撮像装置の模式的等価回路図である。

【図6】本発明の第二の実施形態による撮像装置の模式的断面図である。

【図7】本発明の第二の実施形態による撮像装置の模式的断面図である。

【図8】本発明の第二の実施形態による撮像装置の模式的断面図である。

【図9】本発明の第二の実施形態による撮像装置の1画素領域の模式的平面図である。

【図10】本発明の第二の実施形態による撮像装置の1画素領域の模式的平面図である。

【図11】本発明の第二の実施形態による撮像装置の1画素領域の模式的平面図である。

【図12】本発明の第二の実施形態による撮像装置の1画素領域の模式的平面図である。

【図13】本発明の第二の実施形態による撮像装置の1画素領域の模式的平面図である。

【図14】本発明の第二の実施形態による撮像装置の1画素領域の模式的平面図である。

10

【図15】本発明の第三の実施形態による撮像装置の模式的断面図である。

【図16】本発明の第三の実施形態による撮像装置の模式的断面図である。

【図17】本発明の第三の実施形態による撮像装置の1画素領域の模式的平面図である。

【図18】本発明の第三の実施形態による撮像装置の1画素領域の模式的平面図である。

【図19】本発明の第四の実施形態による放射線撮像装置の模式的等価回路図である。

【図20】本発明の第四の実施形態による放射線撮像装置の模式的断面図である。

【図21】本発明の第四の実施形態による放射線撮像装置の1画素領域の模式的平面図である。

【図22】本発明の第五の実施形態による撮像装置の模式的等価回路図である。

【図23】(a)、(b)は本発明による放射線(X線)撮像装置の実装例の模式的構成図及び模式的断面図である。

20

【図24】本発明による放射線撮像装置のX線診断システムへの応用例を示したものである。

#### 【符号の説明】

##### 【0126】

1 TFT

2 ゲートドライバ

3 アンプIC

4 光検出素子

5 共通電極ドライバ

30

6 放射線

7 放射線検出素子

8 蓄積用コンデンサ

9 光検出素子の下電極

10 コンタクトホール

11 リペアのイメージ

12 欠陥(異物によるリーク)のイメージ

13 放射線変換素子の下電極

14 読み出し用TFT

15 リセット用TFT

40

100 ガラス基板

101 第一の導電層

102 第一の絶縁層

103 第一の高抵抗半導体層

104 第二の絶縁層

105 第一のオーミックコンタクト層

106 第二の導電層

107 第三の絶縁層

108 第三の導電層

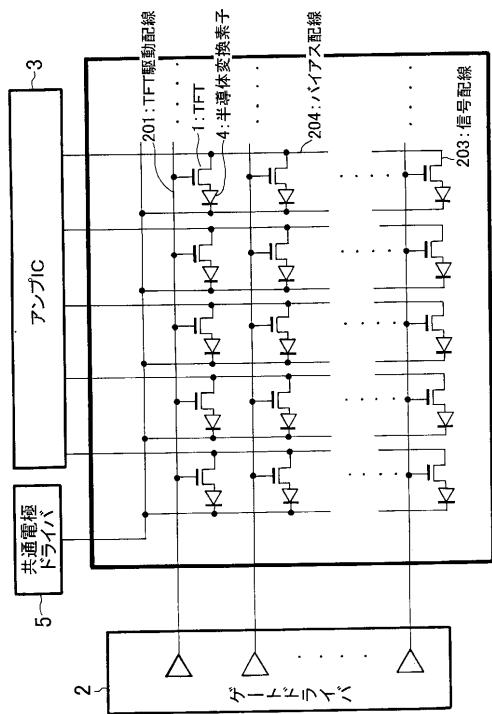
109 第一のn型半導体層

50

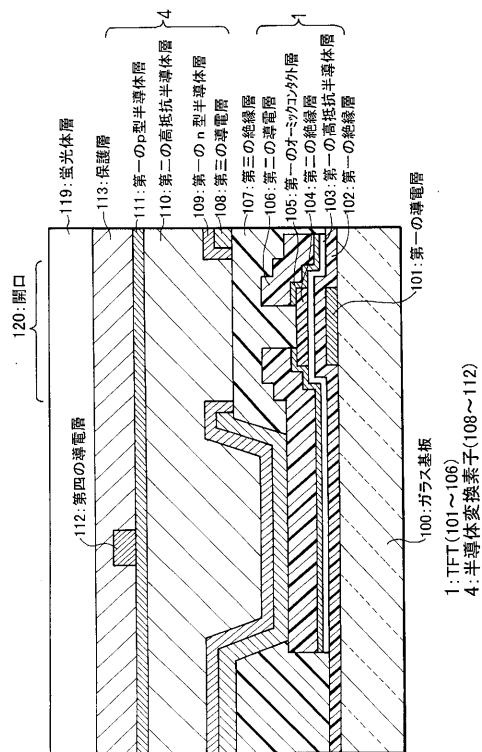
- 1 1 0 第二の高抵抗半導体層  
 1 1 1 第一のp型半導体層  
 1 1 2 第四の導電層  
 1 1 3 保護層  
 1 1 4 萤光体層  
 1 1 5 第四の絶縁層  
 1 1 6 第二のオーミックコンタクト層  
 1 1 7 透明導電膜  
 1 1 8 直接変換材料  
 2 0 1 TFT駆動配線  
 2 0 3 信号配線  
 2 0 4 バイアス配線  
 2 0 5 リセット配線

10

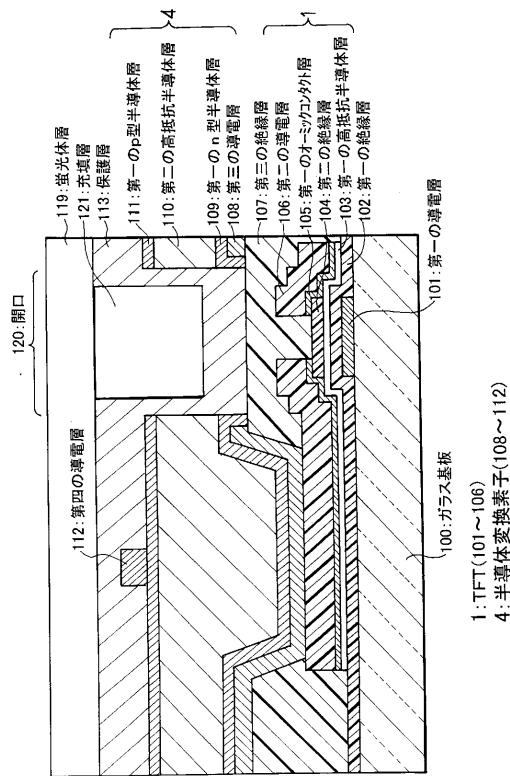
【図1】



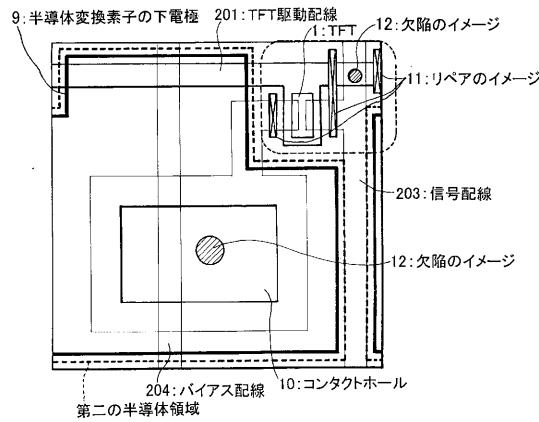
【図2】



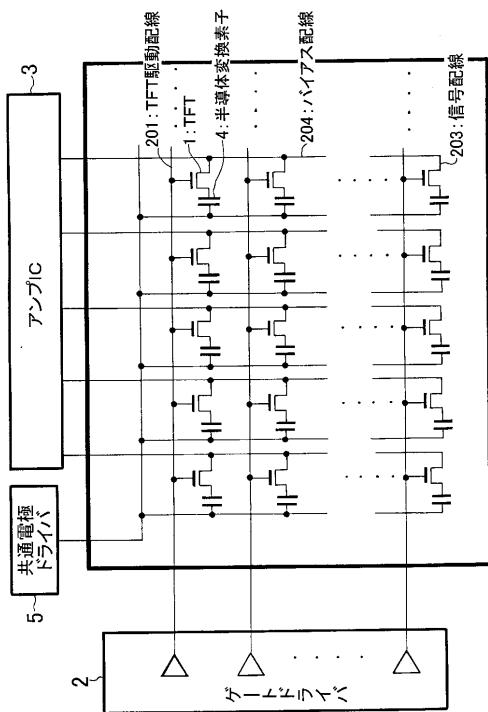
【図3】



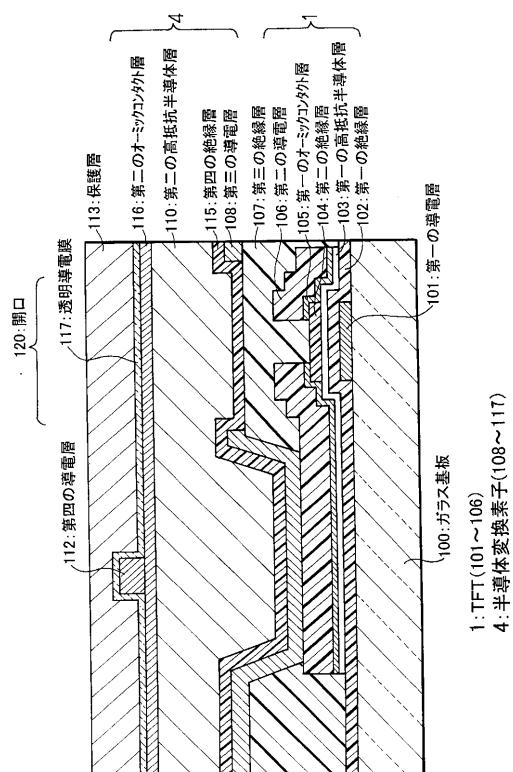
【図4】



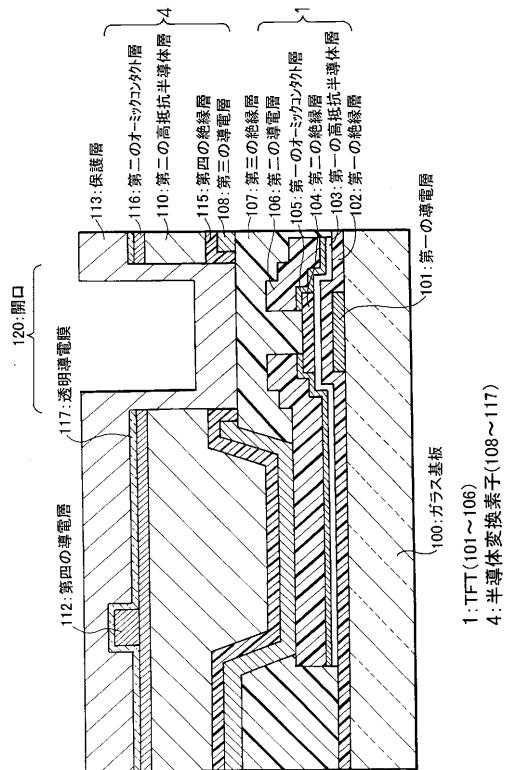
【図5】



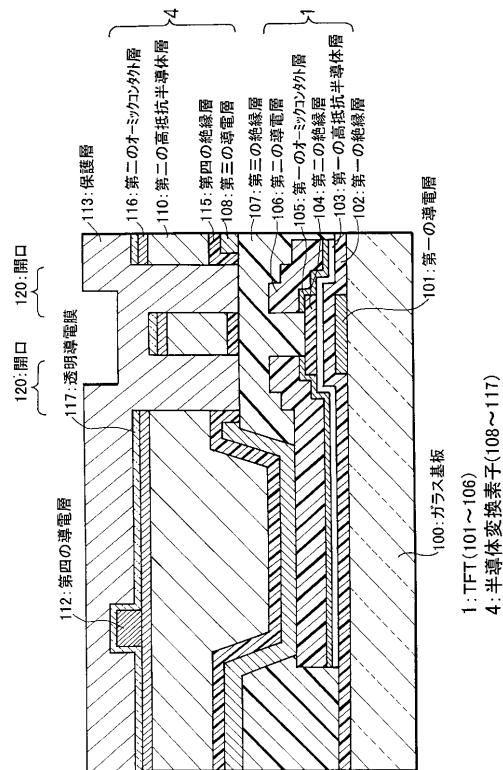
【図6】



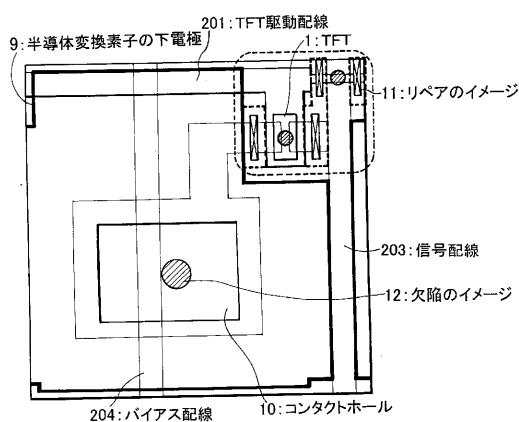
【図7】



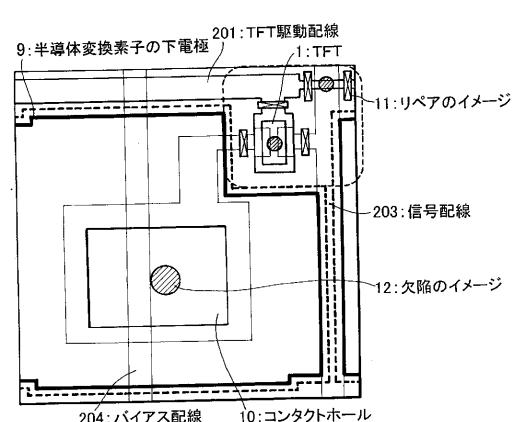
【図8】



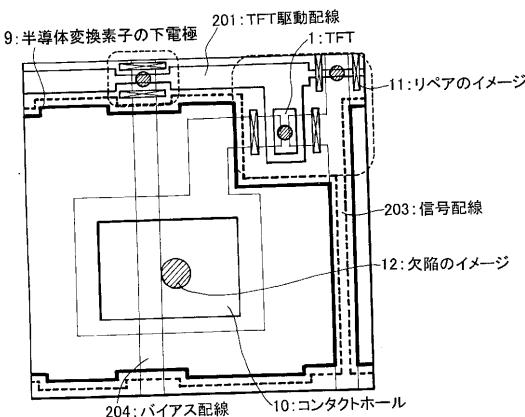
【図9】



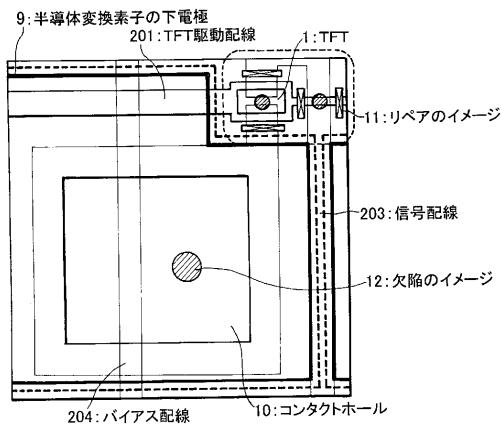
【図11】



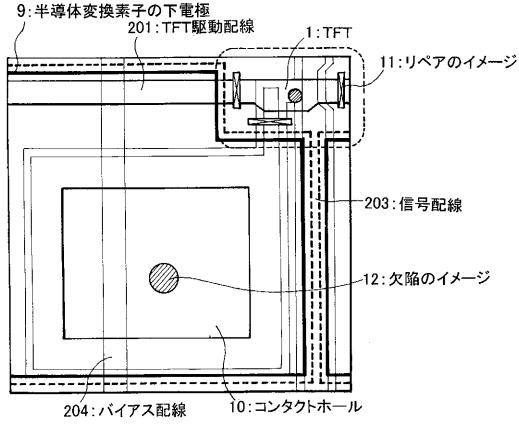
【図10】



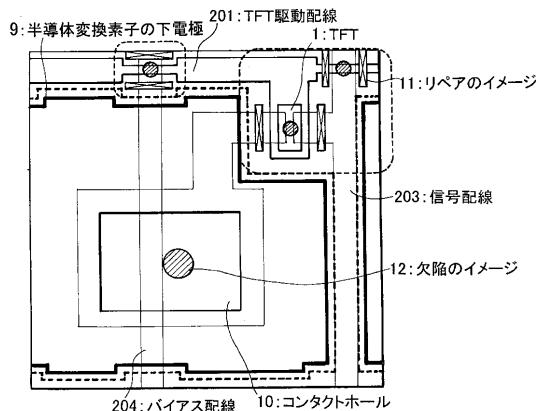
【図12】



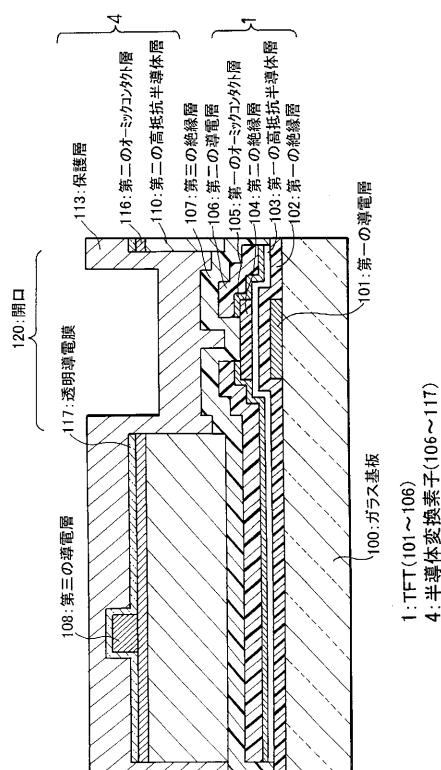
【図13】



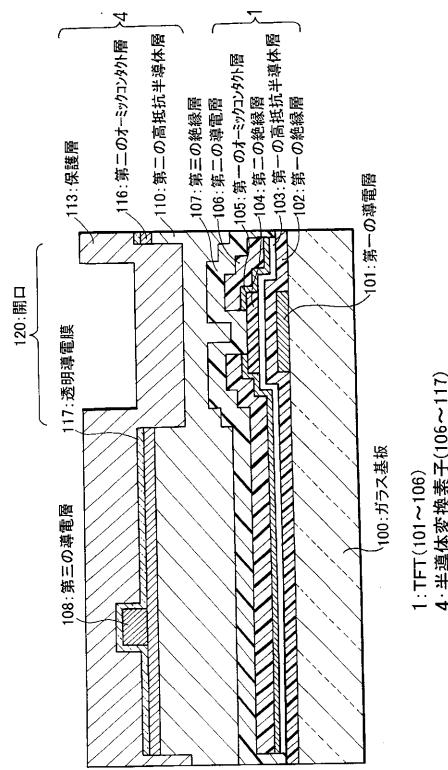
【図14】



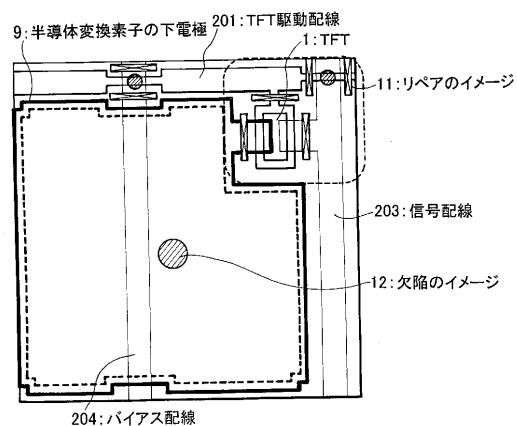
【図15】



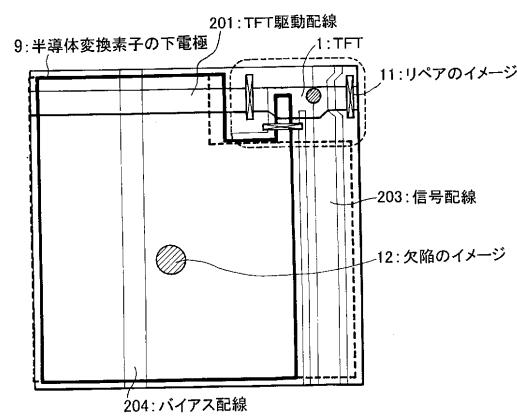
【図16】



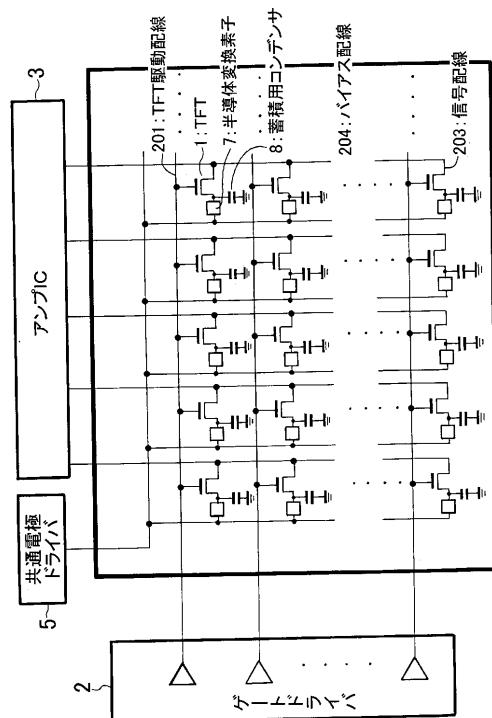
【図17】



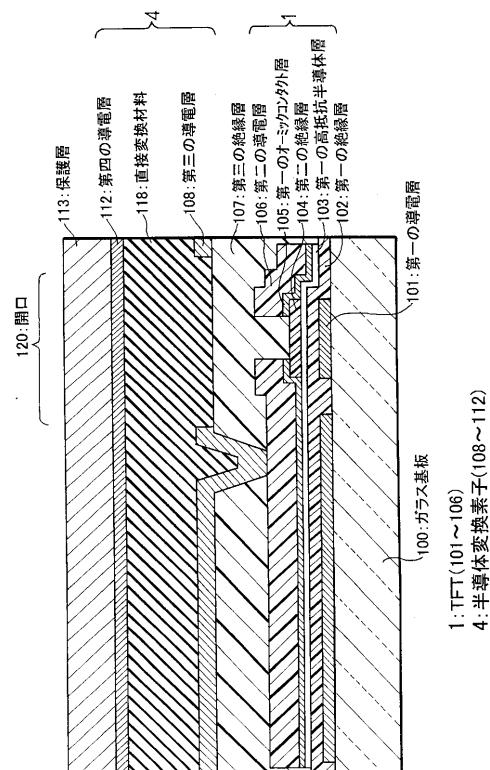
【図18】



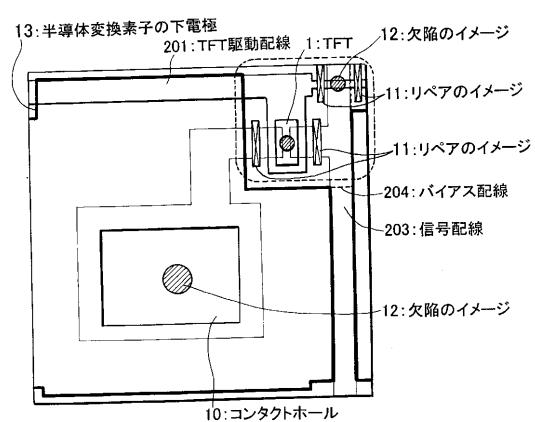
【図19】



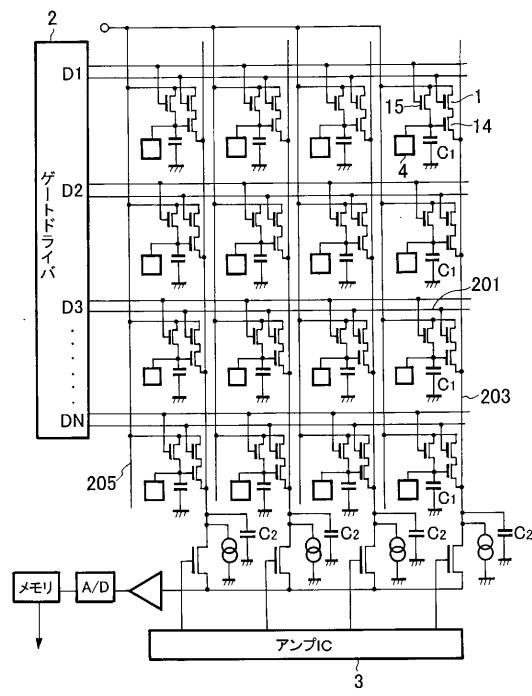
【図20】



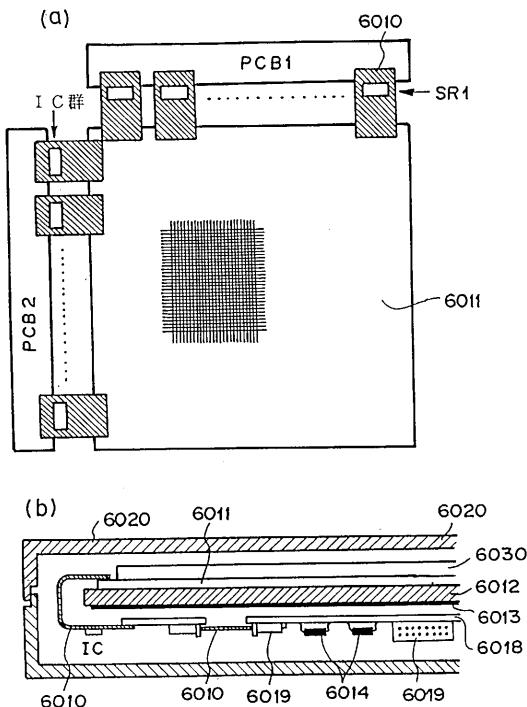
【図21】



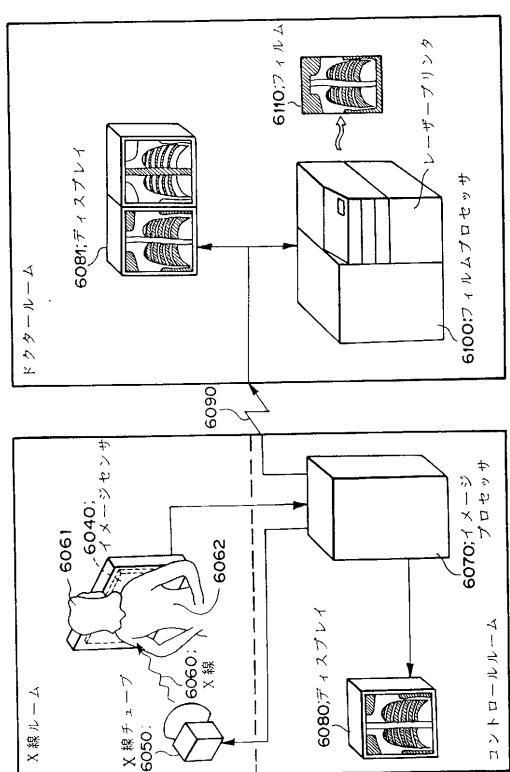
【図22】



【図23】



【図24】



---

フロントページの続き

(51)Int.Cl. F I  
H 0 4 N 5/32 (2006.01) H 0 4 N 5/32  
H 0 4 N 5/369 (2011.01) H 0 4 N 5/335 6 9 0

(72)発明者 森井 稔子  
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内  
(72)発明者 渡辺 実  
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内  
(72)発明者 森下 正和  
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

審査官 柴山 将隆

(56)参考文献 特開平06-120474 (JP, A)  
特開平11-345994 (JP, A)  
特開2002-231922 (JP, A)  
特開平10-093063 (JP, A)  
特開2001-135809 (JP, A)  
特開2002-009272 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 7 / 1 4 6  
G 0 1 T 1 / 2 0  
G 0 1 T 1 / 2 4  
H 0 1 L 2 7 / 1 4  
H 0 1 L 2 9 / 7 8 6  
H 0 4 N 5 / 3 2  
H 0 4 N 5 / 3 6 9