

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2008年10月23日 (23.10.2008)

PCT

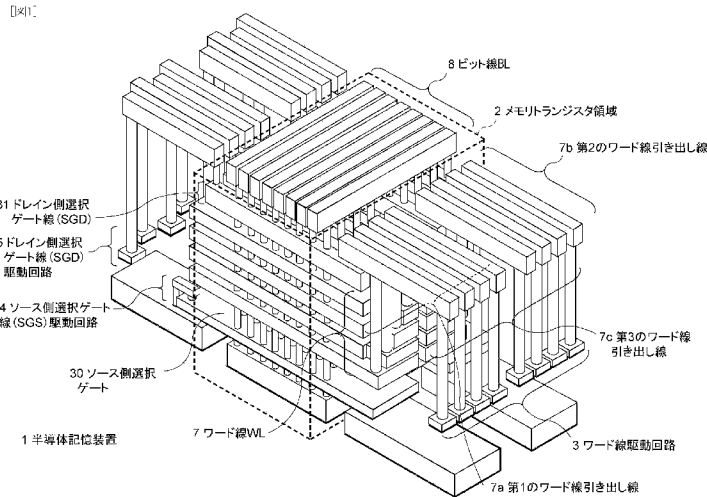
(10) 国際公開番号
WO 2008/126774 A1

- (51) 国際特許分類: H01L 21/8247 (2006.01) H01L 29/788 (2006.01)
H01L 27/115 (2006.01) H01L 29/792 (2006.01)
- (71) 出願人 (米国を除く全ての指定国について): 株式会社東芝 (KABUSHIKI KAISHA TOSHIBA) [JP/JP]; 〒1050023 東京都港区芝浦一丁目1番1号 Tokyo (JP).
- (21) 国際出願番号: PCT/JP2008/056714
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 田中 啓安 (TANAKA, Hiroyasu) [JP/JP]; 〒1050023 東京都港区芝浦一丁目1番1号 株式会社東芝内 Tokyo (JP). 勝又 竜太 (KATSUMATA, Ryota) [JP/JP]; 〒1050023 東京都港区芝浦一丁目1番1号 株式会社東芝内 Tokyo (JP). 青地 英明 (AOCHI, Hideaki) [JP/JP]; 〒1050023 東京都港区芝浦一丁目1番1号 株式会社東芝内 Tokyo (JP). 木藤 大 (KIDO, Masaru) [JP/JP]; 〒1050023 東京都港区芝浦一丁目1番1号 株式会社東芝内 Tokyo (JP). 鬼頭 傑 (KITO, Masaru) [JP/JP]; 〒
- (22) 国際公開日: 2008年4月3日 (03.04.2008)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ: 特願2007-100086 2007年4月6日 (06.04.2007) JP

[続葉有]

(54) Title: SEMICONDUCTOR MEMORY DEVICE AND METHOD FOR MANUFACTURING THE SAME

(54) 発明の名称: 半導体記憶装置及びその製造方法



- 31 DRAIN SIDE SELECTED GATE LINE (SGD)
- 5 DRAIN SIDE SELECTED GATE LINE (SGD) DRIVING CIRCUIT
- 4 SOURCE SIDE SELECTED GATE LINE (SGS) DRIVING CIRCUIT
- 30 SOURCE SIDE SELECTED GATE
- 1 SEMICONDUCTOR MEMORY DEVICE
- 7 WORD LINE WL
- 8 BIT LINE BL
- 2 MEMORY TRANSISTOR REGION
- 7b SECOND WORD LINE DRAWING LINE
- 7c THIRD WORD LINE DRAWING LINE
- 3 WORD LINE DRIVING CIRCUIT
- 7a FIRST WORD LINE DRAWING LINE

(57) Abstract: Provided is a semiconductor memory device in which drawing wiring toward a word line can be closely arranged and a memory cell is three-dimensionally laminated. The semiconductor memory device comprises a plurality of memory strings in which a plurality of memory cells which can be electrically rewritten are connected in line, which have a pillar-shaped semiconductor, a first insulating film formed around the pillar-shaped semiconductor, a charge storage layer formed around the first insulating film, a second insulating film formed around the charge storage layer, and a plurality of electrodes formed around the second insulating layer and a bit line connected to one end of the memory strings via a selected transistor. A plurality of electrodes of one memory strings and a plurality of electrodes of the other memory strings are used in common. They are two-dimensionally extending conductive layers. The ends of the conductive layers are formed in a staircase pattern in a direction in parallel with a bit line.

(57) 要約: ワード線への引き出し配線を密に配置することができる、メモリセルを三次元的に積層した半導体記憶装置を提供する。電氣的に書き換え可能な複数のメモリセルが直列に接続され

た複数のメモリストリングスであって、メモリストリングスは、柱状半導体と、柱状半導体の周りに形成された第1の絶縁膜と、第1の絶縁膜の周りに形成された電荷蓄積層と、電荷蓄積層の

[続葉有]

WO 2008/126774 A1



1050023 東京都港区芝浦一丁目1番1号株式会社東芝内 Tokyo (JP). 佐藤 充 (SATO, Mitsuru) [JP/JP]; 〒1050023 東京都港区芝浦一丁目1番1号株式会社東芝内 Tokyo (JP).

ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(74) 代理人: 特許業務法人高橋・林アンドパートナーズ (TAKAHASHI, HAYASHI AND PARTNER PATENT ATTORNEYS, INC.); 〒1440052 東京都大田区蒲田5-2-4 損保ジャパン蒲田ビル9階 Tokyo (JP).

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD,

添付公開書類:
— 国際調査報告書

周りに形成された第2の絶縁膜と、第2の絶縁膜の周りに形成された複数の電極とを有している複数のメモリストリングスと、メモリストリングスの一端に選択トランジスタを介して接続されたビット線と、を有し、メモリストリングスの複数の電極と、別のメモリストリングスの複数の電極は共有され、それぞれ、2次元的に広がる導電体層であり、導電体層の端部は、それぞれ、ビット線と平行な方向に階段状に形成されている。

明 細 書

半導体記憶装置及びその製造方法

技術分野

[0001] 本発明は、電氣的にデータの書き換えが可能なメモリセルを三次元的に積層した半導体記憶装置に関する。

背景技術

[0002] 半導体記憶装置のデザインルールの縮小の要求により微細加工がますます困難になる中、メモリの集積度を高めるために、メモリ素子を3次的に配置する半導体記憶装置が多数提案されている(特許文献1乃至3及び非特許文献1)。

[0003] 特許文献1:特開2003-078044号公報

特許文献2:米国特許第5,599,724号

特許文献3:米国特許第5,707,885号

非特許文献1:Masuoka et al., "Novel Ultrahigh-Density Flash Memory With a Stacked-Surrounding Gate Transistor (S-SGT) Structured Cell", IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL. 50, NO4, pp945-951, April 2003

発明の開示

発明が解決しようとする課題

[0004] 本発明は、ワード線への引き出し配線を密に配置することができる、メモリセルを三次元的に積層した半導体記憶装置を提供する。

課題を解決するための手段

[0005] 本発明の一実施形態によると、電氣的に書き換え可能な複数のメモリセルが直列に接続された複数のメモリストリングスであって、前記メモリストリングスは、柱状半導体と、前記柱状半導体の周りに形成された第1の絶縁膜と、前記第1の絶縁膜の周りに形成された電荷蓄積層と、前記電荷蓄積層の周りに形成された第2の絶縁膜と、前記第2の絶縁膜の周りに形成された複数の電極とを有している複数のメモリストリングスと、前記メモリストリングスの一端に選択トランジスタを介して接続されたビット線と、を有し、前記メモリストリングスの前記複数の電極と、別の前記メモリストリングスの前記

複数の電極は共有され、それぞれ、2次元的に広がる導電体層であり、前記導電体層の端部は、それぞれ、前記ビット線と平行な方向に階段状に形成されていることを特徴とする半導体記憶装置が提供される。

[0006] 本発明の一実施形態によると、基板と、電氣的に書き換え可能な複数のメモリセルが直列に接続された複数のメモリストリングスであって、前記メモリストリングスは、柱状半導体と、前記柱状半導体の周りに形成された第1の絶縁膜と、前記第1の絶縁膜の周りに形成された電荷蓄積層と、前記電荷蓄積層の周りに形成された第2の絶縁膜と、前記第2の絶縁膜の周りに形成された複数の電極とを有している複数のメモリストリングスと、前記メモリストリングスの一端に選択トランジスタを介して接続されたビット線と、を有し、前記メモリストリングスの前記複数の電極と、別の前記メモリストリングスの前記複数の電極は共有され、それぞれ、前記基板上で2次元的に広がる導電体層であり、前記基板側の前記導電体層を第1の導電体層としたとき、前記導電体層の端部における前記ビット線方向の幅がそれぞれ以下の式を満たすことを特徴とする半導体記憶装置が提供される。 第(k-1)の導電体層の端部の幅 > 第kの導電体層の端部の幅 (kは2以上の自然数)

[0007] 本発明の一実施形態によると、半導体基板上に導電性不純物の拡散領域を形成し、前記半導体基板上に絶縁膜と導電体とを交互に複数形成し、最上の導電膜上のメモリ領域に第1保護膜、及び端部領域に第2保護膜を形成し、前記メモリ領域の前記絶縁膜と前記導電体とに複数のホールを形成し、前記ホールの表面に第2の絶縁膜を形成し、前記ホールの底部にある前記第2の絶縁膜をエッチングし、前記ホールに柱状半導体を形成し、前記第2保護膜上にフォトレジスト膜を形成し、前記端部領域の前記導電体を除去し、前記フォトレジスト膜をスリミングし、前記スリミングの後、さらに前記端部領域の前記導電体を除去し、前記導電体の端部を階段状に形成することを特徴とする半導体記憶装置の製造方法が提供される。

発明の効果

[0008] 本発明の一実施形態によると、半導体記憶装置のワード線引き出し部分が階段構造を有し、その階段部にコンタクトを配置することによって、ワード線の引き出し配線部の面積を低減することが可能となり、チップ面積を低減することが可能となる。

図面の簡単な説明

- [0009] [図1]本発明の一実施形態に係る半導体記憶装置1の概略構成図である。
- [図2]本発明の一実施形態に係る半導体記憶装置1の一つのメモリストリングス10の概略構造を示す図である。
- [図3]本発明の一実施形態に係る半導体記憶装置1の製造プロセスを示す図である。
- 。
- [図4]本発明の一実施形態に係る半導体記憶装置1の製造プロセスを示す図である。
- 。
- [図5]本発明の一実施形態に係る半導体記憶装置1の製造プロセスを示す図である。
- 。
- [図6]本発明の一実施形態に係る半導体記憶装置1の製造プロセスを示す図である。
- 。
- [図7]本発明の一実施形態に係る半導体記憶装置1の製造プロセスを示す図である。
- 。
- [図8]本発明の一実施形態に係る半導体記憶装置1の製造プロセスを示す図である。
- 。
- [図9]本発明の一実施形態に係る半導体記憶装置1の製造プロセスを示す図である。
- 。
- [図10]本発明の一実施形態に係る半導体記憶装置1の製造プロセスを示す図である。
- 。
- [図11]本発明の一実施形態に係る半導体記憶装置1の製造プロセスを示す図である。
- 。
- [図12]本発明の一実施形態に係る半導体記憶装置1の製造プロセスを示す図である。
- 。
- [図13]本発明の一実施形態に係る半導体記憶装置1の製造プロセスを示す図である。
- 。
- [図14]本発明の一実施形態に係る半導体記憶装置1の製造プロセスを示す図である。
- 。

[図15]本発明の一実施形態に係る半導体記憶装置1の製造プロセスを示す図である。

[図16]本発明の一実施形態に係る半導体記憶装置1の概略構成図である。

[図17]本発明の一実施形態に係る半導体記憶装置1の概略構成図である。

符号の説明

- [0010] 1 半導体記憶装置 2 メモリランジスタ領域 3 ワード線駆動回路
4 ソース側選択ゲート線(SGS)駆動回路 5 ドレイン側選択ゲート線(SGD)駆動回路 7 ワード線 7a 第1のワード線引き出し線 7b 第2のワード線引き出し線 7c 第3のワード線引き出し線 8 ビット線 10 メモリストリングス 11 柱状の半導体層

発明を実施するための最良の形態

[0011] 以下、本発明の実施形態に係る半導体記憶装置及びその製造方法について説明するが、本発明は、以下の実施形態に限定されるわけではない。また、各実施形態において、同様の構成については同じ符号を付し、改めて説明しない場合がある。

[0012] (実施形態1)本実施形態1に係る本発明の半導体記憶装置1の概略構成図を図1に示す。本実施形態においては、本発明の半導体記憶装置1のうちNAND型の不揮発性半導体記憶装置を例にとって説明する。実施形態1に係る本発明の半導体記憶装置1は、メモリランジスタ領域2、ワード線駆動回路3、ソース側選択ゲート線(SGS)駆動回路4、ドレイン側選択ゲート線(SGD)駆動回路5、ワード線(WL)7、ワード線引き出し線(本実施形態においては、第1のワード線引き出し線7a、第2のワード線引き出し線7b及び第3のワード線引き出し線7c)、ビット線(BL)8、ソース側選択ゲート線(SGS)30、ドレイン側選択ゲート線(SGD)31等を有している。図1に示すように、本実施形態に係る本発明の半導体記憶装置1においては、メモリランジスタ領域2を構成するメモリランジスタは、半導体層を複数積層することによって一括して形成されている。また、図1に示すとおり、ワード線(WL)7は、各層において2次元的に広がっており、層毎に同一の導電体層によって形成されている。メモリランジスタ領域2は、マトリクス状に形成された複数のメモリストリングス10を有している。フォトエッチングプロセスによって同時に形成されたビアホールを用いて、ビット線(BL)8

はセンスアンプ6(図示せず)に、ドレイン側選択ゲート線(SGD)31はドレイン側選択ゲート線SGD駆動回路5に接続されている。

- [0013] 本実施形態に係る本発明の半導体記憶装置1においては、メモリランジスタ領域2の各ワード線7の端部が階段状に形成されている。言い換えると、より上部に位置するワード線7の端部のビット線と概略平行な方向(第2のワード線引き出し線方向と概略垂直な方向)の幅が、より下部に位置するワード線7の端部のビット線方向の幅よりも小さくなっている。
- [0014] つまり、本実施形態においては、ワード線7の数は4本(4層、4枚)であるので、最も下部にあるワード線7からWL1~WL4とすると、WL1の端部のビット線と概略平行な方向の幅 > WL2の端部のビット線と概略平行な方向の幅 > WL3の端部のビット線と概略平行な方向の幅 > WL4の端部のビット線と概略平行な方向の幅 ... (1)という関係が成立する。
- [0015] また、ワード線がn本である場合については、第(k-1)のワード線の端部のビット線と概略平行な方向の端部の幅 > 第kのワード線の端部のビット線と概略平行な方向の端部の幅 ... (2) (kは2以上n以下の自然数)という関係が成立する。
- [0016] そして、この階段状に形成された各ワード線の端部に第1のワード線引き出し線がそれぞれ接続されている。このように、各ワード線7の端部を階段状に形成することにより、ワード線7の引き出し配線を密に配置することが可能となる。なお、実施形態においては、ワード線が4本である例について説明しているが、本発明の半導体記憶装置1はこれに限定されるわけではなく、所望するメモリ容量やチップ面積等に応じて、適宜、ワード線の本数を変更することができる。
- [0017] 本実施形態に係る本発明の半導体記憶装置1のメモリランジスタ領域2は、マトリクス状に形成された $m \times n$ 個(m, n は、それぞれ自然数)のメモリストリングス10を有している。本実施形態においては、メモリランジスタ領域2が 8×8 個のメモリストリングス10を有している場合について説明する。本実施形態に係る本発明の半導体記憶装置1の一つのメモリストリングス10(ここでは、 mn 番目のメモリストリングス)の概略構造を図2(A)に、またその等価回路図を図2(B)に示す。メモリストリングス10は、4つのメモリランジスタMTr1 mn ~MTr4 mn 並びに2つの選択トランジスタSSTr mn 及

びSDTrmnを有し、それぞれ直列に接続されている。1つのメモリストリングス10においては、半導体基板上的P型領域(P-Well領域)14に形成されたN+領域15に柱状の半導体11が形成され、その周りに絶縁膜12が形成され、更にその周りに平面形状(平板形状)の電極13a~13fが形成されている。この電極13a~13fと絶縁膜12と柱状の半導体11とがメモリトランジスタMTr1mn~MTr4mn、選択トランジスタSSTrmn、選択トランジスタSDTrmnを形成する。選択トランジスタSSTrmn及び選択トランジスタSDTrmnの絶縁膜12は、例えば、酸化シリコン膜を用いることができる。また、メモリトランジスタMTr1mn~MTr4mnの絶縁膜12は、電荷蓄積層を含んでおり、例えば、酸化シリコン膜/窒化シリコン膜/酸化シリコン膜の積層膜である。電極13b~13eはそれぞれワード線WL1~WL4(7)に、電極13fはドレイン側選択ゲート線SGDnに、電極13aはソース側選択ゲート線SGSとなる。また、選択トランジスタSDTrmnのソース/ドレインの一端にはビット線BLm8が接続されており、選択トランジスタSSTrmnのソース/ドレインの一端にはソース線SL(本実施形態においては、N+領域15)が接続されている。なお、本実施形態においては、一つのメモリストリングス10にメモリトランジスタMTrが4つ直列に接続されている例(ワード線7が4本の例)を示しているが、これに限定されるわけではない。1つのメモリストリングス10を構成するメモリトランジスタMTrの数は、容量に応じて決定され得る。

[0018] 本実施形態においては、各メモリストリングス10は、半導体基板のP-well領域14に形成されたn+領域(図示せず)の上に柱状の半導体を有している。各メモリストリングス10は、柱状半導体に垂直な面内にマトリクス状に配置されている。なお、この柱状の半導体は、円柱状であっても、角柱状であってもよい。また、柱状の半導体とは、同一中心線に対して左右対称な構造のみならず、中心線に対して左右対称な形状を有する柱状半導体の上に、異なる中心線を有する柱状半導体が積層されているような段々形状の構造を有する柱状の半導体を含む。

[0019] また、上述したように、各ワード線WL1~WL4(7)は、メモリセルが2次元(即ち、平面的。)に複数形成される層(メモリセル層)毎に、共通の導電体層によって形成されるため、ワード線駆動回路3の数を大幅に減少させることができ、チップ面積の縮

小化を実現できる。また、メモリトランジスタ領域2の各ワード線7の端部が階段状に形成されており、この階段状に形成された各ワード線の端部に第1のワード線引き出し線がそれぞれ接続されている。このように、各ワード線7の端部を階段状に形成することにより、ワード線7の引き出し配線を密に配置することが可能となる。

[0020] (本実施形態1に係る本発明の半導体記憶装置の製造方法)以下、図3～図9を用いて本実施形態1に係る本発明の半導体記憶装置1の製造方法について説明する。なお、以下に説明する製造方法は本実施形態に係る本発明の半導体記憶装置1の製造方法の一例であって、これに限定されるわけではない。なお、図3～図9においては、説明の便宜上、本実施形態1に係る半導体記憶装置1のメモリトランジスタ領域2及びワード線引き出し線7a～7cが示されている。また、本実施形態1に係る本発明の半導体記憶装置1においては、ワード線7を4本(ワード線7を形成するアモルファスシリコン膜が4層)の場合を例にとって説明している。なお、ワード線7の数はこれに限定されるわけではない。

[0021] まず、周辺回路トランジスタ及びソース側選択ゲート30(下部選択トランジスタ)の製造工程について説明する。なお、本実施形態の図3～図9においては、説明の便宜上、ソース側選択ゲート30より下の部分を纏めて基板部100として表示しており、各構成要素については、図示していない。半導体基板101上に、素子分離領域(STI)102形成する。次に、ボロン(B)イオンを注入してP-well領域104を形成し、更に半導体基板101の表面付近にボロン(B)イオンを注入してトランジスタのしきい値 V_{th} を調整するチャンネルインプラ領域106を形成する。ここでは、周辺回路領域に形成するトランジスタは、Nチャンネル型トランジスタの例を示しているが、所望の領域にN型を付与するイオンを注入することにより、N-well領域を形成し、Pチャンネル型トランジスタを形成する。次に、メモリトランジスタ領域2にのみ燐(P)等の不純物イオンを注入してソース線SLとなるn+拡散領域107を形成する。次に、シリコン窒化膜とシリコン酸化膜を堆積し、所望のパターンにフォトレジストを形成しウェットエッチングすることにより、メモリトランジスタ領域2にのみシリコン窒化膜とシリコン酸化膜を形成する。次に、周辺回路領域の高耐圧用トランジスタの厚膜のゲート絶縁膜を形成し、メモリトランジスタ領域2及び高耐圧用トランジスタ領域以外を開口するようにフォトレジストで

パターンを形成しウェットエッチングすることにより厚膜ゲート絶縁膜を形成する。ウェットエッチングされた領域に高速動作トランジスタの薄膜ゲート絶縁膜を形成する。次に、燐(P)等の導電型不純物を添加したポリシリコン(poly-Si)膜及び窒化シリコン膜を堆積した後、エッチングして周辺回路領域のトランジスタのゲート電極110a及びキャップ窒化シリコン膜113a並びにメモリセル領域の選択トランジスタのゲート電極110b及びキャップ窒化シリコン膜113bを形成する。次に、周辺回路領域のNチャネル型トランジスタの領域にPイオン又はAsイオンなどを注入してN型領域112を形成する。次に、基板全面に堆積した窒化シリコン膜を異方性エッチングしてサイドウォール114を形成する。次に、周辺回路領域のNチャネル型トランジスタの領域に砒素(As)イオンを注入してソース/ドレイン領域116を形成する。次に、周辺回路領域のPチャネル型トランジスタの領域にBイオンを注入してソース/ドレイン領域を形成する。次に、基板全面に窒化シリコン膜(バリア窒化シリコン膜)118を形成する。次に、基板全面に層間絶縁膜(BPSG膜)124を形成し、CMPなどによって平坦化処理を行う。

[0022] 次に、フォトリソ層を形成し、マトリクス状に選択トランジスタを形成するためのホール126をメモリトランジスタ領域2に形成する。このホール126は、メモリトランジスタ領域2のメモリストリングスの数(本実施形態においては、 $8 \times 8 = 64$)だけ形成されることになる。次に、メモリトランジスタ領域2にのみPイオン等を注入した後、LPCVD法などにより酸化シリコン膜、アモルファスシリコン膜をホールの側壁と底部のみに形成する。次に、RIEにより、ホールの底部の酸化シリコン膜及びアモルファスシリコン膜をエッチングし、アモルファスシリコン膜128a~128dを形成する。次に、アモルファスシリコン膜を形成した後、CMPなどによって平坦化処理を行い、アモルファスシリコン膜130を形成する。次に、メモリトランジスタのチャネル領域にのみPイオン等を注入する。次に、メモリトランジスタ領域2のみにAsイオン等を注入し、ドレイン拡散層を形成した後、RTAによってAsイオンを活性化する。ここで、周辺回路トランジスタ及び下部の選択トランジスタが完成する。ここではチャネル部にPイオン等を注入したが、イオン注入しなくてもよい。次に、基板全面に窒化シリコン膜132及び酸化シリコン膜134を順に形成する。本実施形態においては、ここまでの工程によって、基板部1

00が完成する。基板部100の構成及び製造プロセスは、上述した例に限定されるわけではない。

- [0023] 次に、図3に示すように、基板全面にアモルファスシリコン膜136、酸化シリコン膜138、アモルファスシリコン膜140、酸化シリコン膜142、アモルファスシリコン膜144、酸化シリコン膜146、アモルファスシリコン膜148、酸化シリコン膜150、窒化シリコン膜152を順に形成する。これらアモルファスシリコン膜136、140、144及び148がワード線7となる。本実施形態においては、プラズマCVD法により、アモルファスシリコン膜136、140、144及び148をそれぞれ厚さ100nmで形成し、酸化シリコン膜138、142、146及び150を厚さ70nmでそれぞれ形成する。また、本実施形態においては、プラズマCVD法により、窒化シリコン膜152を200nmに形成する。また、アモルファスシリコン膜136、140、144及び148は、抵抗を下げるためにn型のアモルファスシリコン膜としてもよい。また、アモルファスシリコンの代わりにポリシリコンを用いてもよい。
- [0024] 次に、窒化シリコン膜152上にフォトレジスト154(図示せず)を形成し、RIE(リアクティブ・イオン・エッチング)することにより窒化シリコン膜152をパターニングし、窒化シリコン膜152aを形成する(図4)。次に、この窒化シリコン膜152を除去した領域が第1のワード線引き出し線を接続するためのワード線7の端部領域となる。次に、基板全面にBPSG膜156を例えば厚さ600nmで形成し、窒化シリコン膜152の表面が露出するまでCMP処理する(図4)。
- [0025] 次に、図5を参照する。窒化シリコン膜152aの一部及びBPSG膜156の一部にフォトレジスト158を形成する。このフォトレジスト158及び窒化シリコン膜152aをマスクとして、酸化シリコン膜146をエッチングストッパーとして用いてBPSG膜156、酸化シリコン膜150及びアモルファスシリコン膜148をエッチングし、BPSG膜156a、酸化シリコン膜150a及びアモルファスシリコン膜148aを形成する。このとき、BPSG膜156、酸化シリコン膜150及びアモルファスシリコン膜148をエッチングした後、フォトレジスト158の剥離除去を行わない。このBPSG膜156、酸化シリコン膜150及びアモルファスシリコン膜148を除去した幅が、後に、最下の酸化シリコン膜138が露出する幅となる。なお、本実施形態においては、酸化シリコン膜をエッチングストッパーとして用いて

積層膜をエッチングする例について説明しているが、アモルファスシリコン膜をエッチングストッパーとして用いて積層膜をエッチングするようにしてもよい。

- [0026] 次に、図6を参照する。残存しているフォトレジスト158をスリミングし、フォトレジスト158aを形成する。その後、フォトレジスト158a及び窒化シリコン膜152aをマスクとして、BPSG膜156a、酸化シリコン膜150a、アモルファスシリコン膜148a、酸化シリコン膜146及びアモルファスシリコン膜144をエッチングし、BPSG膜156b、酸化シリコン膜150b、アモルファスシリコン膜148b、酸化シリコン膜146a及びアモルファスシリコン膜144a(いずれも図示せず)を形成する。本実施形態に係る本発明の半導体記憶装置1においては、このフォトレジストのスリミング工程とその後のエッチング工程とを繰り返すことにより、アモルファスシリコン膜136、142、146及び148(ワード線7)の端部を階段状に形成することができる。
- [0027] 詳しく説明すると、再びフォトレジスト158aのスリミングを行い、フォトレジスト158b(図示せず)を形成する。そして、フォトレジスト158b及び窒化シリコン膜152aをマスクとして、BPSG膜156b、酸化シリコン膜150b、アモルファスシリコン膜148b、酸化シリコン膜146a、アモルファスシリコン膜144a、酸化シリコン膜142及びアモルファスシリコン膜140をエッチングし、BPSG膜156c、酸化シリコン膜150c、アモルファスシリコン膜148c、酸化シリコン膜146b、アモルファスシリコン膜144b、酸化シリコン膜142a及びアモルファスシリコン膜140aを形成する(図7)。その後、フォトレジスト158bを除去する。
- [0028] このように、フォトレジストのスリミング工程とその後のエッチング工程とを繰り返すことにより、アモルファスシリコン膜136、142、146及び148(ワード線7)の端部を所望の階段状に形成することができる。
- [0029] 次に、フォトレジスト(図示せず)を形成し、BPSG膜156c、酸化シリコン膜150c、アモルファスシリコン膜148c、酸化シリコン膜146b、アモルファスシリコン膜144b、酸化シリコン膜142a、アモルファスシリコン膜140a、酸化シリコン膜138及びアモルファスシリコン膜136の一部をエッチング除去することにより、スリット160を形成する(図8)。
- [0030] 次に、メモリタランジスタ領域2のホール126(図示せず)に合わせるようにマトリクス状

にメモリセルの柱状部分を形成するためのホール170(図示せず)(以下、「メモリプラグホール」という。)を形成する。このメモリプラグホールは、メモリトランジスタ領域のメモリストリングスの数だけ形成されることになる。

[0031] 次に、酸化シリコン膜、窒化シリコン膜、酸化シリコン膜、アモルファスシリコン膜(いずれも図示せず)を順に形成する。次に、RIEにより、前記アモルファスシリコン膜をエッチングし、スペーサを形成する。これら酸化シリコン膜(第1の絶縁膜)、窒化シリコン膜、酸化シリコン膜(第2の絶縁膜)が、所謂ONO膜を形成する。前記窒化シリコン膜は、メモリトランジスタの電荷蓄積層となる。な

お、酸化シリコン膜の代わりにアルミナ膜などの絶縁膜を用いても良い。

[0032] 次に、メモリプラグホール170に形成されているアモルファスシリコン膜のスペーサを用いて、酸化シリコン膜、窒化シリコン膜、酸化シリコン膜をエッチングし、ホール126に形成されたアモルファスシリコン膜130の一部を露出する。次に、メモリプラグホール170を埋めるようにアモルファスシリコン膜を形成した後、CMPなどにより平坦化処理を行う。次に、Asイオンを注入し、RTAを行うことによって、ドレイン拡散層172を形成する。その後、下部選択トランジスタを形成した工程と同様の工程によって、上部選択トランジスタを形成する。

[0033] 次に、図9に示すとおり、アモルファスシリコン膜148c、アモルファスシリコン膜144b、アモルファスシリコン膜140a、アモルファスシリコン膜136までそれぞれコンタクトホールを形成し、アモルファスシリコン膜148c、アモルファスシリコン膜144b、アモルファスシリコン膜140a、アモルファスシリコン膜136にそれぞれ接続する第1のワード線引き出し線7aを形成する。この第1のワード線引き出し線7aを形成するプロセスと同時に第3のワード線引き出し線7cを形成するようにしてもよい。その後、ビット線や第1のワード線引き出し線等の配線を形成し、本実施形態に係る本発明の半導体記憶装置1が完成する。

[0034] 本実施形態に係る本発明の半導体記憶装置1においては、各ワード線WL1~WL4(7)は、メモリセルが2次元的(即ち、平面的。)に複数形成される層(メモリセル層)毎に、共通の導電体層によって形成されるため、ワード線駆動回路3の数を大幅に減少させることができ、チップ面積の縮小化を実現できる。また、メモリトランジスタ領

域2の各ワード線7の端部が階段状に形成されており、この階段状に形成された各ワード線の端部に第1のワード線引き出し線7aがそれぞれ接続されている。このように、各ワード線7の端部を階段状に形成することにより、ワード線7の引き出し配線を密に配置することが可能となる。

[0035] (実施形態2)実施形態1に係る本発明の半導体記憶装置1においては、ワード線7の端部がそれぞれビット線8と平行な方向に階段状に形成されている例について説明した。本本実施形態2に係る本発明の半導体記憶装置1においては、実施形態1のようなワード線7の端部の階段状の構造をビット線8と平行な方向に形成し、且つ、この階段状の構造をビット線8と垂直な方向に複数形成する。こうすることにより、ワード線引き出し配線をより密に形成することが可能となる。なお、本実施形態2に係る半導体記憶装置1は、ワード線7の端部の構成以外は実施形態1に係る半導体記憶装置1の構成と同様であるので、実施形態1に係る半導体記憶装置1と同様な構成については、ここでは改めて説明しない場合がある。

[0036] (本実施形態2に係る本発明の半導体記憶装置の製造方法)以下、図10～図15を用いて本実施形態2に係る本発明の半導体記憶装置1の製造方法について説明する。なお、以下に説明する製造方法は本実施形態に係る本発明の半導体記憶装置1の製造方法の一例であって、これに限定されるわけではない。また、図10～図15においては、説明の便宜上、本実施形態2に係る半導体記憶装置1のメモリタラジスタ領域2及びワード線引き出し線7a～7cが示されている。本実施形態2に係る本発明の半導体記憶装置1においては、ワード線7を12本(ワード線7を形成するアモルファスシリコン膜が12層)の場合を例にとりて説明している。なお、ワード線7の本数はこれに限定されるわけではない。

[0037] まず、上述の実施形態1で説明した方法と同様の方法により、基板部100を形成する。そして、基板部100上に、アモルファスシリコン膜200、酸化シリコン膜202、アモルファスシリコン膜204、酸化シリコン膜206、アモルファスシリコン膜208、酸化シリコン膜210、アモルファスシリコン膜212、酸化シリコン膜214、アモルファスシリコン膜216、酸化シリコン膜218、アモルファスシリコン膜220、酸化シリコン膜222、アモルファスシリコン膜224、酸化シリコン膜226、アモルファスシリコン膜228、酸化シリコン

膜230、アモルファスシリコン膜232、酸化シリコン膜234、アモルファスシリコン膜236、酸化シリコン膜238、アモルファスシリコン膜240、酸化シリコン膜242、アモルファスシリコン膜244、酸化シリコン膜246及び窒化シリコン膜248を順に形成する。次に、窒化シリコン膜248の一部をエッチングし、BPSG膜250を形成し、窒化シリコン膜248の表面が露出するまでCMP処理する。そして、フォトレジスト252を形成し、上述の実施形態1で説明したプロセスと同様のプロセスを用いて、アモルファスシリコン膜236、酸化シリコン膜238、アモルファスシリコン膜240、酸化シリコン膜242、アモルファスシリコン膜244、酸化シリコン膜246及びBPSG膜250を階段状に形成する(図10)。

[0038] 次に、フォトレジスト252を用いて、アモルファスシリコン膜232、酸化シリコン膜234、アモルファスシリコン膜236、酸化シリコン膜238、アモルファスシリコン膜240、酸化シリコン膜242、アモルファスシリコン膜244、酸化シリコン膜246及びBPSG膜250、並びに、アモルファスシリコン膜220、酸化シリコン膜222、アモルファスシリコン膜224、酸化シリコン膜226、アモルファスシリコン膜228及び酸化シリコン膜230を纏めてエッチングし、アモルファスシリコン膜232a、酸化シリコン膜234a、アモルファスシリコン膜236a、酸化シリコン膜238a、アモルファスシリコン膜240a、酸化シリコン膜242a、アモルファスシリコン膜244a、酸化シリコン膜246a及びBPSG膜250a、並びに、アモルファスシリコン膜220a、酸化シリコン膜222a、アモルファスシリコン膜224a、酸化シリコン膜226a、アモルファスシリコン膜228a及び酸化シリコン膜230aを形成する(図11)。

[0039] そして、フォトレジスト252を剥離せず、フォトレジストをスリミングし、フォトレジスト252aを形成する(図12)。次に、アモルファスシリコン膜232a、酸化シリコン膜234a、アモルファスシリコン膜236a、酸化シリコン膜238a、アモルファスシリコン膜240a、酸化シリコン膜242a、アモルファスシリコン膜244a、酸化シリコン膜246a及びBPSG膜250a、並びに、アモルファスシリコン膜220a、酸化シリコン膜222a、アモルファスシリコン膜224a、酸化シリコン膜226a、アモルファスシリコン膜228a及び酸化シリコン膜230a、並びに、アモルファスシリコン膜204、酸化シリコン膜206、アモルファスシリコン膜208、酸化シリコン膜210、アモルファスシリコン膜212、酸化シリコン膜21

4、アモルファスシリコン膜216及び酸化シリコン膜218を纏めてエッチングし、アモルファスシリコン膜232b、酸化シリコン膜234b、アモルファスシリコン膜236b、酸化シリコン膜238b、アモルファスシリコン膜240b、酸化シリコン膜242b、アモルファスシリコン膜244b、酸化シリコン膜246b及びBPSG膜250b、並びに、アモルファスシリコン膜220b、酸化シリコン膜222b、アモルファスシリコン膜224b、酸化シリコン膜226b、アモルファスシリコン膜228b及び酸化シリコン膜230b、並びに、アモルファスシリコン膜204a、酸化シリコン膜206a、アモルファスシリコン膜208a、酸化シリコン膜210a、アモルファスシリコン膜212a、酸化シリコン膜214a、アモルファスシリコン膜216a及び酸化シリコン膜218aを形成する(図13)。

[0040] その後、フォトレジスト252aを剥離除去する。次に、フォトレジスト(図示せず)を形成し、実施形態1と同様に、スリット260を形成する(図14)。

[0041] 次に、実施形態1と同様の工程により、メモリストリングスの数だけメモリプラグホール170(図示せず)を形成する。次に、酸化シリコン膜、窒化シリコン膜、酸化シリコン膜、アモルファスシリコン膜(いずれも図示せず)を順に形成する。次に、RIEにより、前記アモルファスシリコン膜をエッチングし、スペーサを形成する。これら酸化シリコン膜(第1の絶縁膜)、窒化シリコン膜、酸化シリコン膜(第2の絶縁膜)が、所謂ONO膜を形成する。前記窒化シリコン膜は、メモリトランジスタの電荷蓄積層となる。なお、酸化シリコン膜の代わりにアルミナ膜などの絶縁膜を用いても良い。

[0042] 次に、メモリプラグホール170に形成されているアモルファスシリコン膜のスペーサを用いて、酸化シリコン膜、窒化シリコン膜、酸化シリコン膜をエッチングし、ホール126に形成されたアモルファスシリコン膜130の一部を露出する。次に、メモリプラグホール170を埋めるようにアモルファスシリコン膜を形成した後、CMPなどにより平坦化処理を行う。次に、Asイオンを注入し、RTAを行うことによって、ドレイン拡散層172を形成する。その後、下部選択トランジスタを形成した工程と同様の工程によって、上部選択トランジスタを形成する。

[0043] 次に、図15に示すとおり、アモルファスシリコン膜200、204a、208a、212a、216a、220b、224b、228b、232b、236b、240b及び244bまでそれぞれコンタクトホールを形成し、アモルファスシリコン膜200、204a、208a、212a、216a、220b、224b、

228b、232b、236b、240b及び244bにそれぞれ接続する第1のワード線引き出し線7aを形成する。この第1のワード線引き出し線7aを形成するプロセスと同時に第3のワード線引き出し線7cを形成するようにしてもよい。その後、ビット線や第1のワード線引き出し線等の配線を形成し、本実施形態に係る本発明の半導体記憶装置1が完成する。

[0044] 本実施形態2に係る本発明の半導体記憶装置1においては、実施形態1のようなワード線7の端部の階段状の構造をビット線8と平行な方向に形成し、且つ、この階段状の構造をビット線8と垂直な方向に複数形成する。こうすることにより、ワード線引き出し配線をより密に形成することが可能となる。

[0045] (実施形態3)本実施形態3に係る本発明の半導体記憶装置1は、実施形態1に係る本発明の半導体記憶装置1が縦方向に複数個積層されている構成を有している。なお、その他の構成については、実施形態1に係る本発明の半導体記憶装置1と同様の構成を有しているので、ここでは改めて説明しない。

[0046] 図16に示すとおり、本実施形態3に係る本発明の半導体記憶装置1は、実施形態1に係る本発明の半導体記憶装置1が縦方向に3個積層されている構成を有している。なお、本実施形態3においては、実施形態1に係る本発明の半導体記憶装置1が縦方向に3個積層されている例をとって説明したが、これに限定されるわけではない。

[0047] 本実施形態3に係る本発明の半導体記憶装置1によると、より高密度にメモリトランジスタを集積することができる。

[0048] (実施形態4)本実施形態4に係る本発明の半導体記憶装置1は、実施形態2に係る本発明の半導体記憶装置1が縦方向に複数個積層されている構成を有している。なお、その他の構成については、実施形態2に係る本発明の半導体記憶装置1と同様の構成を有しているので、ここでは改めて説明しない。

[0049] 図17に示すとおり、本実施形態4に係る本発明の半導体記憶装置1は、実施形態2に係る本発明の半導体記憶装置1が縦方向に2個積層されている構成を有している。なお、本実施形態4においては、実施形態2に係る本発明の半導体記憶装置1が縦方向に2個積層されている例をとって説明したが、これに限定されるわけではない。

。

[0050] 本実施形態4に係

る本発明の半導体記憶装置1によると、より高密度にメモリトランジスタを集積することができる。

請求の範囲

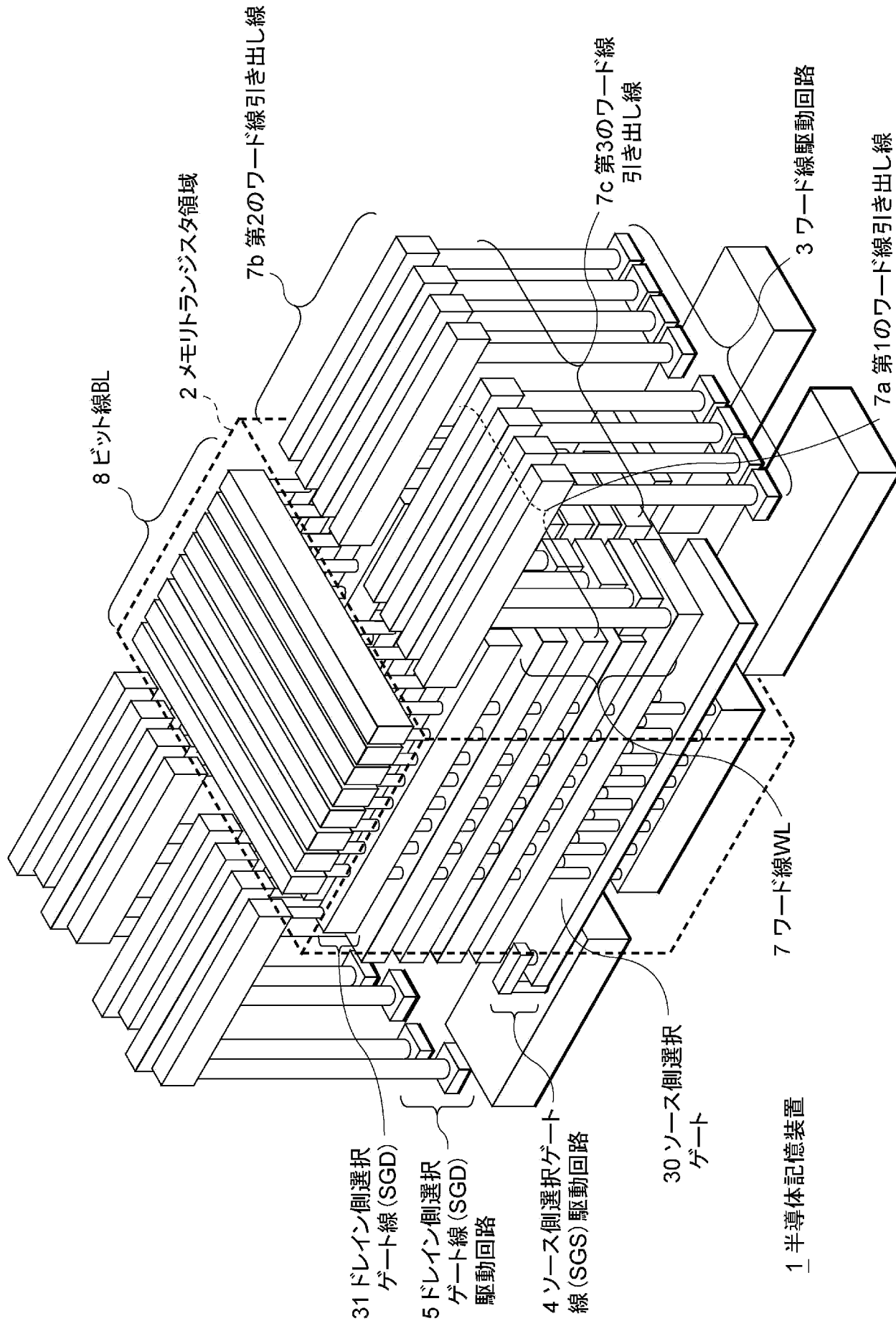
- [1] 電気的に書き換え可能な複数のメモリスセルが直列に接続された複数のメモリストリングスであって、前記メモリストリングスは、柱状半導体と、前記柱状半導体の周りに形成された第1の絶縁膜と、前記第1の絶縁膜の周りに形成された電荷蓄積層と、前記電荷蓄積層の周りに形成された第2の絶縁膜と、前記第2の絶縁膜の周りに形成された複数の電極とを有している複数のメモリストリングスと、前記メモリストリングスの一端に選択トランジスタを介して接続されたビット線と、を有し、前記メモリストリングスの前記複数の電極と、別の前記メモリストリングスの前記複数の電極は共有され、それぞれ、2次元的に広がる導電体層であり、前記導電体層の端部は、それぞれ、前記ビット線と平行な方向に階段状に形成されていることを特徴とする半導体記憶装置。
- [2] 前記導電体層の端部は、さらに前記ビット線に垂直な方向に階段状に形成されていることを特徴とする請求項1に記載の半導体記憶装置。
- [3] 前記導電体層の前記ビット線方向の両端部が、階段状であることを特徴とする請求項1に記載の半導体記憶装置。
- [4] 複数のワード線引き出し線が階段状に形成された前記導電体層の端部にそれぞれ配置されることを特徴とする請求項1に記載の半導体記憶装置。
- [5] 複数のコンタクトが階段状に形成された前記導電体層の端部にそれぞれ配置されることを特徴とする請求項1に記載の半導体記憶装置。
- [6] 前記2次元的に広がる前記導電体層は、それぞれ、板状の導電体層であることを特徴とする請求項1に記載の半導体記憶装置。
- [7] 前記複数のメモリストリングスは、前記柱状半導体に垂直な面内にマトリクス状に配置されていることを特徴とする請求項1に記載の半導体記憶装置。
- [8] 基板と、電気的に書き換え可能な複数のメモリスセルが直列に接続された複数のメモリストリングスであって、前記メモリストリングスは、柱状半導体と、前記柱状半導体の周りに形成された第1の絶縁膜と、前記第1の絶縁膜の周りに形成された電荷蓄積層と、前記電荷蓄積層の周りに形成された第2の絶縁膜と、前記第2の絶縁膜の周りに形成された複数の電極とを有している複数のメモリストリングスと、前記メモリストリングスの一端に選択トランジスタを介して接続されたビット線と、を有し、前記メモリストリング

スの前記複数の電極と、別の前記メモリスリングスの前記複数の電極は共有され、それぞれ、前記基板上で2次元的に広がる導電体層であり、前記基板側の前記導電体層を第1の導電体層としたとき、前記導電体層の端部における前記ビット線方向の幅がそれぞれ以下の式を満たすことを特徴とする半導体記憶装置。 第(k-1)の導電体層の端部の幅 > 第kの導電体層の端部の幅 (kは2以上の自然数)

- [9] 前記導電体層の端部は、さらに前記ビット線に垂直な方向に階段状に形成されていることを特徴とする請求項8に記載の半導体記憶装置。
- [10] 前記導電体層の前記ビット線方向の両端部が、階段状であることを特徴とする請求項8に記載の半導体記憶装置。
- [11] 複数のワード線引き出し線が階段状に形成された前記導電体層の端部にそれぞれ配置されることを特徴とする請求項8に記載の半導体記憶装置。
- [12] 複数のコンタクトが階段状に形成された前記導電体層の端部にそれぞれ配置されることを特徴とする請求項8に記載の半導体記憶装置。
- [13] 前記複数のメモリスリングスは、前記柱状半導体に垂直な面内にマトリクス状に配置されていることを特徴とする請求項8に記載の半導体記憶装置。
- [14] 半導体基板上に導電性不純物の拡散領域を形成し、前記半導体基板上に絶縁膜と導電体とを交互に複数形成し、最上の導電膜上のメモリ領域に第1保護膜、及び端部領域に第2保護膜を形成し、前記メモリ領域の前記絶縁膜と前記導電体とに複数のホールを形成し、前記ホールの表面に第2の絶縁膜を形成し、前記ホールの底部にある前記第2の絶縁膜をエッチングし、前記ホールに柱状半導体を形成し、前記第2保護膜上にフォトレジスト膜を形成し、前記端部領域の前記導電体を除去し、前記フォトレジスト膜をスリミングし、前記スリミングの後、さらに前記端部領域の前記導電体を除去し、前記導電体の端部を階段状に形成することを特徴とする半導体記憶装置の製造方法。
- [15] 前記スリミングとエッチングとを複数回繰り返して前記導電体の端部を階段状に形成することを特徴とする請求項14に記載の半導体記憶装置の製造方法。
- [16] 前記導電体層の端部は、さらに前記ビット線に垂直な方向にも階段状に形成することを特徴とする請求項14に記載の半導体記憶装置の製造方法。

- [17] 前記導体層の前記ビット線方向の両端部が、階段状であることを特徴とする請求項14に記載の半導体記憶装置の製造方法。
- [18] 複数のワード線引き出し線が階段状に形成する前記導電体層の端部にそれぞれ配置することを特徴とする請求項14に記載の半導体記憶装置の製造方法。
- [19] 複数のコンタクトが階段状に形成する前記導電体層の端部にそれぞれ配置することを特徴とする請求項14に記載の半導体記憶装置の製造方法。
- [20] 前記複数のメモリスリングスは、前記柱状半導体に垂直な面内にマトリクス状に配置することを特徴とする請求項14に記載の半導体記憶装置の製造方法。

[図1]



1 半導体記憶装置

31 ドレイン側選択ゲート線 (SGD)

5 ドレイン側選択ゲート線 (SGD) 駆動回路

4 ソース側選択ゲート線 (SGS) 駆動回路

30 ソース側選択ゲート

7 ワード線WL

3 ワード線駆動回路

7c 第3のワード線引き出し線

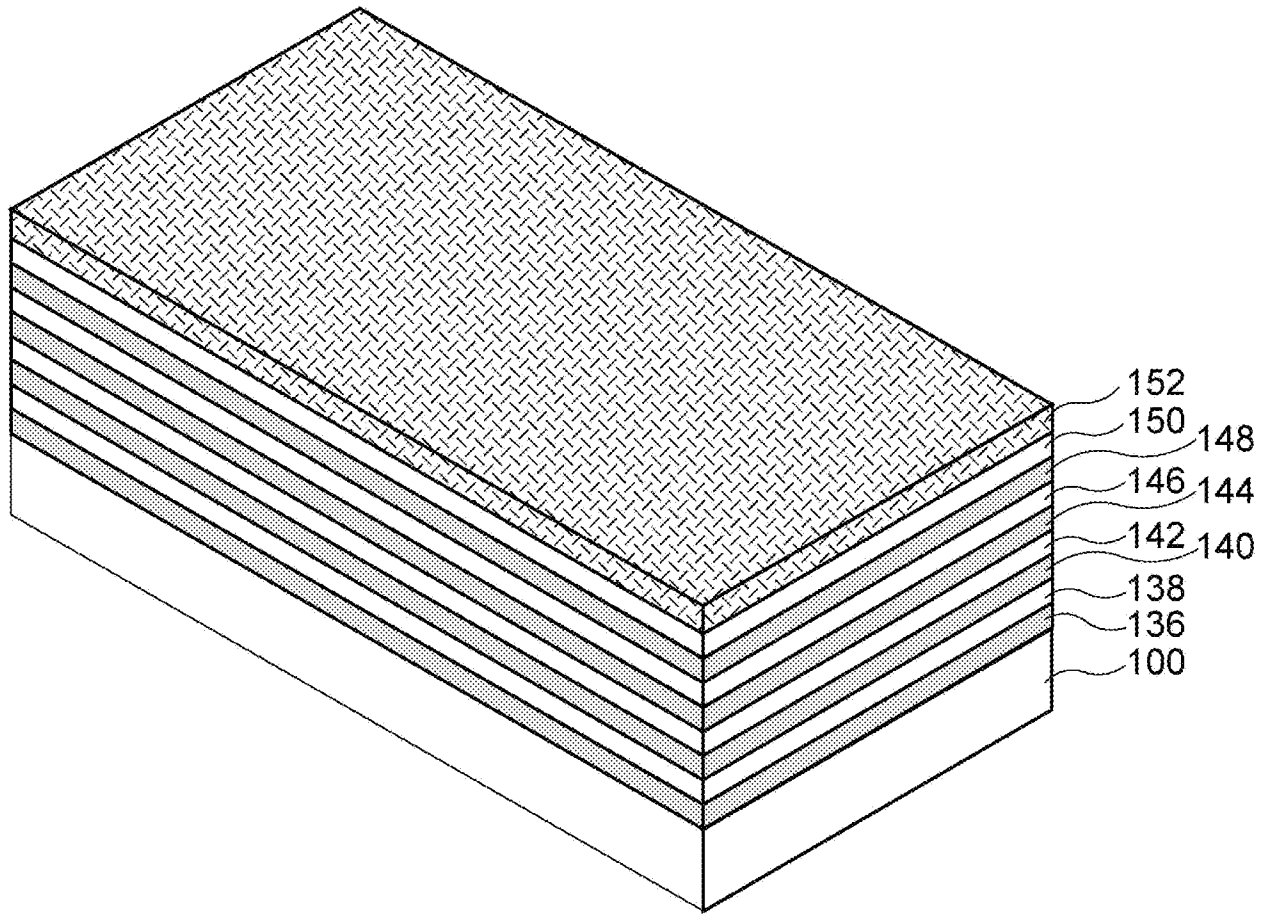
7a 第1のワード線引き出し線

7b 第2のワード線引き出し線

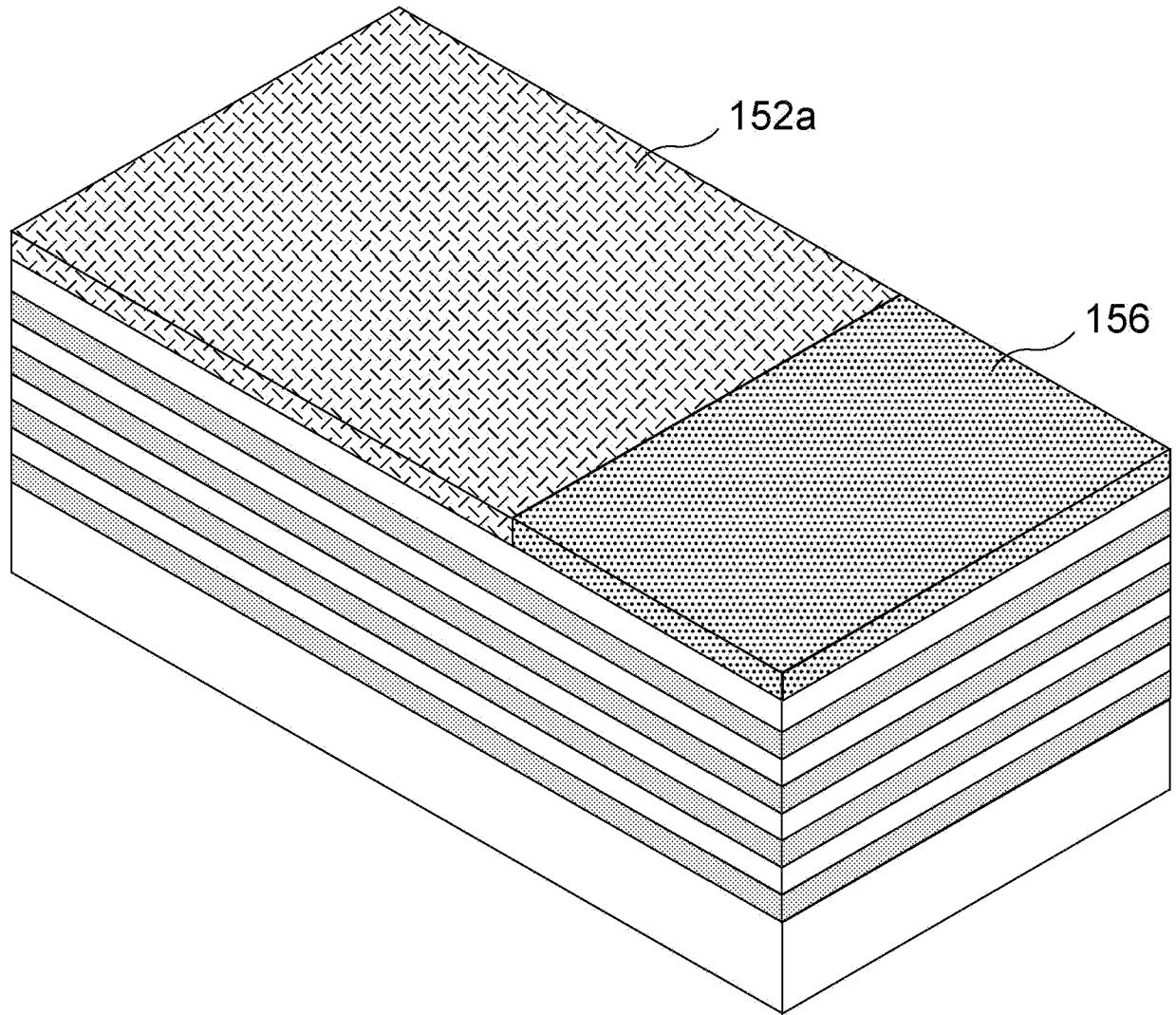
2 メモリランジスタ領域

8 ビット線BL

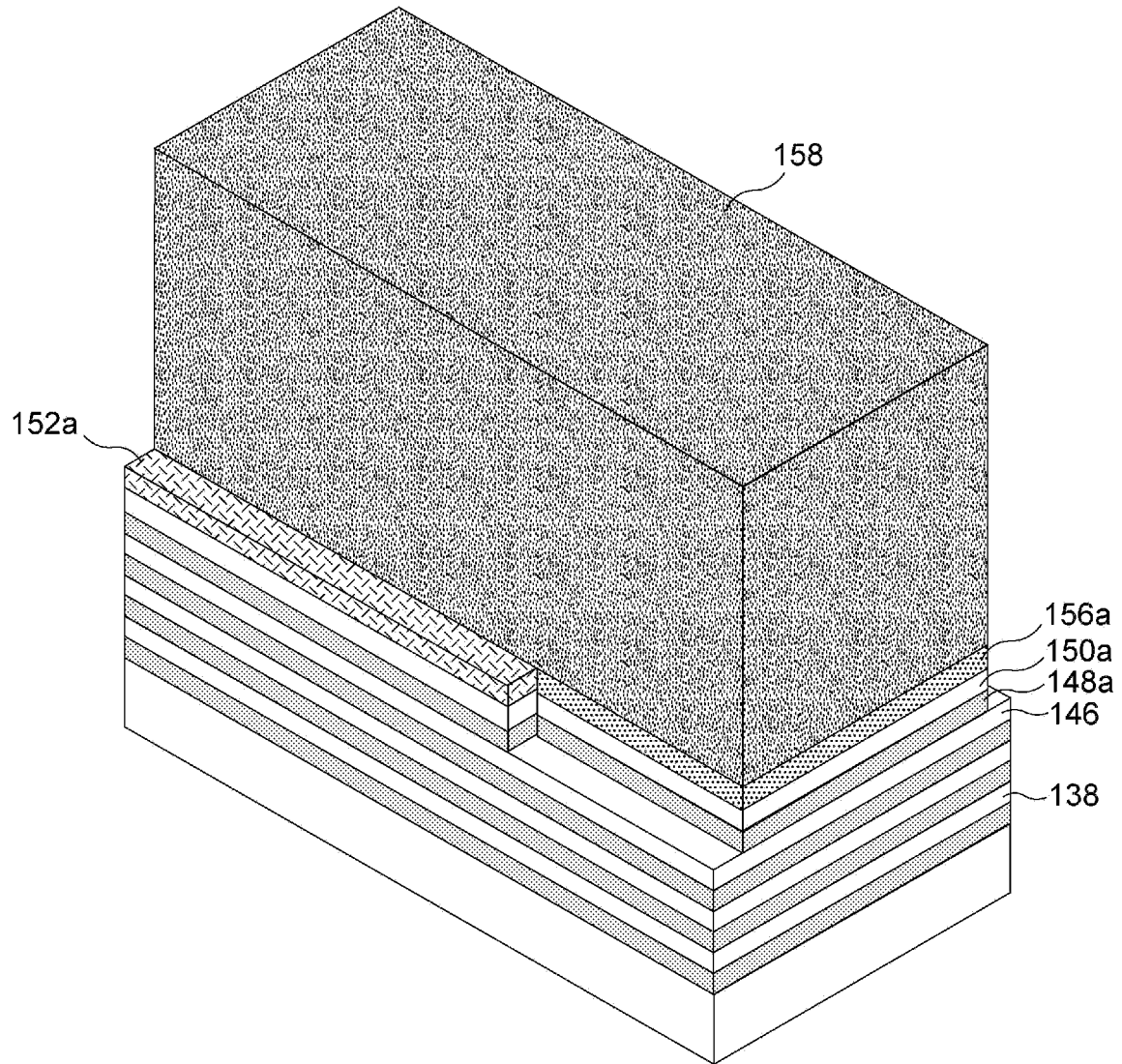
[図3]



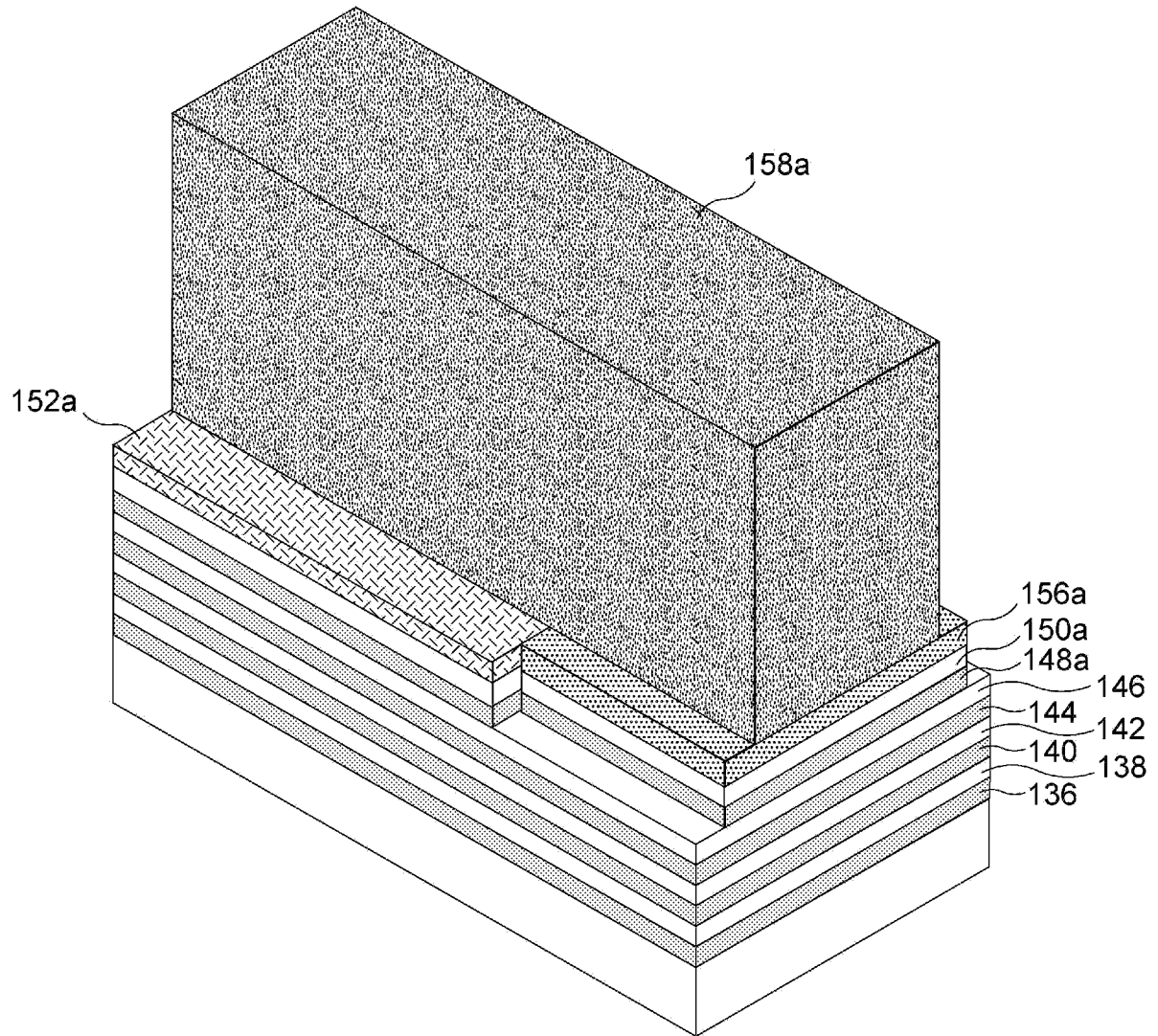
[図4]



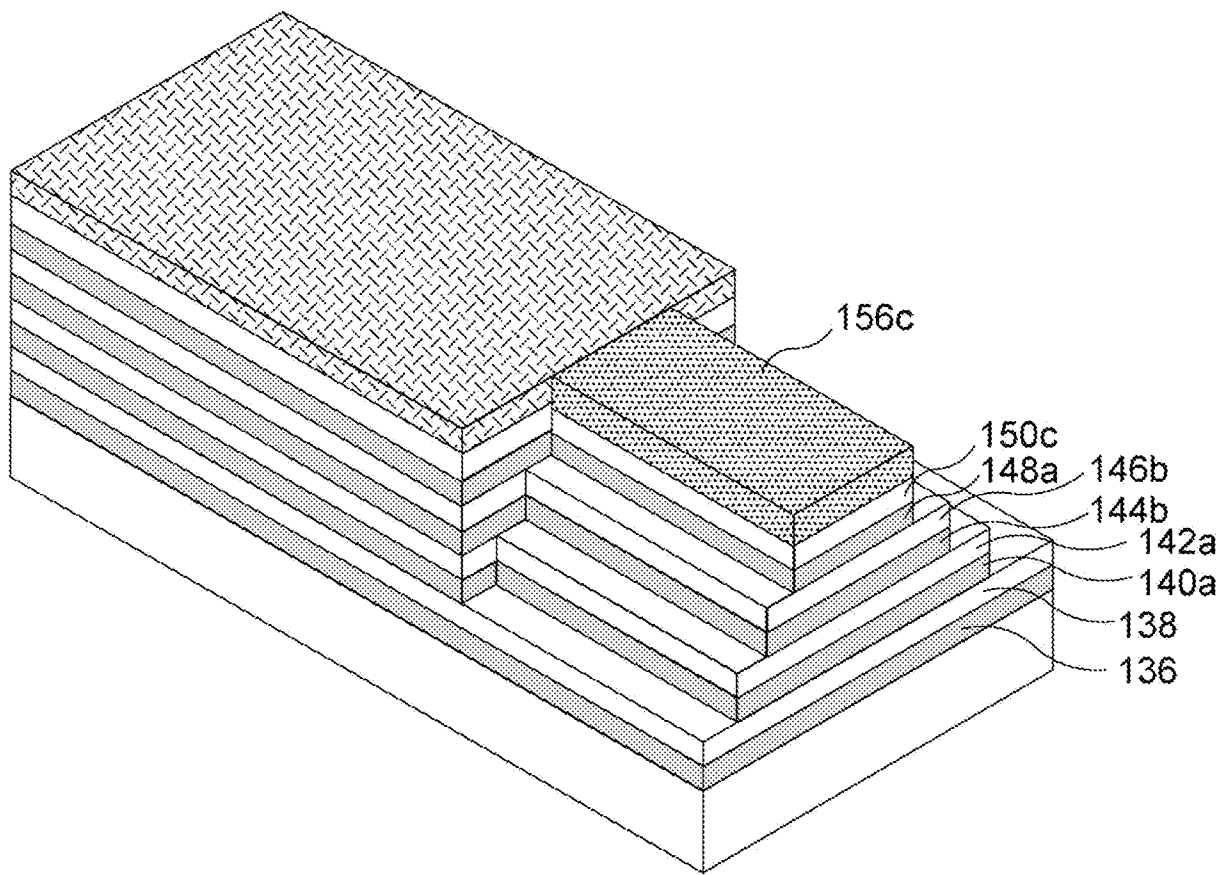
[図5]



[図6]

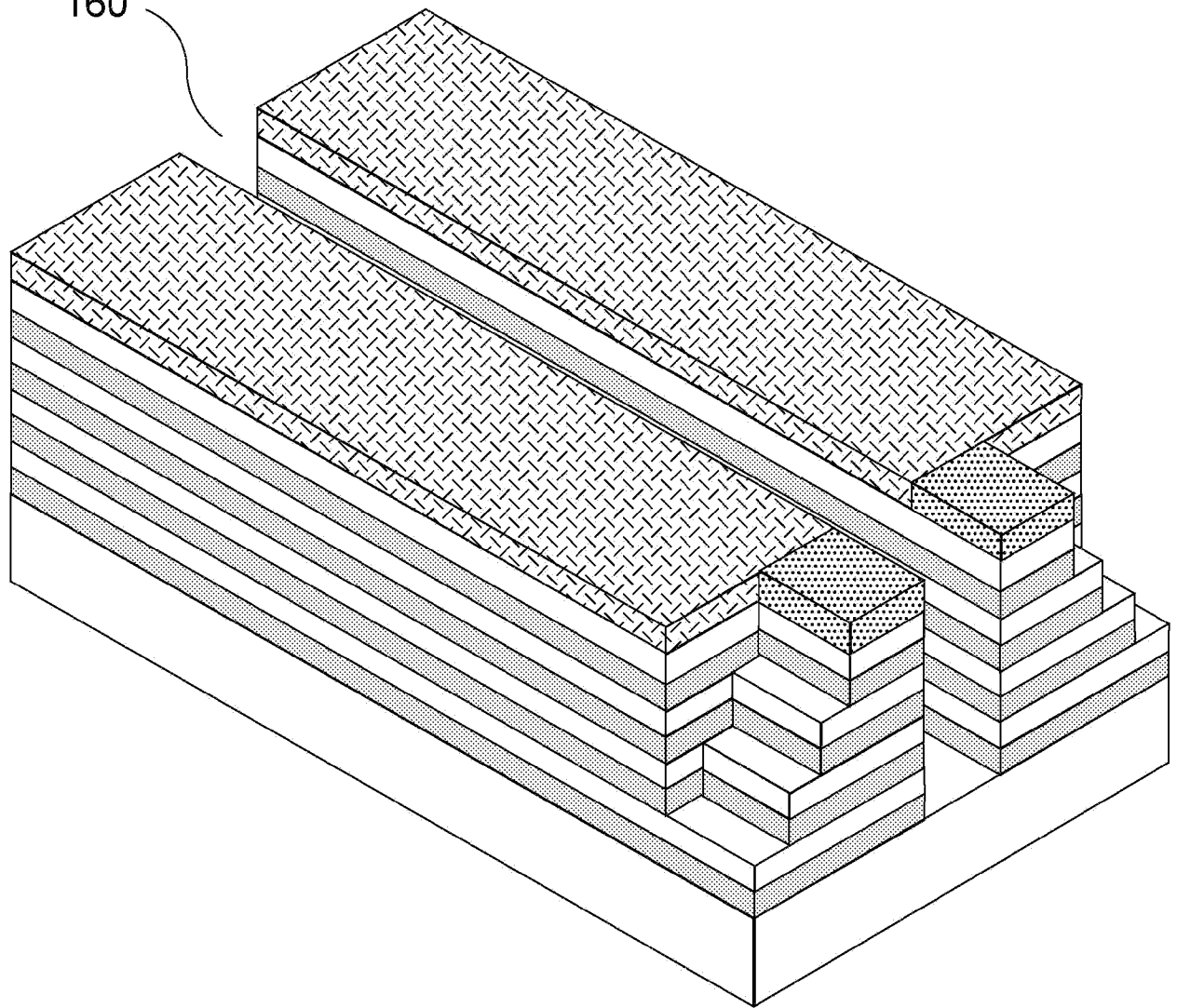


[図7]

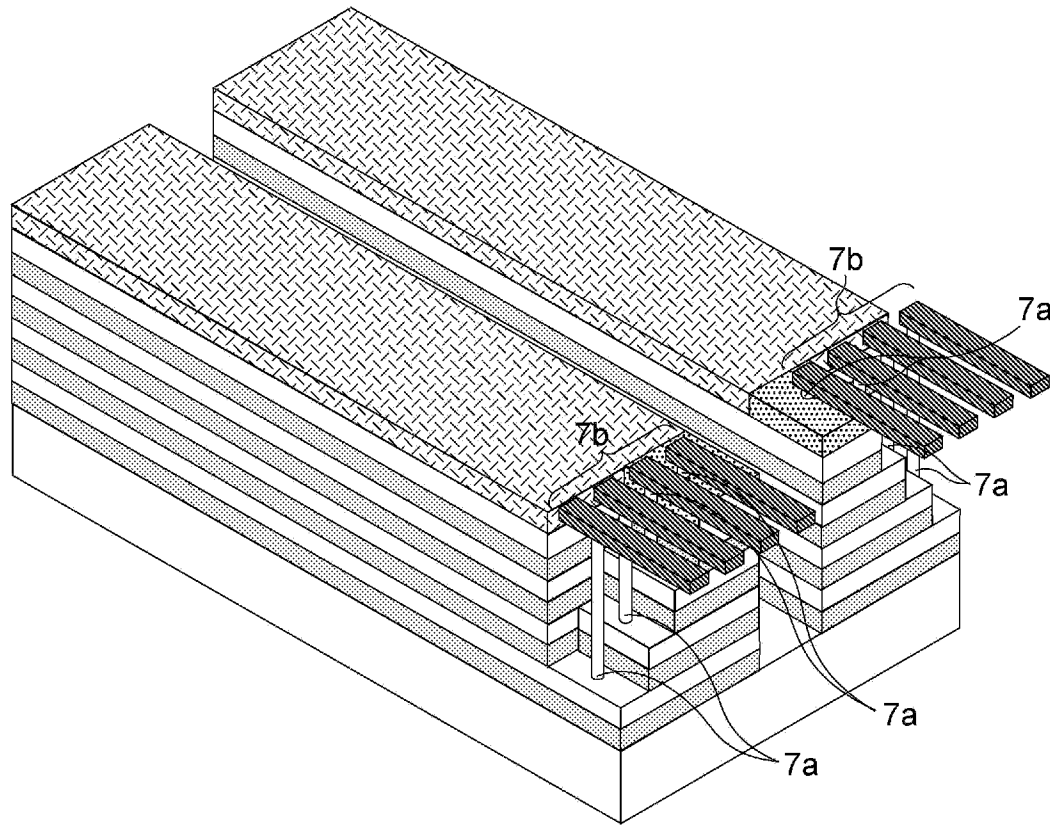


[図8]

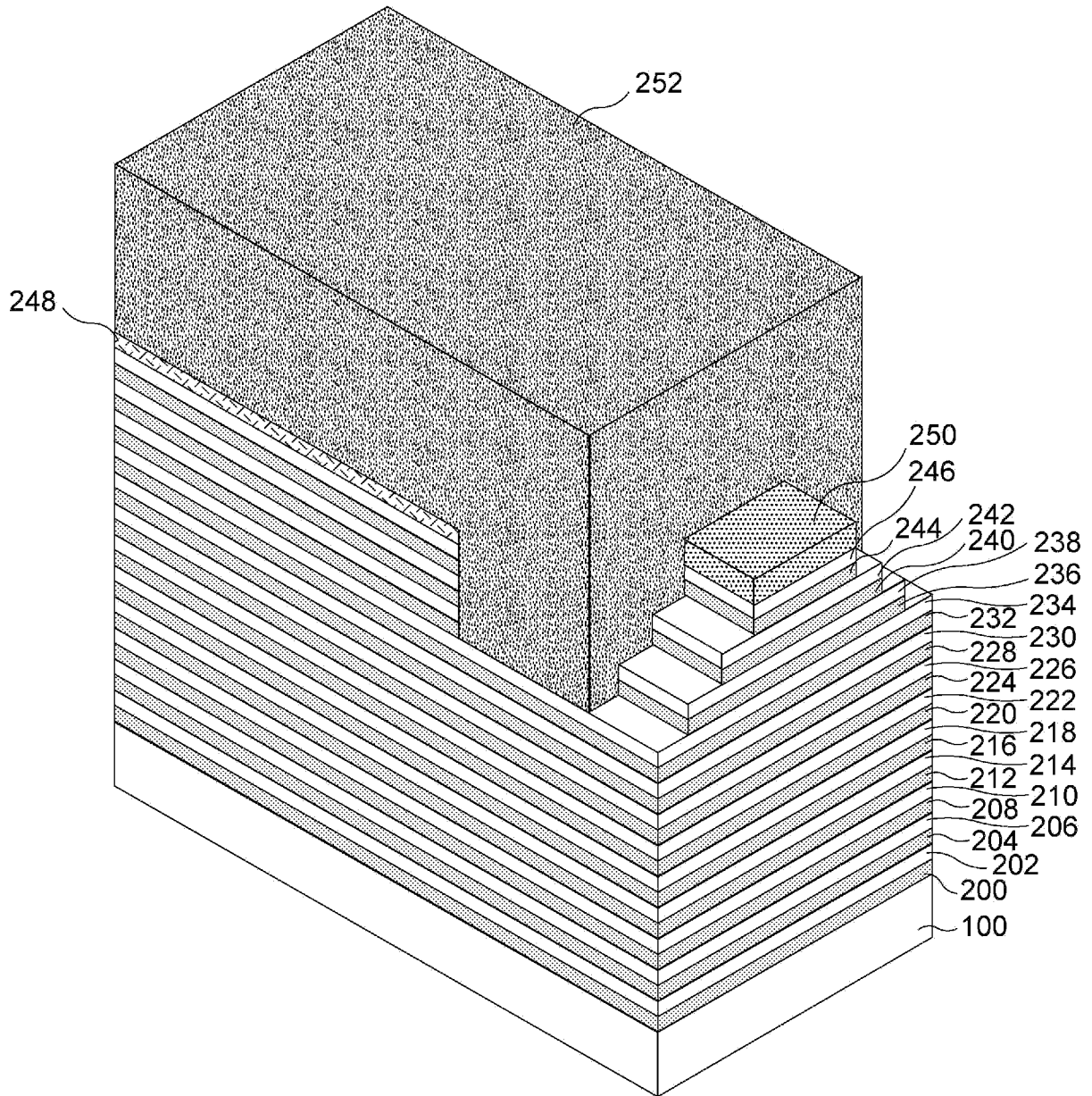
160



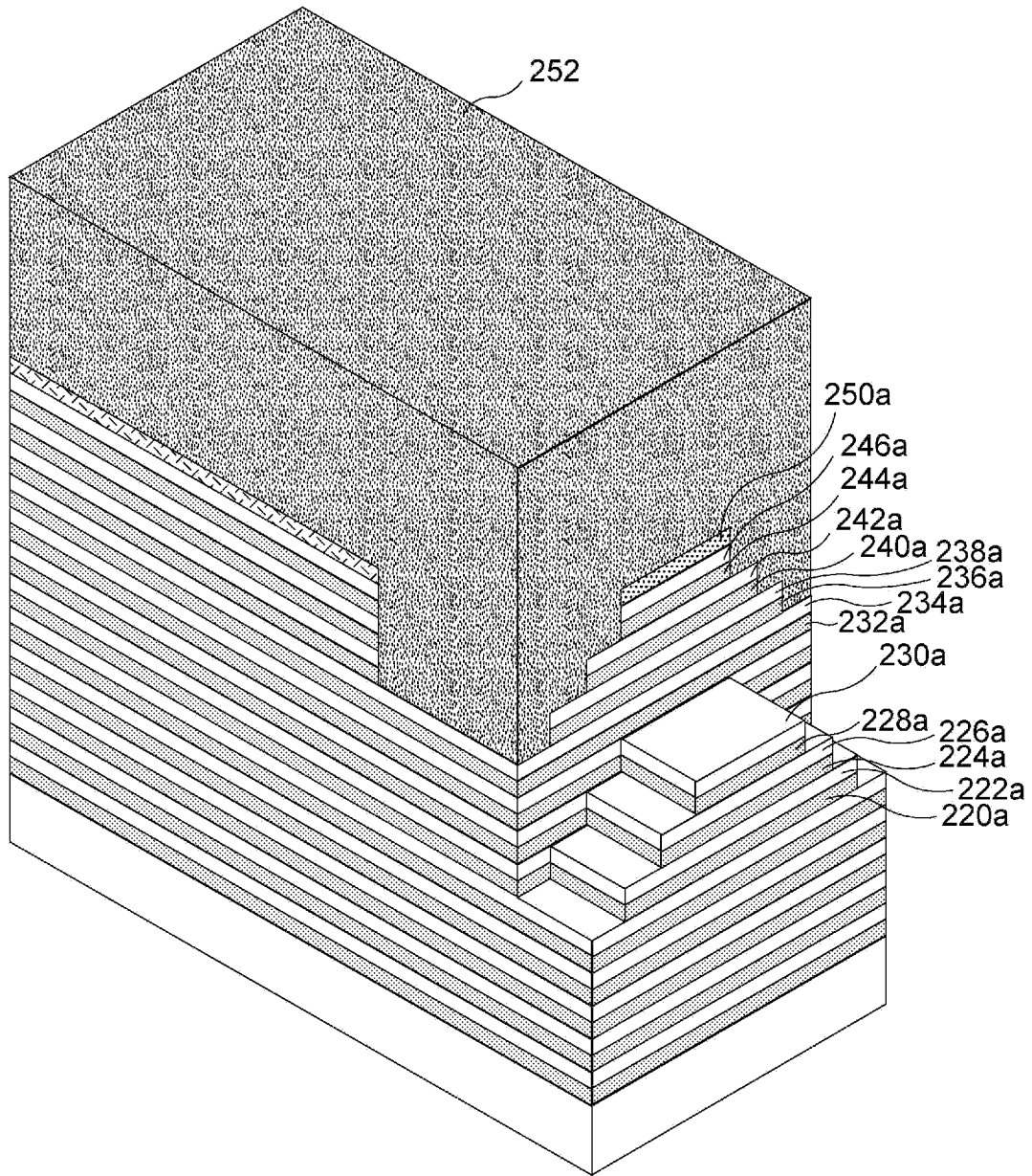
[図9]



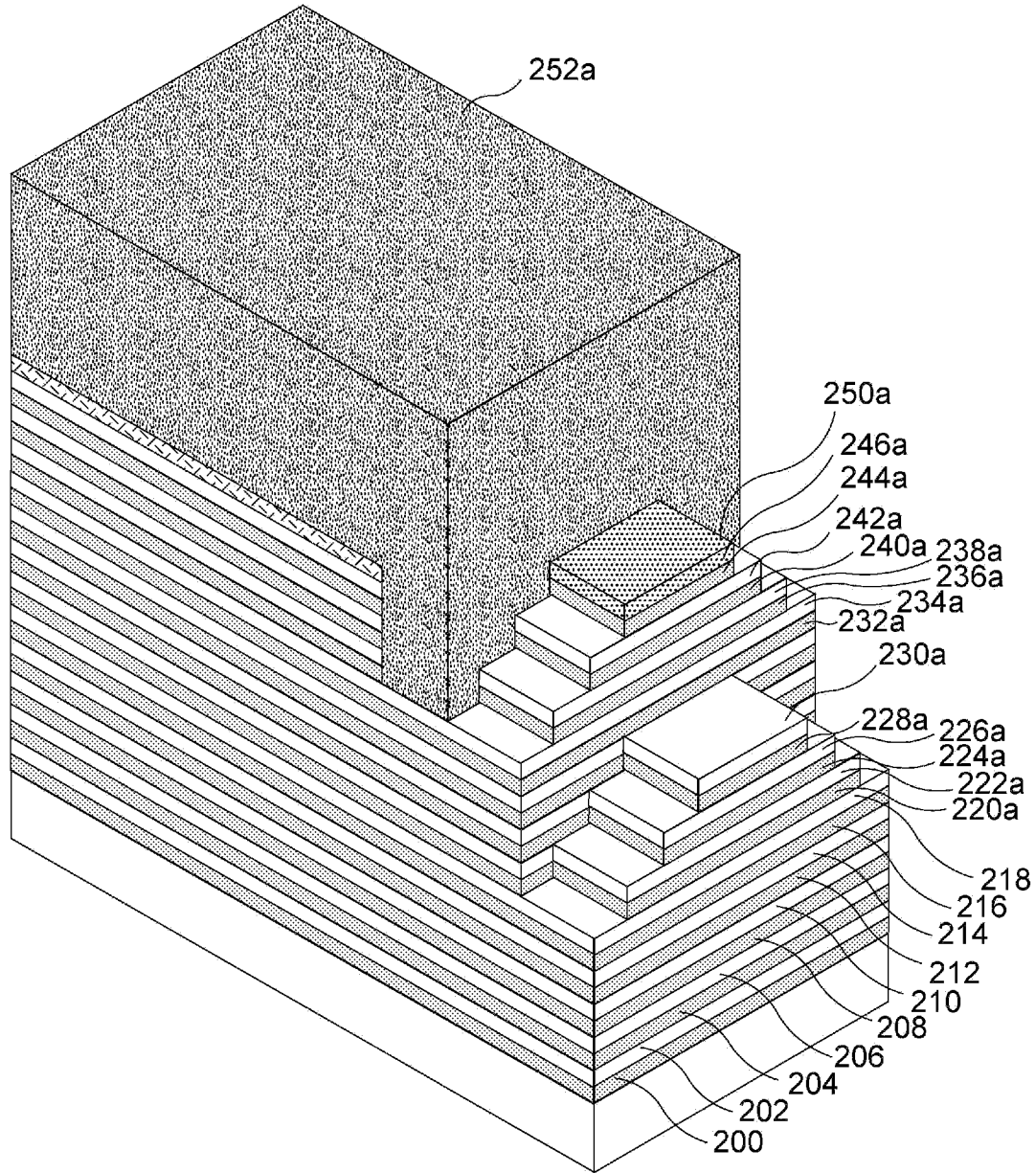
[図10]



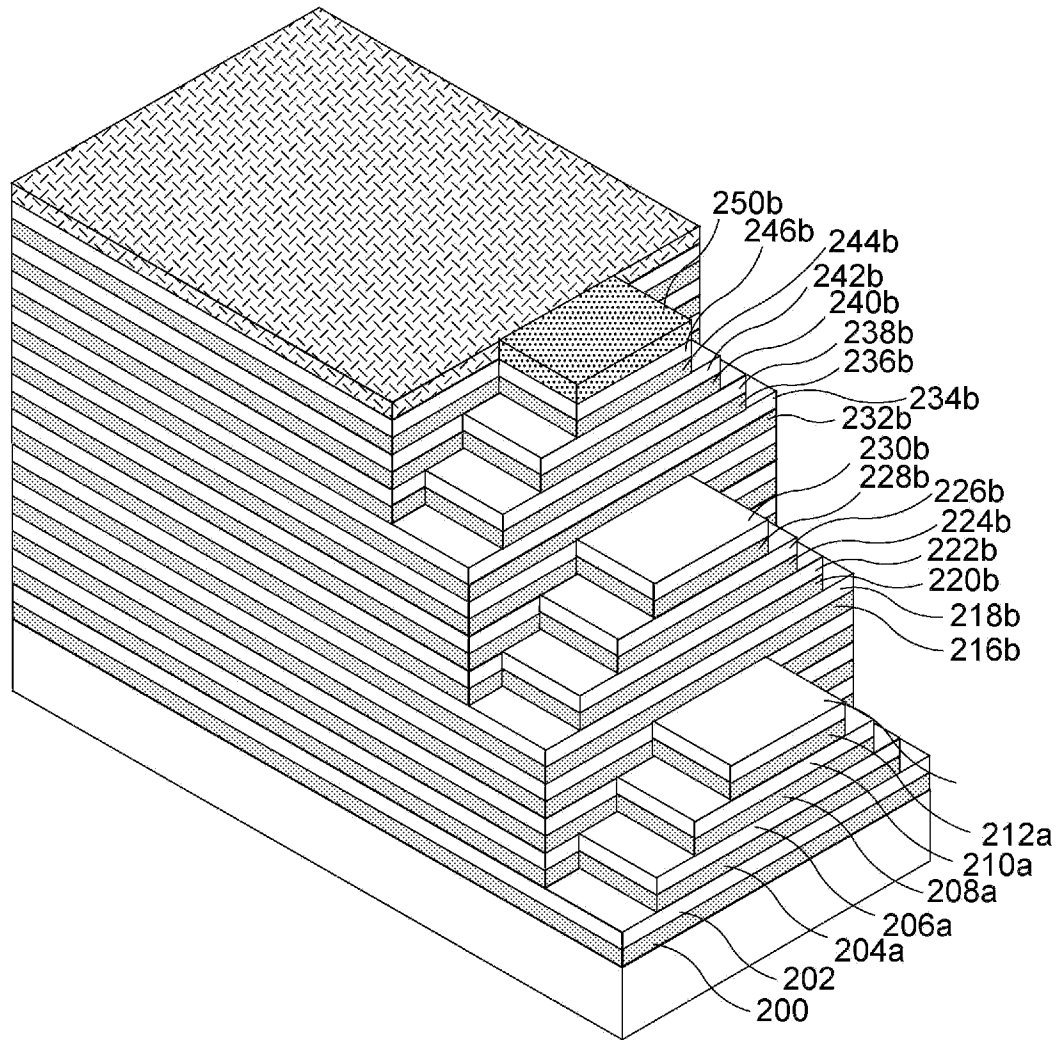
[図11]



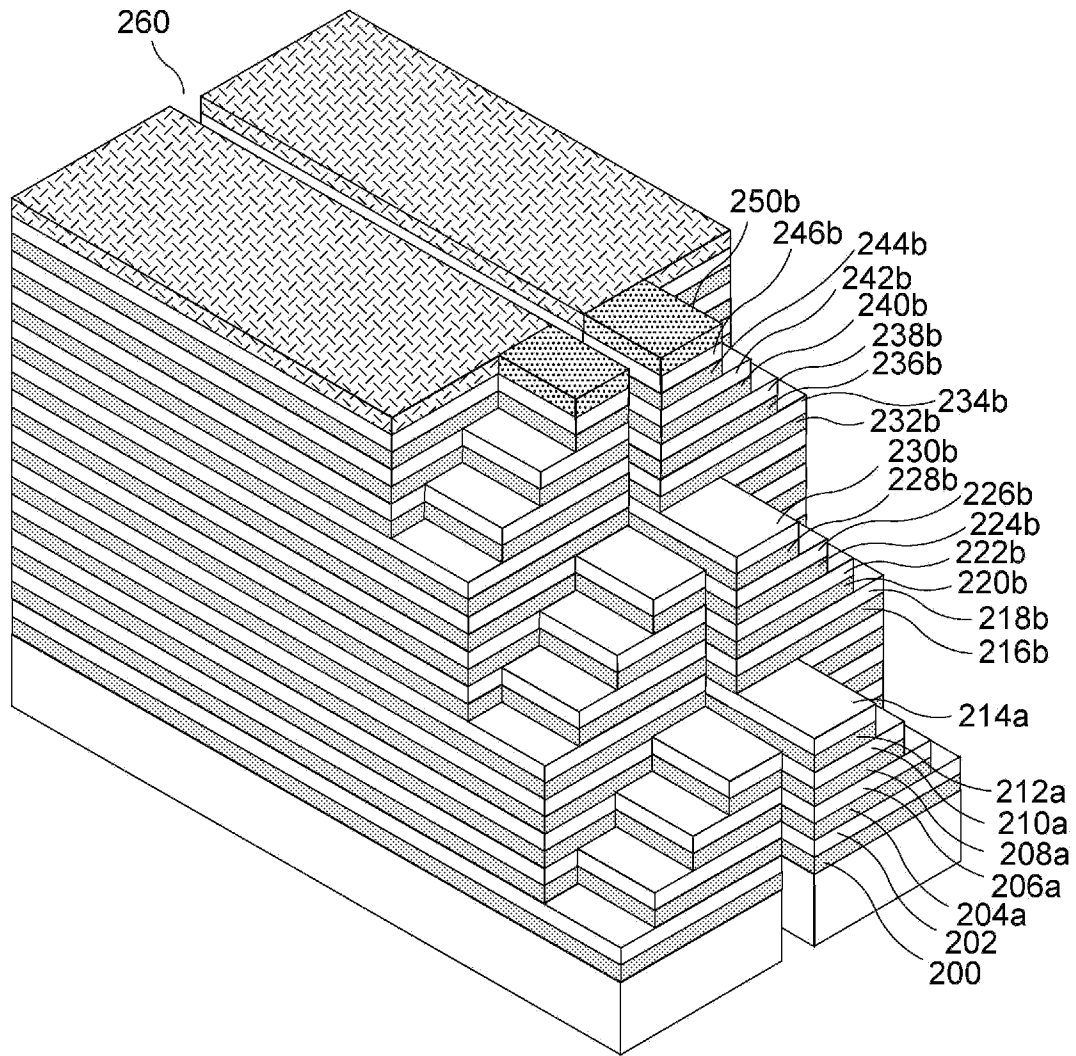
[図12]



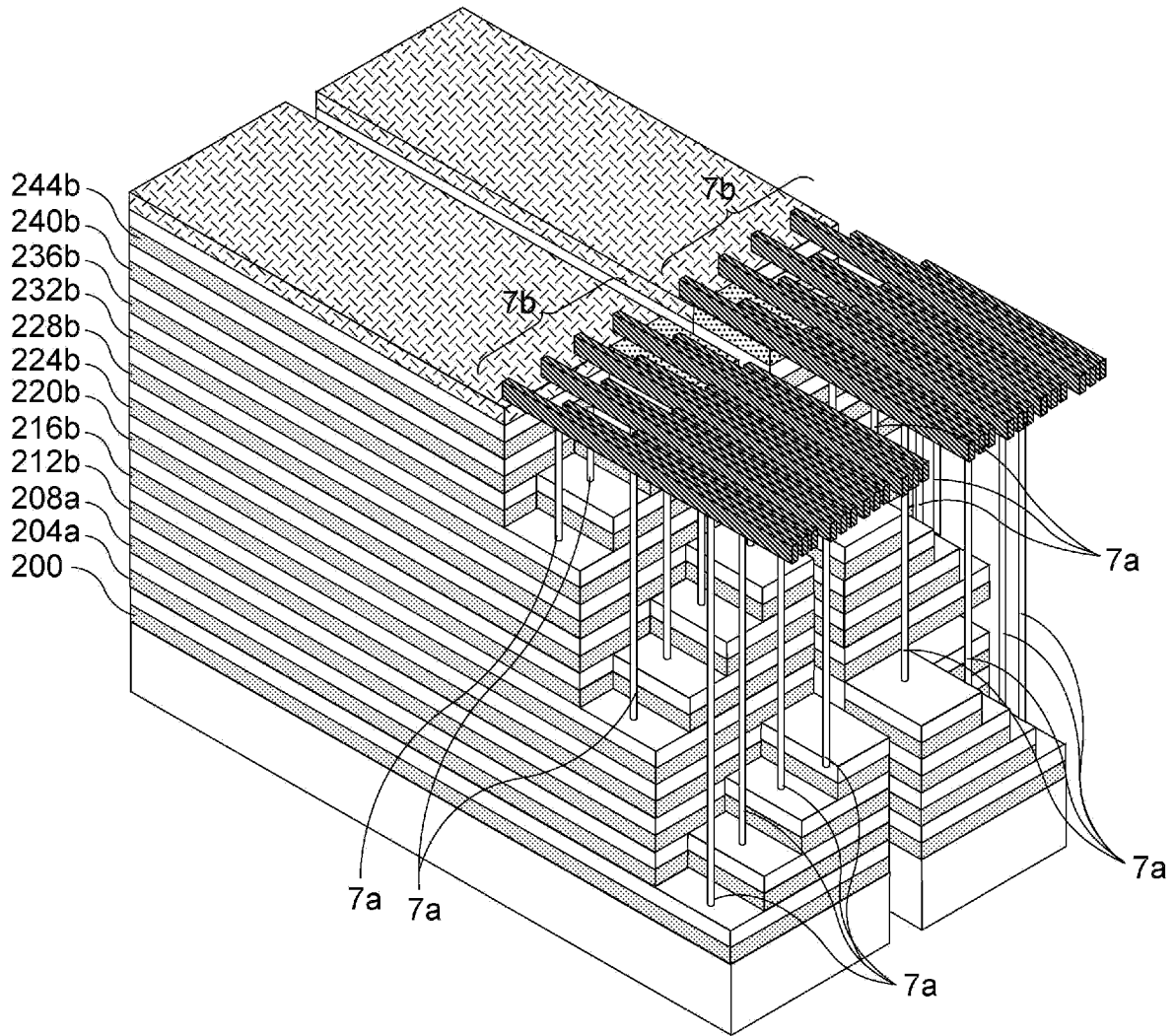
[図13]



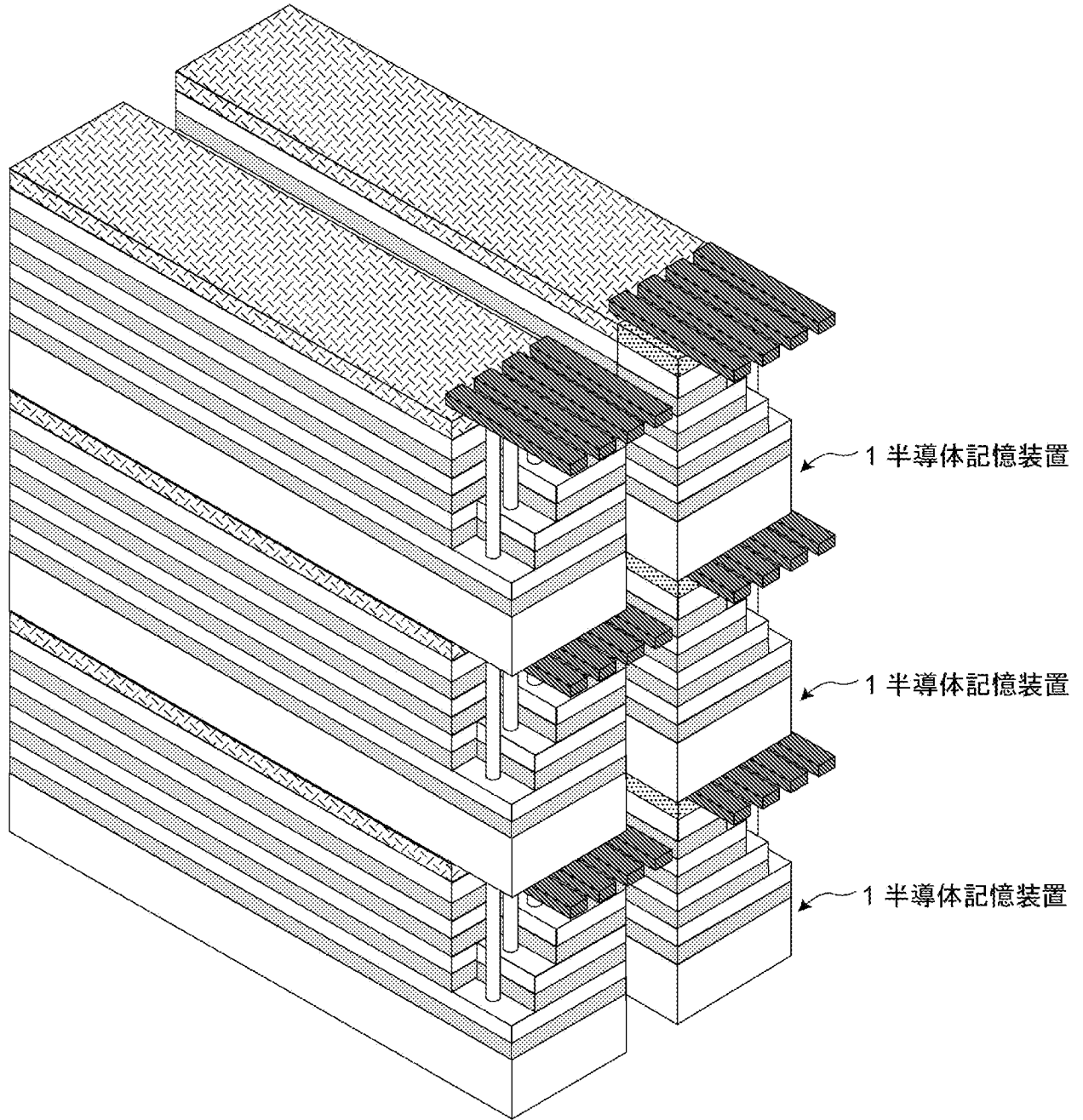
[図14]



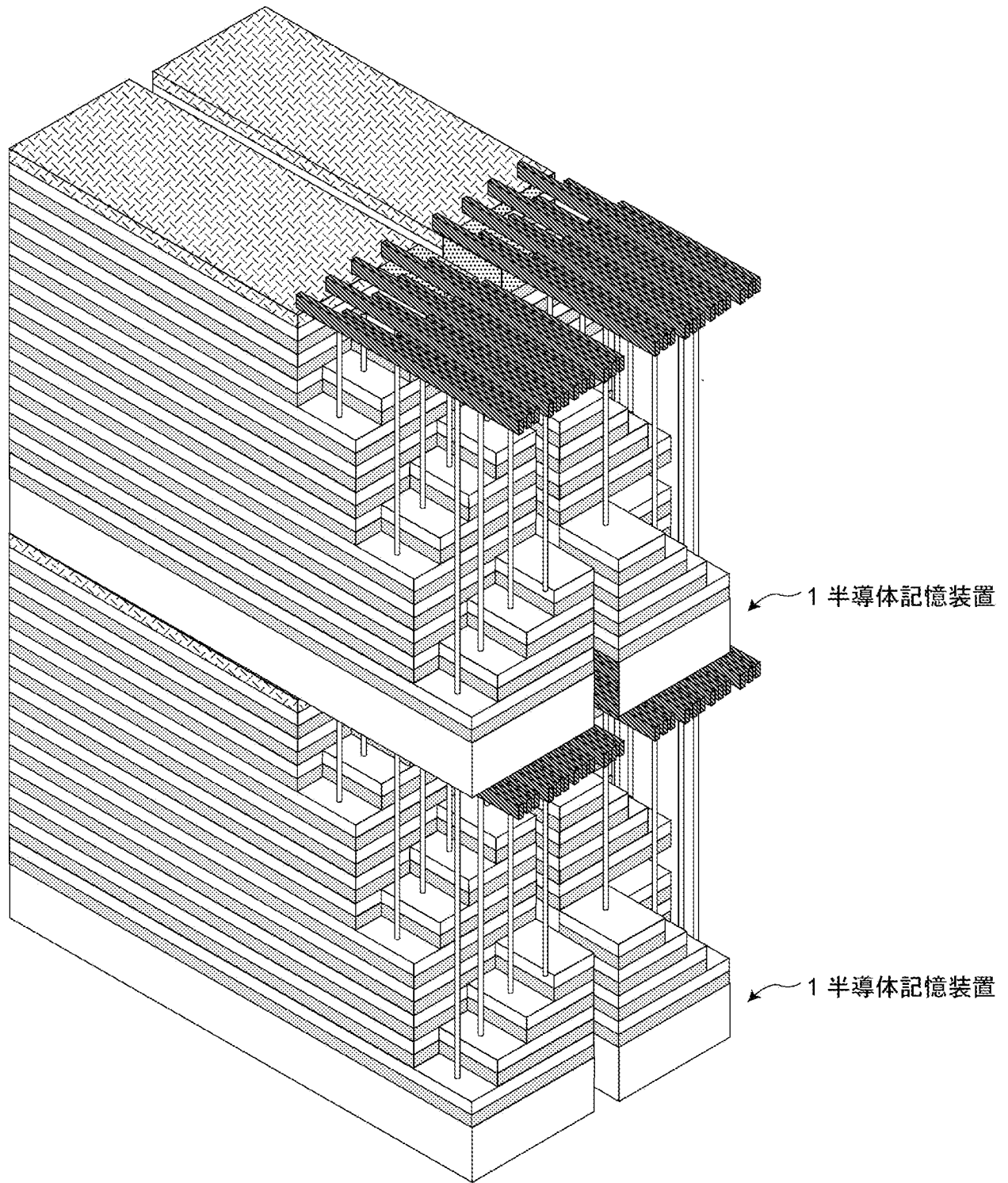
[図15]



[図16]



[図17]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2008/056714

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/8247(2006.01) i, H01L27/115(2006.01) i, H01L29/788(2006.01) i,
H01L29/792(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/8247, H01L27/115, H01L29/788, H01L29/792

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2008
Kokai Jitsuyo Shinan Koho	1971-2008	Toroku Jitsuyo Shinan Koho	1994-2008

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 6-338602 A (Toshiba Corp.), 06 December, 1994 (06.12.94), Full text (Family: none)	1-20
A	JP 2003-78044 A (Fujio MASUOKA), 14 March, 2003 (14.03.03), Full text & US 6727544 B2 & EP 1246247 A3 & TW 554540 B & KR 10-2003-0002986 A	1-20
A	JP 2004-356207 A (Fujio MASUOKA), 16 December, 2004 (16.12.04), Full text & US 2004/0238879 A1 & EP 1482555 A2 & TW 244755 B & KR 10-2004-0102349 A	1-20

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
13 May, 2008 (13.05.08)

Date of mailing of the international search report
27 May, 2008 (27.05.08)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2008/056714

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2006-128390 A (Toshiba Corp.), 18 May, 2006 (18.05.06), Full text & US 2006/0091556 A1	1-20

A. 発明の属する分野の分類 (国際特許分類 (IPC))
 Int.Cl. H01L21/8247(2006.01)i, H01L27/115(2006.01)i, H01L29/788(2006.01)i, H01L29/792(2006.01)i

B. 調査を行った分野
 調査を行った最小限資料 (国際特許分類 (IPC))
 Int.Cl. H01L21/8247, H01L27/115, H01L29/788, H01L29/792

最小限資料以外の資料で調査を行った分野に含まれるもの
 日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2008年
 日本国実用新案登録公報 1996-2008年
 日本国登録実用新案公報 1994-2008年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 6-338602 A (株式会社東芝) 1994. 12. 06, 全文 (ファミリーなし)	1-20
A	JP 2003-78044 A (舛岡富士雄) 2003. 03. 14, 全文 & US 6727544 B2 & EP 1246247 A3 & TW 554540 B & KR 10-2003-0002986 A	1-20
A	JP 2004-356207 A (舛岡富士雄) 2004. 12. 16, 全文 & US 2004/0238879 A1 & EP 1482555 A2 & TW 244755 B & KR 10-2004-0102349 A	1-20

C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
 「A」特に関連のある文献ではなく、一般的な技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日 13. 05. 2008	国際調査報告の発送日 27. 05. 2008
----------------------------	----------------------------

国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 河合 俊英	4M	3238
	電話番号 03-3581-1101 内線 3462		

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2006-128390 A (株式会社東芝) 2006.05.18, 全文 & US 2006/0091556 A1	1-20