



(12) 发明专利申请

(10) 申请公布号 CN 102782820 A

(43) 申请公布日 2012. 11. 14

(21) 申请号 201180004782. 0

(51) Int. Cl.

(22) 申请日 2011. 02. 23

H01L 21/336 (2006. 01)

(30) 优先权数据

H01L 21/302 (2006. 01)

2010-136866 2010. 06. 16 JP

H01L 21/304 (2006. 01)

H01L 21/316 (2006. 01)

(85) PCT申请进入国家阶段日

H01L 29/12 (2006. 01)

2012. 06. 01

H01L 29/78 (2006. 01)

(86) PCT申请的申请数据

PCT/JP2011/054010 2011. 02. 23

(87) PCT申请的公布数据

W02011/158528 JA 2011. 12. 22

(71) 申请人 住友电气工业株式会社

地址 日本大阪府大阪市

(72) 发明人 伊藤里美 盐见弘 并川靖生

和田圭司 岛津充 日吉透

(74) 专利代理机构 中原信达知识产权代理有限

责任公司 11219

代理人 韩峰 孙志湧

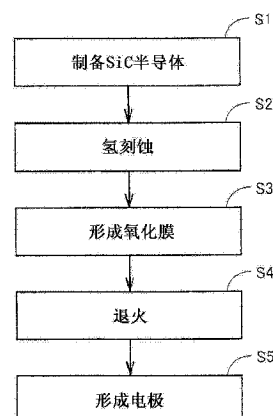
权利要求书 1 页 说明书 12 页 附图 5 页

(54) 发明名称

制造碳化硅半导体器件的方法和装置

(57) 摘要

本发明提供了一种制造碳化硅半导体器件(200)的方法,该方法包括:制备包括第一表面(100a)的碳化硅半导体(100)的步骤,该第一表面(100a)至少部分地注入有杂质;通过使用含有氢气的气体对碳化硅半导体(100)的第一表面(100a)进行干法刻蚀,来形成第二表面(100b)的步骤;以及在所述第二表面(100b)上形成构成所述碳化硅半导体器件(200)的氧化膜(126)的步骤。



1. 一种制造碳化硅半导体器件(200)的方法,包括以下步骤:

制备包括第一表面(100a)的碳化硅半导体(100),所述第一表面(100a)至少部分地注入有杂质,

通过使用含有氢气的气体对所述碳化硅半导体(100)的所述第一表面(100a)进行干法刻蚀,来形成第二表面(100b),以及

在所述第二表面(100b)上形成构成所述碳化硅半导体器件(200)的氧化膜(126)。

2. 根据权利要求1所述的制造碳化硅半导体器件(200)的方法,其中,

在所述的形成第二表面(100b)的步骤之后,在不使用液相进行清洁的情况下来执行所述的形成氧化膜(126)的步骤。

3. 根据权利要求1所述的制造碳化硅半导体器件(200)的方法,其中,

在所述的形成第二表面(100b)的步骤中,在大于或等于1300°C且小于或等于1650°C的温度范围中执行所述干法刻蚀。

4. 根据权利要求1所述的制造碳化硅半导体器件(200)的方法,其中,

在所述的形成氧化膜(126)的步骤中,通过在所述第二表面(100b)上形成含有硅的膜(201)并且氧化所述含有硅的膜(201),来形成所述氧化膜(126)。

5. 根据权利要求1所述的制造碳化硅半导体器件(200)的方法,其中,

在所述的形成第二表面(100b)的步骤中,所述气体还包括氯化氢气体。

6. 根据权利要求1所述的制造碳化硅半导体器件(200)的方法,其中,

在所述的形成第二表面(100b)的步骤中,所述气体还包括碳氢化合物气体。

7. 根据权利要求1所述的制造碳化硅半导体器件(200)的方法,其中,

在所述的形成第二表面(100b)的步骤和所述的形成氧化膜(126)的步骤之间,将所述碳化硅半导体(100)布置在隔绝空气的气氛中。

8. 一种碳化硅半导体器件(200)的制造装置(10),其包括:

去除单元(11),所述去除单元(11)用于通过使用含有氢气的气体进行干法刻蚀来去除碳化硅半导体(100)的至少部分注入有杂质的第一表面(100a),

形成单元(12),所述形成单元(12)用于在通过在所述碳化硅半导体(100)上去除所述第一表面(100a)而形成的第二表面(100b)上,来形成构成所述碳化硅半导体器件(200)的氧化膜(126),以及

连接单元(13),所述连接单元(13)以使得能够转移所述碳化硅半导体(100)的方式来连接所述去除单元(11)和所述形成单元(12),

其中,所述连接单元(13)中的用于转移所述碳化硅半导体(100)的区域能够隔绝空气。

制造碳化硅半导体器件的方法和装置

技术领域

[0001] 本发明涉及制造碳化硅(SiC)半导体器件的方法和装置。更具体来讲,本发明涉及制造具有氧化膜的 SiC 半导体器件的方法和这种制造方法中采用的制造装置。

背景技术

[0002] 常规上,广泛采用硅(Si)作为构成半导体器件的材料。可以如下所述地制造 Si 半导体器件,例如,MOSFET(金属氧化物半导体场效应晶体管)。

[0003] 首先,在硅(Si)衬底上生长外延层,以产生 Si 半导体。然后,执行离子注入步骤,以向 Si 半导体引入杂质(掺杂物)。接着,Si 半导体经受加热处理(活化退火处理),以活化所引入的杂质。然后,在加热处理之后,在 Si 半导体的表面上形成栅氧化膜,并且在栅氧化膜上形成电极。

[0004] 在常规的 Si 半导体器件的制造中,执行清洁,去除附着于 Si 衬底表面的附着物,如,颗粒和/或金属杂质。关于这种清洁方法,广泛采用的是采用了化学溶液的清洁方法,如,RCA 清洁。

[0005] 在 RCA 清洁中,通过用含有硫酸和过氧化氢的化学溶液清洁 Si 衬底的表面,在 Si 衬底的表面上形成 Si 氧化膜。在 Si 氧化膜之中和表面存在颗粒和金属杂质。用稀释的氢氟酸溶液冲洗这个 Si 衬底,以刻蚀掉 Si 氧化膜并且将颗粒和金属杂质一起去除。

[0006] 作为另一种清洁方法,日本专利特许公开 No. 6-314679 (PTL 1) 和日本专利特许公开 No. 4-354334 (PTL 2) 公开了使用臭氧水氧化 Si 衬底的表面然后去除氧化膜以带走 Si 衬底上的颗粒和金属杂质的方法。

[0007] 引用列表

[0008] 专利文献

[0009] PTL 1:日本专利特许公开 No. 6-314679

[0010] PTL 2:日本专利特许公开 No. 4-354334

发明内容

[0011] 技术问题

[0012] 已知 SiC 具有大带隙以及比 Si 的最大击穿电场和导热率更大的最大击穿电场和导热率,而载流子迁移率与 Si 的水平相当。电子饱和漂移速率和击穿电压也大。因此,很希望将 SiC 应用于需要高效率、高击穿电压和大容量的半导体器件。发明人注意到采用 SiC 半导体用于半导体器件。为了制造更高质量的 SiC 半导体衬底,发明人构想出,清洁 SiC 半导体的表面以形成构成 SiC 半导体器件的氧化膜。

[0013] 发明人最先披露了以下情况:在向 SiC 半导体应用上述常规清洁方法的情况下 SiC 半导体的表面不容易发生氧化,因为 SiC 是比 Si 更热稳定的化合物。上述清洁方法使 Si 的表面发生氧化,但是没有使 SiC 的表面发生足够水平的氧化。因此,不能从 SiC 的表面去除颗粒和杂质。因而,不能充分清洁 SiC 表面。如果不能清洁 SiC 半导体的表面,则不能

在经清洁的 SiC 半导体上形成氧化膜。结果,所制造的 SiC 半导体器件的质量将降低。

[0014] 因此,本发明的目的在于提供一种制造高质量 SiC 半导体器件的方法以及这种方法中采用的制造装置。

[0015] 问题的解决方案

[0016] 通过努力研究清洁 SiC 半导体表面以制造高质量 SiC 半导体器件完成了本发明。本发明涉及一种制造 SiC 半导体器件的方法,所述方法包括以下步骤:制备具有第一表面的 SiC 半导体,所述第一表面至少部分地注入有杂质(掺杂物);通过使用含有氢气的气体对所述 SiC 半导体的所述第一表面进行干法刻蚀,来形成第二表面;以及在所述第二表面上形成构成所述 SiC 半导体器件的氧化膜。

[0017] 根据本发明的制造 SiC 半导体器件的方法,使用含有氢气的气体对 SiC 半导体的至少部分地注入有杂质的第一表面进行干法刻蚀(下文中,也称为“氢刻蚀”)。因此,可以去除附着于第一表面的杂质、颗粒等,从而能够形成经清洁的第二表面。通过在经清洁的第二表面上形成构成 SiC 半导体器件的氧化膜,可以制造高质量的 SiC 半导体器件。因为 SiC 半导体是稳定的化合物,所以即使应用氢刻蚀,对 SiC 半导体的损伤也很小。因此,可以清洁 SiC 半导体,使得呈现良好的表面性质。因而,可以制造高质量的 SiC 半导体器件。

[0018] 优选地,在上述制造 SiC 半导体器件的方法中,在形成第二表面的步骤之后,在不使用液相进行清洁的情况下来执行形成氧化膜的步骤。

[0019] 因此,可以防止由于使用液相进行冲洗而造成的杂质附着。因而,可以制造更高质量的 SiC 半导体器件。

[0020] 优选地,在上述制造 SiC 半导体器件的方法中,在形成第二表面的步骤中,在大于或等于 1300° C 且小于或等于 1650° C 的温度范围中执行氢刻蚀。

[0021] 通过在大于或等于 1300° C 的温度下执行氢刻蚀,能提高刻蚀速率。通过在小于或等于 1650° C 的温度下执行氢刻蚀,因为可以防止刻蚀速率变得过高,所以呈现可行的控制。换言之,通过在上述温度范围内执行氢刻蚀,能将刻蚀速率控制在有利水平。因此,可以以更高精度刻蚀第一表面,从而造成 SiC 半导体器件的质量提高。

[0022] 优选地,在上述制造 SiC 半导体器件的方法中,通过在所述第二表面上形成含有硅(Si)的膜并且氧化所述含有 Si 的膜,来执行形成所述氧化膜的步骤。

[0023] 发明人通过注意到如下事实来完成本发明:氧化速率沿着深度方向变化,从而由于至少部分地注入有杂质(掺杂物)的 SiC 半导体的第二表面上的杂质(掺杂物)浓度和杂质(掺杂物)类型的差异,导致形成不均匀的氧化膜。因为含有 Si 的膜形成在第二表面上,所以第二表面的状态对含有 Si 的膜的质量的影响会降低。因此,含有 Si 的膜的质量可以呈现为一致。因而,可以进一步提高 SiC 半导体器件的质量。

[0024] 优选地,在上述制造 SiC 半导体器件的方法中,在形成第二表面的步骤中,所述气体还包括氯化氢气体。

[0025] 通过在氢刻蚀 SiC 半导体的第一表面的过程中连同氢气一起使用氯化氢气体, SiC 半导体的刻蚀速率会提高。因此, SiC 半导体器件的制造节拍可以缩短。

[0026] 优选地,在上述制造 SiC 半导体器件的方法中,在形成第二表面的步骤中,所述气体还包括碳氢化合物气体。

[0027] 通过在氢刻蚀 SiC 半导体的第一表面的过程中连同氢气一起使用碳氢化合物气

体,可以呈现良好的 SiC 半导体的表面形态。因此,可以进一步提高 SiC 半导体的质量。

[0028] 优选地,在上述制造 SiC 半导体器件的方法中,在形成第二表面的步骤和形成氧化膜的步骤之间,所述 SiC 半导体布置在隔绝空气的气氛中。

[0029] 因此,形成的具有清洁的第二表面的 SiC 半导体可以在没有暴露于空气的情况下转移到下一个步骤,即形成构成 SiC 半导体器件的氧化膜的步骤。因而,可以防止 SiC 半导体的经清洁的表面被空气污染,从而能进一步提高 SiC 半导体的质量。

[0030] 本发明还涉及一种 SiC 半导体器件的制造装置,所述制造装置包括:去除单元,所述去除单元用于通过使用含有氢气的气体进行干法刻蚀来去除至少部分地注入有杂质(掺杂物)的第一表面;形成单元,所述形成单元用于在通过去除第一表面而形成的第二表面上形成构成 SiC 半导体器件的氧化膜;以及连接单元,所述连接单元以使得能够转移所述 SiC 半导体的方式来连接所述去除单元和所述形成单元。所述连接单元中的用于转移所述 SiC 半导体的区域能够隔绝空气。

[0031] 根据所述制造装置,可以在去除单元中氢刻蚀 SiC 半导体的至少部分地注入有杂质的第一表面。在隔绝空气的气氛下,可以经由连接单元将在去除单元经受氢刻蚀的 SiC 半导体转移到形成单元。此外,在形成单元,可以在第二表面上形成构成 SiC 半导体器件的氧化膜。换言之,可以在隔绝空气的状态下执行从通过氢刻蚀来清洁 SiC 半导体至形成氧化膜的这一系列步骤。因此,可以通过所述制造装置制造高质量的 SiC 半导体器件。

[0032] 本发明的有益效果

[0033] 根据本发明的 SiC 半导体器件的制造方法和该制造方法中采用的制造装置,可以使用表现为清洁 SiC 半导体的 SiC 半导体的清洁方法制造高质量的 SiC 半导体器件。

附图说明

[0034] 图 1 是根据本发明的第一实施例的 SiC 半导体器件的制造装置的示意图。

[0035] 图 2 是根据本发明的第一实施例的 SiC 半导体器件的制造方法的流程图。

[0036] 图 3 是本发明的第一实施例中制备的 SiC 半导体的示意性截面图。

[0037] 图 4 是用于描述本发明的第一实施例中制备的 SiC 半导体的生产步骤的示意图。

[0038] 图 5 是本发明的第一实施例中形成的具有氧化膜的 SiC 半导体的示意性截面图。

[0039] 图 6 是本发明的第一实施例中形成的具有源接触电极和漏电极的 SiC 半导体的示意性截面图。

[0040] 图 7 是本发明的第一实施例中制造的 SiC 半导体的示意性截面图。

[0041] 图 8 是根据本发明的第二实施例在 SiC 半导体的主表面上形成具有半导体膜的 SiC 半导体的示意性截面图。

[0042] 图 9 是示例 1 以及比较例 1 和 2 中采用的外延晶圆的示意性截面图。

[0043] 图 10 表示通过 TXRF 测得的比较例 1 的 SiC 半导体表面的光谱结果。

[0044] 图 11 表示通过 TXRF 测得的比较例 2 的 SiC 半导体表面的光谱结果。

具体实施方式

[0045] 下文中,将参照附图描述本发明的实施例。在附图中,为相同或对应的元件分配相同的附图标记,并且将不再重复对其的描述。

[0046] (第一实施例)

[0047] 图 1 是根据本发明的第一实施例的 SiC 半导体器件的制造装置的示意图。将参照图 1 描述根据本发明的第一实施例的 SiC 半导体器件的制造装置。

[0048] 如图 1 中所示, SiC 半导体器件的制造装置 10 包括去除单元 11、形成单元 12 和连接单元 13。去除单元 11 和形成单元 12 通过连接单元 13 相连。将去除单元 11、形成单元 12 和连接单元 13 的内部与空气相隔绝, 并且彼此间能够连通。

[0049] 去除单元 11 通过氢刻蚀 SiC 半导体中的至少部分地注入杂质的第一表面来形成了第二表面。至于去除单元 11, 采用的是氢刻蚀设备。用于去除单元 11 的氢刻蚀设备不特别限制。例如, 可以采用高频炉。

[0050] 形成单元 12 在第二表面上形成构成 SiC 半导体器件的氧化膜。至于形成单元 12, 采用的是氧化膜形成设备。对于形成单元 12 采用的氧化膜形成设备不特别限制。例如, 可以使用干法氧化(热氧化)设备、溅射设备、CVD(化学气相沉积)设备、用于在包括蒸气的氧气气氛中进行加热的湿法氧化设备, 或者高温氧化设备。优选地, 使用干法氧化设备。

[0051] 连接单元 13 以使得能够转移 SiC 半导体的方式连接去除单元 11 和形成单元 12。在连接单元 13 中转移外延晶圆的区域(内部空间)能够隔绝空气。

[0052] 如本文中使用的, 隔绝空气(隔绝空气的气氛)意味着没有混进空气的气氛, 由氮气、氢气和惰性气体中的至少一种类型组成, 或者处于真空状态。具体来讲, 隔绝空气的气氛是填充有氮(N)、氢(H)、氦(He)、氖(Ne)、氩(Ar)、氪(Kr)、氙(Xe)、氡(Rn)或它们的组合物的气体或者处于真空状态的气氛。

[0053] 连接单元 13 使去除单元 11 的内部和形成单元 12 的内部之间能连通。连接单元 13 在其中包括用于将执行的 SiC 半导体从去除单元 11 传递到形成单元 12 的空间。具体来讲, 提供连接单元 13, 以将 SiC 半导体从去除单元 11 传递到形成单元 12, 从而避免暴露于空气。

[0054] 连接单元 13 的尺寸使 SiC 半导体能在其内进行转移。可以将连接单元 13 的尺寸确定为使得 SiC 半导体能在安装于底座上的状态下被搬运。例如, 连接单元 13 是接合去除单元 11 的出口和形成单元 12 的入口的负载闭锁腔(load lock chamber)。

[0055] 制造装置 10 还可以包括第一转移单元, 第一转移单元布置在连接单元 13 中, 用于将 SiC 半导体从去除单元 11 转移到形成单元 12。制造装置 10 还可以包括第二转移单元, 第二转移单元用于在制造装置 10 外部拾取在形成单元 12 形成的具有栅氧化膜 126 的 SiC 半导体, 或者将 SiC 半导体传递到电极形成单元, 在该电极形成单元中, 将在隔绝空气的气氛中形成电极。第一转移单元和第二转移单元可以相同或不同。

[0056] 此外, 制造装置 10 还可以包括布置在去除单元 11 和连接单元 13 之间的隔绝单元, 用于阻断去除单元 11 的内部和连接单元 13 的内部。制造装置 10 还可以包括布置在形成单元 12 和连接单元 13 之间的隔绝单元, 用于阻断形成单元 12 的内部和连接单元 13 的内部。至于隔绝单元, 可以使用能阻断各连通路路径的阀、闸门等。

[0057] 制造装置 10 还可以包括用于释放内部气氛气体的真空泵和 / 或用于交换内部气氛气体的交换气缸。真空泵和 / 或交换气缸可以连接到去除单元 11、形成单元 12 和连接单元 13 中的每个或至少一个。

[0058] 虽然制造装置 10 可以包括除了上述元件之外的各种元件, 例如, 用于在氧化膜上

形成电极的电极形成单元,但是为了简便起见,没有提供这些其它元件的图示和描述。

[0059] 本发明对于提供连接单元 13 只连接去除单元 11 和形成单元 12 的构造不特别限制。例如,隔绝空气的腔可以用于连接单元 13,并且去除单元 11 和形成单元 12 可以布置在腔中。

[0060] 下文中,将参照图 1 至图 7 描述根据本实施例的制造 SiC 半导体器件的方法。图 2 是根据本发明的第一实施例的 SiC 半导体器件的制造方法的流程图。图 3 至图 6 表示根据本发明的第一实施例的 SiC 半导体器件制造方法中的每个步骤中形成的 SiC 半导体的构造。具体来讲,图 3 是示意性表示所制备的 SiC 半导体的截面图。图 4 是用于描述生产所制备的 SiC 半导体的步骤的示意图。图 5 是示意性示出形成有氧化膜的 SiC 半导体的截面图。图 6 是示意性示出形成有源接触电极和漏电极的 SiC 半导体的截面图。图 7 是示意性表示根据本发明的第一实施例制造的 SiC 半导体器件的截面图。在本实施例中,将作为 SiC 半导体来描述图 7 中所示的制造 SiC 半导体器件 200 的方法。在本实施例中,使用图 1 中所示的 SiC 半导体器件的制造装置 10。

[0061] 如图 2 和图 3 中所示,制备外延晶圆 100 作为包括至少部分地注入有杂质的第一表面 100a 的 SiC 半导体(步骤 S1)。在本步骤中,如图 2 中所示,在 SiC 衬底 2 的表面 2a 上,外延晶圆 100 形成 SiC 半导体,包括具有注入杂质的区域的外延层 120。可以通过下述方法来制备 SiC 衬底 2,但不特别限于下述方法。

[0062] 具体来讲,制备了通过升华、诸如 CVD 的气相沉积或液相生长而生长的 SiC 晶锭。然后,从 SiC 晶锭切下具有表面的 SiC 衬底。切除方法不特别限制。通过切片等,从 SiC 晶锭切下 SiC 衬底。

[0063] 接着,抛光被切下的 SiC 衬底的表面。待抛光表面可以只是顶表面,或者还可以是与顶表面相对的背表面。抛光方法是但不特别限于 CMP (化学机械抛光),致使表面平坦并且减少诸如刮擦的任何损伤。在 CMP 中,将硅胶用于研磨剂,并且将粘合剂或蜡用于固定剂。作为 CMP 的补充方式或替代方式,可以执行其它抛光方法,如,电子抛光、化学抛光和机械抛光。或者,抛光并非必要的。因此,可以制备具有图 1 所示表面 2a 的 SiC 衬底 2。可以使用导电类型为 n 型并且电阻为 $0.02 \Omega \text{ cm}$ 的衬底作为这种 SiC 衬底 2。

[0064] 例如,可以通过下述方法形成 SiC 衬底 2 上的外延层 120。如图 4 中所示,在 SiC 衬底 2 的表面 2a 上形成缓冲层 121。例如,缓冲层 121 是由导电类型为 n 型、厚度为 $0.5 \mu \text{ m}$ 的 SiC 形成的外延层。例如,缓冲层 121 处的 n 型导电类型杂质的浓度为 $5 \times 10^{17} \text{ cm}^{-3}$ 。然后,在缓冲层 121 上形成漂移层 122。至于漂移层 122,通过气相沉积、液相生长等来形成 SiC 的 n 型导电类型的层。例如,漂移层 122 的厚度为 $10 \mu \text{ m}$ 。例如,漂移层 122 的 n 型导电类型杂质的浓度为 $5 \times 10^{15} \text{ cm}^{-3}$ 。

[0065] 接着,将杂质注入到外延层中。在本实施例中,如图 3 中所示,如下所述地形成 p 主体区 123、n 源区 124 和 p^+ 区 125。首先,将 p 型导电类型杂质选择性注入到漂移层 122 中的一部分中,形成主体区 123。然后,将 n 型导电类型杂质选择性注入到预定区域中,形成源区 124,并且将 p 型导电类型杂质选择性注入到预定区域中,形成 p^+ 区 125。例如,使用氧化膜形成的掩模,执行导电杂质的选择性注入。

[0066] 在杂质注入步骤中,对于每个注入剖面,都要考虑在此后将描述的步骤 S2 中通过氢刻蚀将要去除的厚度。换言之,控制离子注入,使得当在步骤 S2 中通过氢刻蚀去除外延

层的第一表面 100a 时,根据需要布置包括 p 主体区 123、n 源区 124 和 p⁺ 区的杂质扩散区。

[0067] 在这种注入步骤之后,可以执行活化退火处理。例如,在氩气氛中,在 1700° C 的加热温度下,执行退火 30 分钟。

[0068] 通过这些步骤,可以制备包括 SiC 衬底 2 和形成在 SiC 衬底 2 上的外延层 120 的外延晶圆 100。

[0069] 返回图 2,对制备的外延晶圆 100 的第一表面 100a 进行氢刻蚀以形成第二表面 100b (参照图 5) (步骤 S2)。在本实施例中的步骤 S2 中,在图 1 所示制造装置 10 的去除单元 11 中去除第一表面 100a。

[0070] 通过执行这个步骤 S2,对外延层 120 的第一表面 100a 进行氢刻蚀。因此,附着于第一表面 100a 的杂质、颗粒等与第一表面 100a 一起被去除。在外延晶圆 100 中,通过去除杂质、颗粒等得到经清洁的第二表面 100b (图 5)。

[0071] 鉴于步骤 2 中容易控制的刻蚀量,刻蚀深度(沿着从第一表面 100a 至 SiC 衬底 2 的方向的刻蚀量)优选地大于或等于 0.1 μm,更优选地大于或等于 0.5 μm。

[0072] 从去除杂质、颗粒等的观点来看,刻蚀深度大于或等于 1 个分子层且小于或等于 10nm。通过以这个范围的厚度对第一表面 100a 进行氢刻蚀,能可靠地去除附着于第一表面 100a 的杂质、颗粒等,从而能得到经清洁的第二表面 100b。

[0073] 虽然 Si 半导体的表面区域可能由上述注入步骤损伤而变粗糙,但是通过将刻蚀深度设置成大于 10nm 且小于或等于 500nm,可以与去除杂质、颗粒等一起去除粗糙的表面区域。因此,通过以这个范围的厚度对第一表面 100a 进行氢刻蚀,可以将受损层与杂质、颗粒等一起去除。可以得到具有良好表面性质的第二表面 100b。

[0074] 在大于或等于 1300° C 的温度下执行氢刻蚀能使刻蚀速率升高,在小于或等于 1650° C 的温度下执行氢刻蚀能防止刻蚀速率过高,从而呈现可行的控制。因为通过将氢刻蚀的温度条件调节成 1300° C 至 1650° C 能够进行良好时刻速率的控制,所以能够以更高的精确度对第一表面 100a 进行刻蚀。因此,可以进一步提高 SiC 半导体器件的质量。通过在 1300° C 至 1650° C 下加热布置在刻蚀设备(去除单元 11)中的外延晶圆 100,或者通过以 1300° C 至 1650° C 的温度将用于刻蚀的气体(下文中,称作“刻蚀气体”)引入到制造装置中,或者通过将制造装置的内部保持在 1300° C 至 1650° C,能够设置这样的温度。要注意的是,可以采用这些方式的组合。

[0075] 氢刻蚀期间氢气的流速不特别限制,但是优选地大约为几百 slm(每分钟标准升),并且氢刻蚀期间的压力优选地大约为几十 hPa 至几百 hPa。在这个范围内,可以以良好的速率执行刻蚀。

[0076] 至于刻蚀气体,可以使用氢气和另一种气体的混合气体。具体来讲,优选的是氯化氢(HCl)气体与氢气混合而成的混合气体。通过使用这种混合气体,能提高刻蚀速率。如果混合气体中氯化氢气体所占百分比含量过高,则刻蚀速率将变得太大,以致将变得难以控制刻蚀。混合气体中氯化氢气体所占百分比含量优选地小于或等于 10%。更优选地,氯化氢气体和氢气的混合气体中氯化氢气体所占百分比含量(氯化氢气体/(氯化氢气体+氢气)×100)小于或等于 10%。

[0077] 还可以使用碳氢化合物气体与氢气混合而成的混合气体。通过使用这种混合气体,可以执行刻蚀,同时呈现良好的外延晶圆 100 的表面形态。因此,可以形成具有良好

表面状态的第二表面 100b。至于碳氢化合物,可以使用低分子碳氢化合物,如,烷烃和烯烃。例如,可以使用乙炔(C_2H_2)、丙烷(C_3H_8)等。优选地,这种碳氢化合物气体以小于或等于 1000ppm 的比率混合,从而有效表现出抑制 Si 液滴产生的优点。毋庸置疑,具有氢气、氯化氢气体和碳氢化合物气体的混合物可以用作刻蚀气体。

[0078] 参照图 1,将在去除单元 11 中形成的具有第二表面 100b 的外延晶圆 100 转移到形成单元 12。在这个阶段,基于隔绝空气的气氛,将外延晶圆 100 转移到连接单元 13 中。换言之,在形成第二表面 100b 的步骤 S2 和形成栅氧化膜 126 的步骤 S3 之间,将外延晶圆 100 布置在隔绝空气的气氛中。这是为了防止在被清洁之后空气中包括的杂质附着于第二表面 100b。

[0079] 在形成第二表面 100b 的步骤(步骤 S2)之后,通过使用图 1 所示的制造装置 10,可以在不使用液相进行任何清洁的情况下执行此后将描述的形成氧化膜的步骤 S3。因此,可以抑制由于使用液相进行清洁造成杂质(具体来讲,重金属离子、碱离子)附着。使用液相进行清洁意味着,在液相中冲洗被标识为 SiC 半导体的外延晶圆 100,并且可能包括意外的气相组分。

[0080] 如图 2 和图 5 中所示,在第二表面 100b 上形成构成 SiC 半导体器件 200 的栅氧化膜 126 (步骤 S3)。

[0081] 在步骤 S3 中,可以采用用于形成氧化膜的已知方法。例如,该已知方法包括干法氧化、溅射、CVD、湿法氧化、高温氧化等。

[0082] 在步骤 S3 中,由于清洁了第二表面 100b,所以可以提高栅氧化膜 126 的绝缘性质。另外,可以减少外延晶圆 100 和栅氧化膜 126 之间界面处以及栅氧化膜 126 中存在的杂质、颗粒等。因此,可以提高施加反向电压时 SiC 半导体器件 200 的击穿电压和施加正向电压时操作的稳定性以及长期可靠性。

[0083] 如图 2 中所示,栅氧化膜 126 经受退火(步骤 S4)。在步骤 S4 中,向栅氧化膜 126 应用氮化处理和惰性气体退火处理。

[0084] 氮化处理对应于含有氮气的气氛中的热处理。作为氮化处理,可以在一氧化氮(NO)气氛或一氧化二氮(N_2O)气氛中,在 $1200^{\circ}C$ 的加热温度下,执行退火 120 分钟。因此,在包括外延层 120 和栅氧化膜 126 之间界面的区域中,形成高氮浓度区域(未示出),该区域的氮浓度高于相邻区域的氮浓度。

[0085] 在惰性气体退火处理中,在含有惰性气体的气氛中执行热处理。在惰性气体退火处理中,在诸如氩(Ar)气的惰性气体气氛中,在 $1100^{\circ}C$ 的加热温度下,执行退火 60 分钟。

[0086] 在执行上述氮化处理和惰性气体退火处理的情况下,在 SiC 半导体器件 200 中,增大了以良好的再现性实现高沟道迁移率的趋势。要注意的是,可以只执行氮处理和惰性气体退火处理中的一个。或者,可以省略本步骤(步骤 S4)。

[0087] 如图 2 和图 7 中所示,在形成有栅氧化膜 126 的外延晶圆 100 上,形成栅电极 110、源电极 127 和漏电极 112 (步骤 S5)。

[0088] 例如,可以通过下述方法形成栅电极 110 和源电极 127。通过光刻,在栅氧化膜 126 上形成具有图案的抗蚀膜。使用这个抗蚀膜作为掩模,部分地去除栅氧化膜 126。然后,通过已知方法,例如气相沉积,形成由金属制成的导体膜。去除(剥离)抗蚀膜,以去除抗蚀膜上的导体膜,从而形成源接触电极 111 (参照图 6)。然后,通过已知方法,例如气相沉积,在

源接触电极 111 上形成源电极 127, 之后通过已知方法, 例如气相沉积, 在栅氧化膜 126 上形成栅电极 110。可以通过已知方法, 例如气相沉积, 在 SiC 衬底 2 的表面 2a 的相对侧, 形成漏电极 112。通过执行上述步骤(步骤 S1-S5), 制备图 7 所示的 SiC 半导体器件 200。

[0089] 已基于但不特别限于在步骤 S2 和步骤 S3 之间没有执行诸如湿法清洁的另一种清洁方法的示例描述了本实施例。可以执行另一种清洁方法, 如, 湿法清洁、干法清洁等。在执行另一种清洁方法的情况下, 优选地, 在转移外延晶圆 100 期间, 外延晶圆 100 布置在隔绝空气的气氛中。

[0090] 在步骤 S1 之后, 根据需要, 可以另外执行利用化学溶液的清洁步骤、去离子水冲洗步骤、干燥步骤等。至于化学溶液, 可以引用含有硫酸和过氧化氢溶液的 SPM。在步骤 S2 之前用 SPM 执行清洁的情况下, 可以去除有机物质。可以在步骤 S2 之前执行 RCA 清洁等。

[0091] 如上所述, 根据本实施例的 SiC 半导体器件的制造方法包括以下步骤: 制备具有第一表面 100a 的外延晶圆 100, 第一表面 100a 至少部分地注入有杂质(步骤 S1); 通过对第一表面 100a 进行氢刻蚀来形成第二表面 100b (步骤 S2); 以及在第二表面 100b 上, 形成构成 SiC 半导体器件 200 的栅氧化膜 126 (步骤 S3)。

[0092] 发明人最先披露了以下情况: 在向外延晶圆 100 应用常规清洁方法的情况下外延晶圆 100 的表面不容易发生氧化, 因为 SiC 是比 Si 更稳定的化合物, 从而导致对外延晶圆 100 的表面的清洁不充分。

[0093] 发明人注意到, 外延晶圆 100 在化学上是稳定的, 即使在经受造成 Si 受损的方法时, 也不容易受损。通过认真研究清洁外延晶圆 100 表面的条件, 本发明的发明人实现了根据上述本实施例的外延晶圆 100 的制造方法。

[0094] 通过在本实施例中的步骤 S2 中对外延晶圆 100 的第一表面 100a 进行氢刻蚀, 去除了附着于第一表面 100a 的杂质、颗粒等, 从而能形成经清洁的第二表面 100b。此外, 因为在步骤 S3 中在经清洁的第二表面 100b 上形成栅氧化膜 126, 所以可以提高半导体器件中的栅氧化膜 126 的绝缘性质, 并且可以减少外延晶圆 100 和栅氧化膜 126 之间的界面处以及栅氧化膜 126 中存在的杂质、颗粒等。因此, 可以提高施加反向电压时 SiC 半导体器件 200 的击穿电压, 并且可以提高施加正向电压时操作的稳定性和长期可靠性。根据本实施例的 SiC 半导体器件的制造方法, 可以生产高质量的 SiC 半导体器件 200。此外, 因为氢刻蚀对外延晶圆 100 的损伤小, 所以可以得到具有良好表面性质的第二表面 100b。因此, 最终可以生产高质量的 SiC 半导体器件 200。

[0095] 在通过离子注入步骤或通过活化退火使第一表面 100a 受损的情况下, 常规地通过使用液相进行清洁来执行牺牲氧化膜的形成和去除。为了通过使用液相进行清洁来去除在第一表面 100a 处形成的受损层, 需要大致 15 小时的清洁时间。相比之下, 由于在不使用液相进行清洁的情况下进行氢刻蚀, 所以可以在大致 4 小时内将在第一表面 100a 处形成的受损层与颗粒、杂质等一起去除。因此, 根据本实施例的 SiC 半导体器件的制造方法由于在步骤 S2 和步骤 S3 之间不使用液相执行清洁故而可以缩短制造节拍。

[0096] “在形成第二表面 100b 的步骤(步骤 S2)之后, 在不使用液相进行清洁的情况下执行形成栅氧化膜 126 的步骤(步骤 S3)”意味着, 在步骤 S2 和步骤 S3 之间不包括使用液相的清洁步骤, 并且可以间歇地执行步骤 S2 和步骤 S3 (即, 在这些步骤之间可能经过一段时间)。或者, 可以连续地执行步骤 S2 和步骤 S3。

[0097] 通过认真研究,发明人发现,当使用液相清洁外延晶圆 100 时,对外延晶圆 100 的清洁不仅不充分,反而造成杂质附着。

[0098] 因此,在根据本实施例的 SiC 半导体器件的制造方法中,优选地,在形成第二表面 100b 的步骤(步骤 S2)之后,在不使用液相进行清洁的情况下执行形成栅氧化膜 126 的步骤(步骤 S3)。通过在形成第二表面 100b 之后在不使用液相进行清洁的情况下形成栅氧化膜 126,可以防止由于使用液相进行清洁而造成杂质的附着。因此,可以生产具有更高质量的 SiC 半导体器件 200。

[0099] 根据本实施例的 SiC 半导体器件的制造方法可以适用于包括氧化膜的半导体器件,因为可以通过在经清洁的外延晶圆的表面上形成氧化膜来提高氧化膜的性质。虽然已基于制造 MOSFET 的情况描述了本实施例,但是本实施例可合适地应用于具有绝缘栅场效应部分的半导体器件,如,IGBT(绝缘栅双极性晶体管)、JFET(结型场效应晶体管)等。

[0100] (第二实施例)

[0101] 图 8 是根据本发明的第二实施例在 SiC 半导体的主表面上形成具有半导体膜的 SiC 半导体的示意性截面图。将参照图 2 至图 8 描述根据第二实施例的 SiC 半导体器件的制造方法。

[0102] 如图 2 和图 3 中所示,制备外延晶圆 100,该外延晶圆包括在 SiC 衬底的表面 2a 上形成的具有注入了杂质(掺杂物)的区域的外延层 120(步骤 S1)。因为步骤 S1 与第一实施例的类似,所以将不再重复对其的描述。

[0103] 然后,如图 2 中所示,对制备的外延晶圆 100 的第一表面 100a 进行氢刻蚀,形成第二表面 100b(步骤 S2)。因为步骤 S2 与第一实施例的类似,所以将不再重复对其的描述。

[0104] 如图 2 和图 8 中所示,在第二表面 100b 上形成含有硅(Si)的半导体膜 201。然后,如图 5 中所示,对半导体膜 201 进行氧化,形成栅氧化膜 126(步骤 S3)。

[0105] 至于在第二表面 100b 上形成含有 Si 的半导体膜 201 的方法,可以采用已知的外延生长,例如,CVD。

[0106] 在本步骤中,可以形成 Si 或碳化硅(SiC)的半导体膜 201。在半导体膜 201 由 Si 形成的情况下,因为可以抑制在外延晶圆 100 和栅氧化膜 126 之间的界面处以及栅氧化膜 126 中存在碳,所以可以进一步提高所制造的半导体器件的质量。在半导体膜 201 由 SiC 形成的情况下,可以容易地形成半导体膜 201,因为下面的外延层 120 的晶体与半导体膜 201 的晶体相同。

[0107] 在步骤 S3 中,确定栅氧化膜 126 的厚度,并且优选地控制半导体膜 201 的厚度,使得当半导体膜 201 完全氧化(而半导体膜 201 下方的外延晶圆 100 没有氧化)时,栅氧化膜 126 具有确定的厚度。换言之,优选地,根据与半导体膜 201 的完全氧化对应的栅氧化膜 126 的厚度,确定半导体膜 201 的厚度。这可以通过以下步骤实现:考虑到由于当半导体膜 201 氧化变成栅氧化膜 126 时引入氧(O)而造成膜厚度增加,通过进行计算等,控制半导体膜 201 的厚度。

[0108] 在半导体膜 201 由 Si 形成的情况下,优选地,半导体膜 201 被形成为厚度是所需的氧化膜的厚度的大致 0.44 倍。通过这样设计半导体膜 201 的厚度,即使由于当半导体膜 201 氧化变成栅氧化膜 126 时引入氧而使膜厚度增大,也可以得到具有经设计厚度的栅氧化膜 126。在这个阶段,优选地,通过仅氧化半导体膜 201 而不氧化外延晶圆 100 来形成栅

氧化膜 126,以避免含有经离子注入的外延晶圆 100 的杂质。因此,外延晶圆 100 对离子注入剖面的影响会减小。

[0109] 半导体膜 201 的氧化方法不特别限制,并且可以采用干法氧化、湿法氧化、高温氧化等。

[0110] 如图 2 中所示,栅氧化膜 126 经受退火(步骤 S4)。因此步骤 S4 与第一实施例的类似,所以将不再重复对其的描述。

[0111] 如图 2 和图 7 中所示,在形成有栅氧化膜 126 的外延晶圆 100 上,形成栅电极 110、源电极 127 和漏电极 112 (步骤 S5)。因此步骤 S5 与第一实施例的类似,所以将不再重复对其的描述。通过执行上述步骤(步骤 S1-S5),生产图 7 所示的 SiC 半导体器件 200。

[0112] 如上所述,根据本实施例的 SiC 半导体器件的制造方法包括以下步骤:制备具有第一表面 100a 的外延晶圆 100,第一表面 100a 至少部分地注入有杂质(步骤 S1);通过对第一表面 100a 进行氢刻蚀来形成第二表面 100b (步骤 S2);以及在第二表面 100b 上形成构成 SiC 半导体器件 200 的栅氧化膜 126 (步骤 S3)。在形成栅氧化膜 126 的步骤(步骤 S3)中,在第二表面 100b 上形成含有 Si 的半导体膜 201,并且对半导体膜 201 进行氧化以形成栅氧化膜 126。

[0113] 发明人注意到存在以下情况:通过对至少部分地注入有杂质的第二表面 100b 进行氧化,在形成栅氧化膜 126 的步骤中没有均匀形成栅氧化膜 126。具体来讲,具有离子注入区的第二表面 100b 包括注入有杂质的区域和没有注入杂质的区域。此外,在注入有杂质的区域中,注入的杂质不同,并且其浓度也不同。因为 SiC 半导体的氧化率取决于杂质的浓度和类型而不同,所以当对具有这种第二表面 100b 的外延晶圆 100 进行氧化时,在面内的各点,在深度方向上氧化率将出现变化。

[0114] 通过努力研究形成均匀的栅氧化膜 126 的步骤,发明人发现,通过在第二表面 100b 上形成含有 Si 的膜,然后将其氧化,形成栅氧化膜 126,可以产生均匀的栅氧化膜 126。

[0115] 因此,在本实施例中,通过在步骤 S2 中对外延晶圆 100 的第一表面 100a 进行氢刻蚀而形成第二表面 100b 之后,在第二表面 100b 上形成含有 Si 的半导体膜 201。然后,对半导体膜 201 进行氧化以变成栅氧化膜 126。因此,可以在经清洁的第二表面 100b 上形成半导体膜 201,而与第二表面 100b 处杂质的浓度和类型无关。因为没有将杂质注入到半导体膜 201 中,所以致使其质量一致,从而使半导体膜 201 面内各点处在深度方向上氧化率一致。因此,可以在清洁的第二表面 100b 上形成具有更一致质量的栅氧化膜 126,从而使 SiC 半导体器件 200 的质量能够进一步提高。

[0116] 根据本实施例,可以提高栅氧化膜 126 的绝缘性质,并且可以减少外延晶圆 100 和栅氧化膜 126 之间的界面处以及栅氧化膜 126 中存在的杂质、颗粒等。此外,可以提高栅氧化膜 126 质量的一致性。因此,可以进一步提高 SiC 半导体器件 200 的质量。

[0117] 在本实施例中使用图 1 的制造装置 10 的情况下,在去除单元 11 和形成单元 12 中的任一个中包括用于形成含有 Si 元素的半导体膜 201 的设备,优选地,为 CVD 设备。设置用于形成半导体膜 201 的设备的位置不限于去除单元 11 或形成单元 12,并且可以另外设置在去除单元 11 和连接单元 13 之间,或者在连接单元 13 和形成单元 12 之间。在这种情况下,优选地,将外延晶圆 100 布置在隔绝空气的气氛中,处于用于形成半导体膜 201 的设备的内部和另一个连接部分之间的区域中。

[0118] 因此,可以在不将第二表面 100b 暴露于空气的情况下形成半导体膜 201。此外,可以在没有暴露于空气的情况下对半导体膜 201 进行氧化。因此,可以制造更高质量的 SiC 半导体器件 200。

[0119] 示例

[0120] (示例 1)

[0121] 在示例 1 中,使用图 9 所示的外延晶圆 130 作为 SiC 半导体。检验对外延晶圆 130 的第一表面 130a 进行氢刻蚀用于清洁的效果。图 9 是示例 1 以及比较例 1 和 2 中采用的外延晶圆的示意性截面图。

[0122] 具体来讲,制备具有表面 2a 的 4H-SiC 衬底作为 SiC 衬底 2。通过 CVD 生长厚度为 $10\mu\text{m}$ 且杂质浓度为 $1\times 10^{16}\text{cm}^{-3}$ 的 n 型 SiC 层 131 作为构成外延层 120 的层。

[0123] 使用 SiO_2 作为掩模,形成以铝(Al)作为 p 型杂质、掺杂浓度为 $2\times 10^{16}\text{cm}^{-3}$ 的 p 主体区 123。另外,形成以磷(P)作为 n 型杂质、杂质浓度为 $1\times 10^{19}\text{cm}^{-3}$ 的 n^+ 源区。此外,形成以铝(Al)作为 p 型杂质、杂质浓度为 $1\times 10^{19}\text{cm}^{-3}$ 的 p^+ 区 125。

[0124] 然后,执行活化退火。使用 Ar 气作为气氛气体,在加热温度为 $1700\text{--}1800^\circ\text{C}$ 且加热时间为 30 分钟条件下,执行活化退火处理。因此,制备具有第一表面 130a 的外延晶圆 130 (步骤 S1)。

[0125] 然后,通过氢刻蚀,去除所制备的外延晶圆 100 的主表面的第一表面 130a (步骤 S2)。

[0126] 具体来讲,将外延晶圆 130 置于反应腔内。在温度被控制成大于或等于 1300°C 且小于或等于 1650°C 的基座处加热外延晶圆 130,同时对第一表面 130a 进行氢刻蚀。至于氢刻蚀条件,引入反应腔中的氢气的流速为 50slm 至 200slm,炉中的压力为 20-150hPa,并且反应时间为 1 小时。

[0127] (比较例 1)

[0128] 比较例 1 与示例 1 基本类似,不同之处在于不执行步骤 2 的氢刻蚀。换言之,在比较例 1 中,在步骤 S1 制备的外延晶圆 130 没有经受清洁处理。

[0129] (比较例 2)

[0130] 比较例 2 与示例 1 基本类似,不同之处在于使用液相进行化学溶液冲洗而不是氢刻蚀来清洁 SiC 半导体的表面。至于液相,使用体硫酸(H_2SO_4):过氧化氢溶液(H_2O_2)积比为 5 : 1 混合而成的混合溶液 1、氨水:过氧化氢溶液:去离子水体积比为 1 : 1 : 5 混合而成的混合溶液 2、氯化氢(HCl):过氧化氢:去离子水体积比为 1 : 1 : 6 混合而成的混合溶液 3 以及 10% 的氟化氢(HF)溶液。具体来讲,在比较例 2 中,将制备的外延晶圆 130 在混合溶液 1 中浸没 0.5 小时,在混合溶液 2 中浸没 10 分钟,在 HF 溶液中浸没 10 分钟,在混合溶液 3 中浸没 10 分钟,在混合溶液 2 中浸没 10 分钟并且在 HF 溶液中浸没 10 分钟,用来通过化学溶液进行清洁。使用 Ar 枪或 N_2 枪以氩气或 N_2 气吹干经受通过化学溶液进行清洁的外延晶圆 130。

[0131] (测量表面杂质)

[0132] 示例 1、比较例 1 和比较例 2 的外延晶圆 130 的表面经受 TXRF (全反射 X 射线荧光分析)。在 TXRF 中,使用 W (钨)- $\text{L}\beta$ 辐射作激励源。

[0133] 通过 TXRF 测量示例 1、比较例 1 和比较例 2 的外延晶圆 130 的表面处的杂质。与

没有进行氢刻蚀的比较例 1 的表面相比,在示例 1 中进行氢刻蚀之后的外延晶圆 130 的表面处的杂质减少。因此,应理解,通过在经受过氢刻蚀的外延晶圆 130 上形成栅氧化膜和电极来制造 SiC 半导体器件,可以制造高质量的 SiC 半导体器件。

[0134] 还应理解,与比较例 1 相比,在比较例 2 中使用液相进行清洁之后的外延晶圆 130 的表面具有更多的杂质。结果示于图 10 和图 11 中。

[0135] 图 10 表示通过 TXRF 测得的比较例 1 的 SiC 半导体表面的光谱结果。图 11 表示通过 TXRF 测得的比较例 2 的 SiC 半导体表面的光谱结果。在这些附图的每个中,在水平轴上绘出能量强度,并且沿着垂直轴绘出光谱强度。峰值越高表示检测到的相关元素越多。例如,图 10 中垂直指示的“Cl、Ka”表示检测到 Cl-K α 辐射。对于其它描述,同样如此。能量强度为 9.67eV 附近的峰值是作为激励辐射源的 W-L β 辐射的峰值。

[0136] 在比较图 10 和图 11 时,在比较例 1 中只检测到氯(Cl),而在比较例 2 中检测到氯(Cl)、钙(Ca)、镍(Ni)和铁(Fe)。因此,应理解,当外延晶圆 130 的表面经受常规清洁处理时,表面不仅未被清洁,而且还具有更多的附着杂质。

[0137] 因此,由于在示例 1 中,基于在氢刻蚀之后在外延晶圆 130 没有经受通过液相进行的清洁的情况下形成氧化膜和电极,来制造 SiC 半导体器件,所以应理解,与比较例 2 的 SiC 半导体器件相比,可以制造更高质量的 SiC 半导体器件。

[0138] 虽然以上已描述了本发明的实施例和示例,但是最初意图是每个实施例和示例的特征以合适的方式组合。应理解,本文公开的实施例和示例只是示例的方式,而不是限制的方式。本发明的范围不受上述实施例和示例限制,而是受所附权利要求书的条款限制,并且旨在包括与权利要求书条款等价的范围和含义内的任何修改形式。

[0139] 附图标记列表

[0140] 2SiC 衬底;2a 表面;10 制造装置;11 去除单元;12 形成单元;13 连接单元;100、130 外延晶圆;100a、130a 第一表面;100b 第二表面;110 栅电极;111 源接触电极;112 漏电极;120 外延层;121 缓冲层;122 漂移层;123 主体区;124 源区;125p⁺区;126 栅氧化膜;127 源电极;200SiC 半导体器件;201 半导体膜。

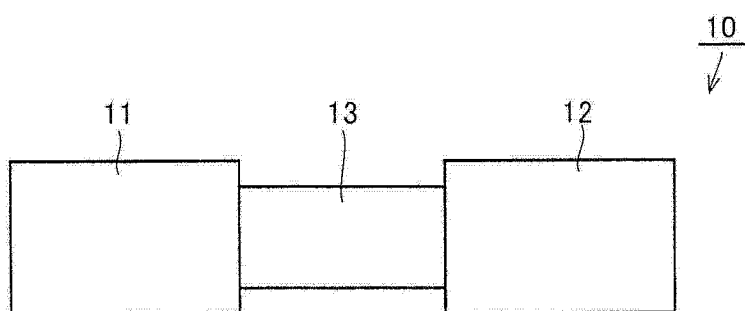


图 1

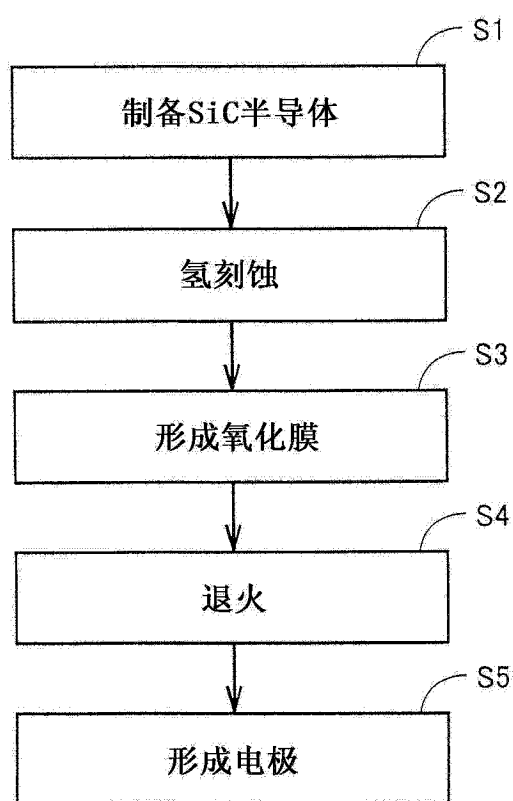


图 2

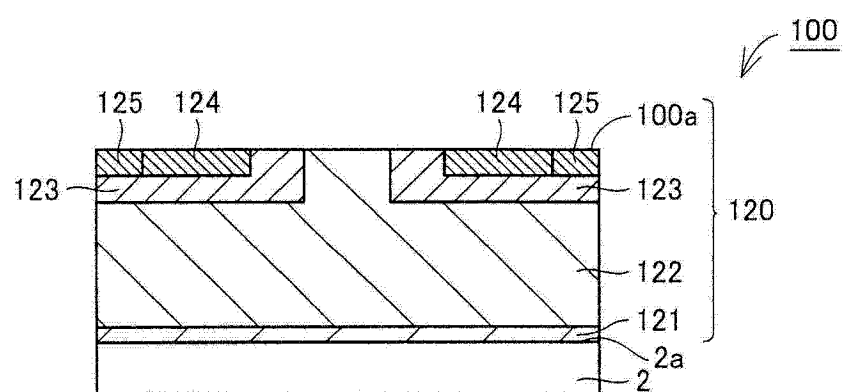


图 3

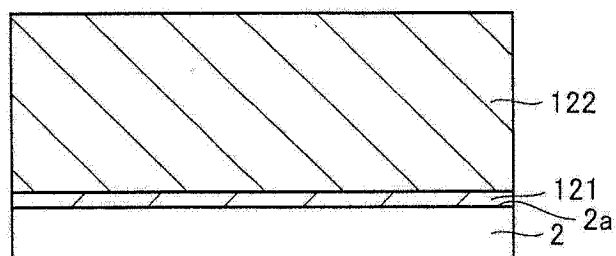


图 4

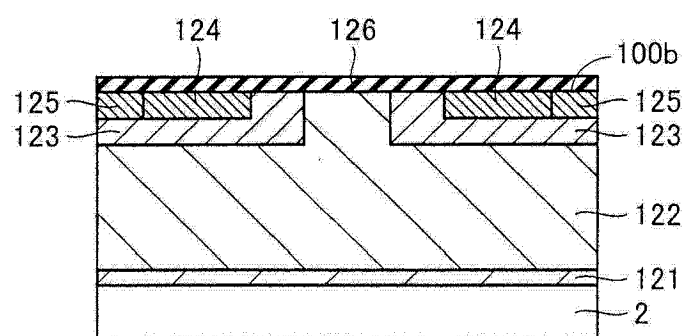


图 5

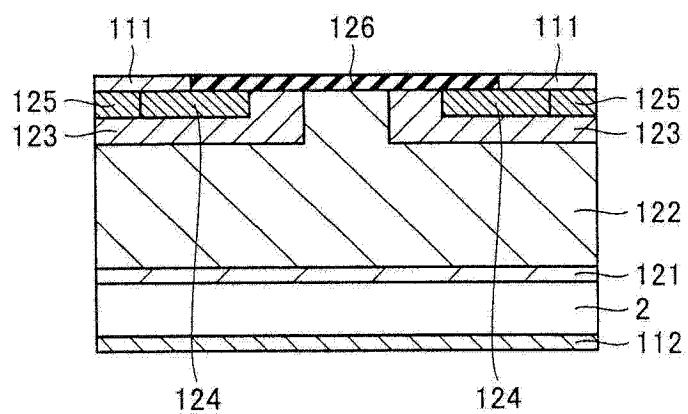


图 6

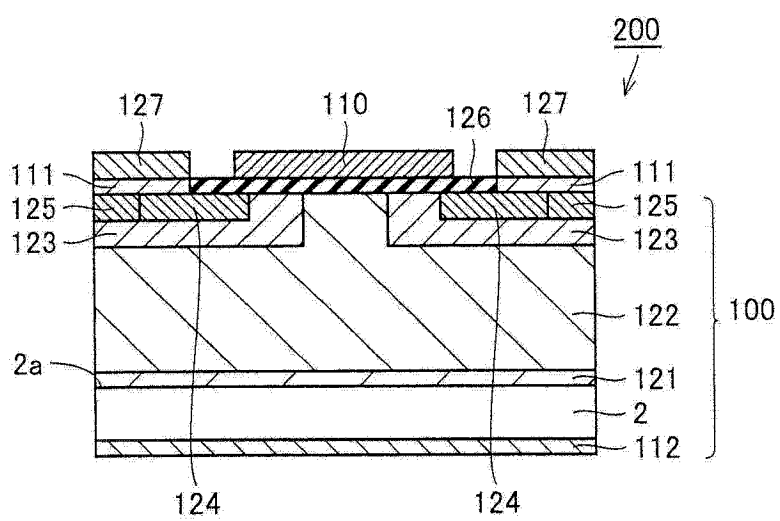


图 7

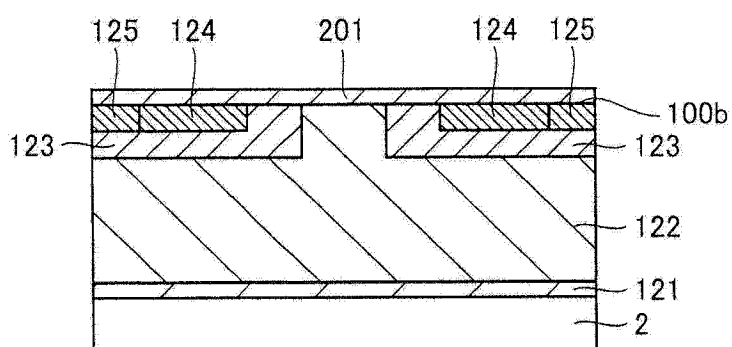


图 8

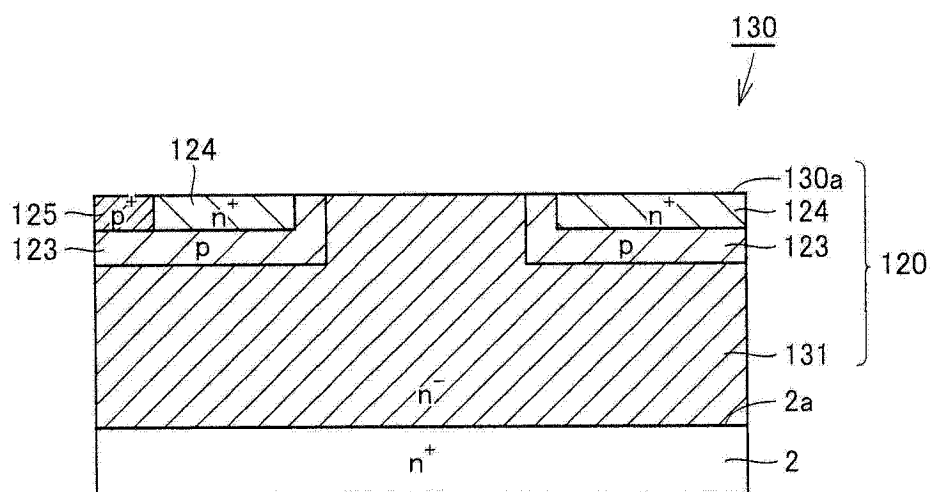


图 9

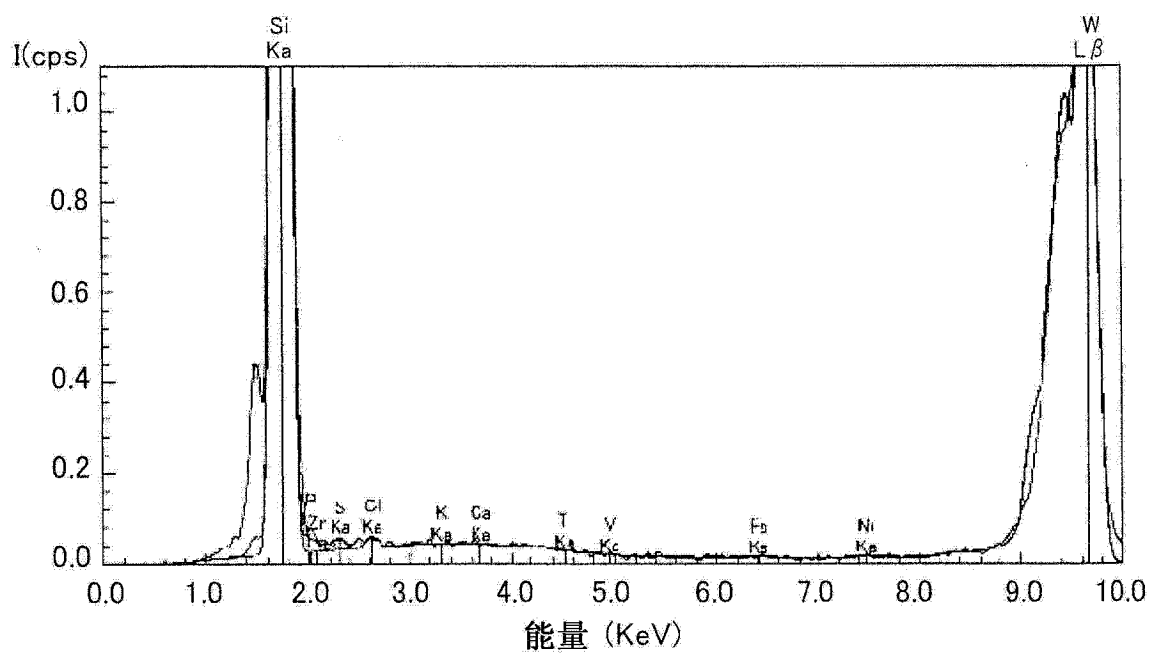


图 10

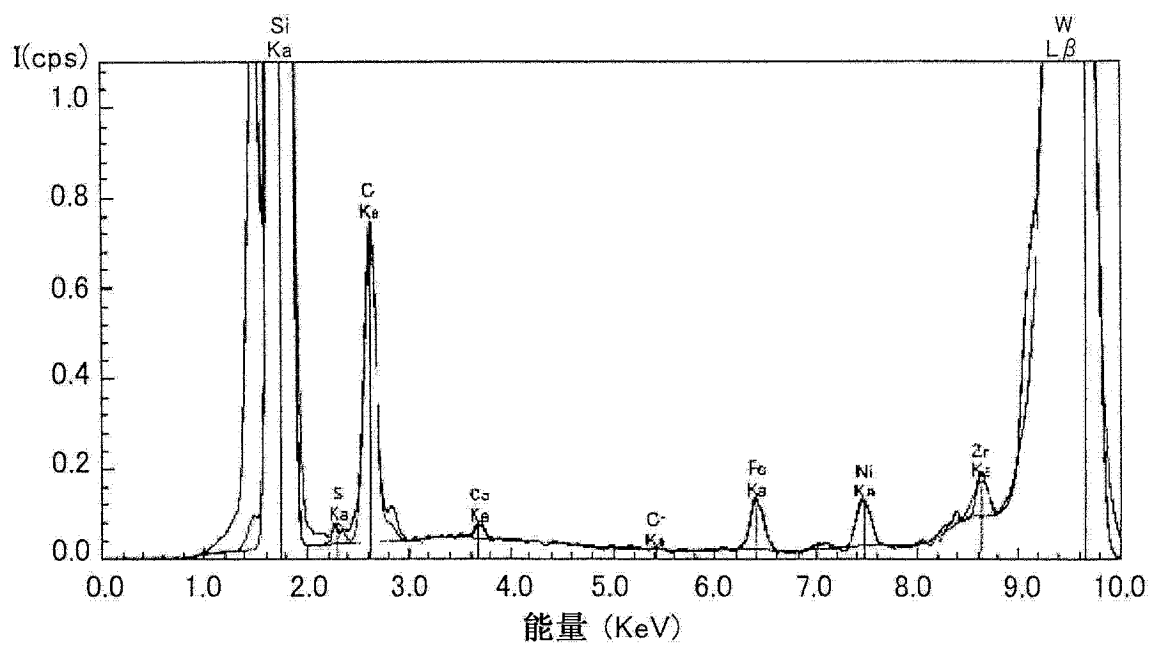


图 11