200931436

發明專利說明書

（本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫）

※ 申請案號：97120351

※ 申請日期 97.5.30　　※IPC 分類：G11C 7/22 (2006.01)

一、發明名稱：(中文/英文)

用於高效能記憶體裝置的時脈及控制信號產生

CLOCK AND CONTROL SIGNAL GENERATION FOR HIGH PERFORMANCE MEMORY DEVICES

二、申 請 人：(共 1 人)

姓名或名稱：(中文/英文)

美商高通公司

QUALCOMM INCORPORATED

代表人：(中文/英文)

湯瑪仕　R　勞斯

ROUSE, THOMAS R.

住居所或營業所地址：(中文/英文)

美國加州聖地牙哥市摩豪斯大道5775號

5775 MOREHOUSE DRIVE SAN DIEGO, CA 92121-1714 U. S. A.

國　籍：(中文/英文)

美國　U.S.A.

三、發明人：(共 2 人)

姓　名：(中文/英文)

1. 陳志坤
CHEN, ZHIQIN

2. 鄭昌鎬
JUNG, CHANG HO

國　籍：(中文/英文)

1. 美國　U.S.A.

2. 韓國　REPUBLIC OF KOREA

四、聲明事項：

☐ 主張專利法第二十二條第二項☐第一款或☐第二款規定之事實，其事實發生日期為：　年　月　日。

☑ 申請前已向下列國家(地區)申請專利：

【格式請依：受理國家(地區)、申請日、申請案號　順序註記】

☑ 有主張專利法第二十七條第一項國際優先權：

1. 美國；2007年05月31日；11/756,017

2.

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號　順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料　【格式請依：寄存機構、日期、號碼　順序註記】

國外生物材料　【格式請依：寄存國家、機構、日期、號碼　順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本揭示案大體而言係關於電子學，且更特定言之，係關於用於在記憶體裝置中產生時脈及控制信號之技術。

【先前技術】

記憶體裝置通常用於許多電子裝置中，諸如電腦、無線通信裝置、個人數位助理(PDA)等。記憶體裝置通常包括許多列及行之記憶體單元。每一記憶體單元可儲存資料值，其通常為二進位"0"或"1"。為了讀取給定列及給定行中之記憶體單元，啟動該列之字線，且記憶體單元視儲存於記憶體單元中之資料值而定充電或放電該行之位元線。感測放大器接著偵測位元線上之電壓且基於所偵測之電壓而提供邏輯值。為了寫入至給定列及給定行中之記憶體單元，啟動該列之字線。資料輸入驅動器接著視寫入至記憶體單元之資料值而定驅動該行之位元線低位準或高位準。當前儲存於記憶體單元中之資料值由位元線上之值進行覆寫。

對於讀取操作而言，感測放大器應被儘早接通且維持最小量之時間以達成高操作速度及低功率消耗。可在已充分充電或放電位元線之後啟動感測放大器，以使得可可靠地偵測儲存於記憶體單元中之資料值。此充電/放電時間取決於記憶體單元中之電晶體的特性及寄生效應，此兩者可歸因於積體電路(IC)製程、電源電壓及溫度之變化而廣泛地變化。對於寫入操作而言，資料輸入驅動器應被接通達

與將資料值寫入至記憶體單元中所需之一樣長的時間。寫入至記憶體單元所需之時間量取決於電晶體特性及寄生效應。

因此，在此項技術中需要產生用於讀取及寫入操作之時脈及控制信號以使得可在存在IC製程、電壓及溫度(PVT)變化的情況下達成高操作速度的技術。

【發明內容】

本文描述用於產生時脈及控制信號以在記憶體裝置中達成讀取及寫入操作之良好效能的技術。在一設計中，記憶體裝置包括記憶體陣列、時脈及控制信號產生器及其他電路區塊。該記憶體陣列包括用於儲存資料的記憶體單元及模仿記憶體單元之某些特性(例如，負載)的虛設單元。該時脈及控制信號產生器產生用於將資料寫入至記憶體單元且自記憶體單元讀取資料之時脈及控制信號。

在一設計中，時脈及控制信號產生器包括第一及第二時脈產生器、第一及第二控制信號產生器及重設電路。第一時脈產生器產生用於讀取及寫入操作之第一時脈信號。第二時脈產生器產生用於寫入操作之第二時脈信號且可在讀取操作時停用。可產生具有相等延遲之第一時脈信號及第二時脈信號以達成對記憶體裝置之高速讀取及寫入。重設電路為第一時脈產生器及第二時脈產生器產生至少一重設信號。重設信號可具有基於一行虛設單元之位元線及/或一列虛設單元之字線上的負載而確定之時序。重設信號亦可具有用於讀取及寫入操作之不同延遲以達成讀取與寫入

操作之良好時序裕度。

第一控制信號產生器基於第一時脈信號而產生用於讀取及寫入操作之字線控制時脈(RCLK)信號及位址鎖存啟用(ALE)信號及用於讀取操作之感測放大器啟用(SEN)信號。第二控制信號產生器基於第二時脈信號而產生用於寫入操作之資料輸入驅動器時脈(WCLK)信號及資料鎖存啟用(DLE)信號。可分別基於第一時脈信號及第二時脈信號而產生具有相等延遲之RCLK信號及WCLK信號。(例如)未使用單觸發電路的情況下，可產生具有相等延遲及可能相等脈衝寬度之ALE信號及DLE信號。可基於第一時脈信號及用於第一時脈產生器之重設信號而產生ALE信號。可基於第二時脈信號及用於第二時脈產生器之重設信號而產生DLE信號。

下文進一步詳細描述本揭示案之各種態樣及特徵。

【實施方式】

本文描述具有良好讀取及寫入效能之記憶體裝置。記憶體裝置可用於隨機存取記憶體(RAM)、靜態RAM(SRAM)、動態RAM(DRAM)、同步DRAM(SDRAM)、視訊RAM(VRAM)、同步圖形RAM(SGRAM)、唯讀記憶體(ROM)、快閃記憶體等。記憶體裝置可為獨立的裝置或可嵌入其他裝置(例如，處理器)內。

圖1展示具有良好讀取及寫入效能之記憶體裝置100之設計的方塊圖。記憶體裝置100包括位址鎖存器110、位址解碼器及字線驅動器120、記憶體陣列150、時脈及控制信號

產生器160及I/O電路170。

記憶體陣列150包括M列及N行記憶體單元152且進一步包括一列及一行虛設單元154。通常，M及N可各為任何值。記憶體單元為可儲存資料值且可用各種電路設計來實施之電路。虛設單元為可儲存已知值及/或以特定方式經連接以達成所要負載效應之電路。虛設單元可用與記憶體單元相同或類似之電路設計來實施。經由M個字線WL1至WLM選擇M列記憶體單元。該列虛設單元耦接至虛設字線DWL。N行記憶體單元耦接至N個差分位元線BL1及BL1b至BLN及BLNb。該行虛設單元耦接至自定時位元線STBL。

位址鎖存器110接收待被存取之記憶體單元或記憶體單元之區塊之位址且鎖存該位址。位址解碼器120接收經鎖存之位址且可基於所接收之位址而產生列位址。位址解碼器120可接著對列位址執行預解碼且提供經預解碼之信號，該等信號指示用以啟動或確定之特定字線。字線驅動器120接收經預解碼之信號且驅動由經預解碼之信號指示的特定字線，以使得可存取所要列之記憶體單元。

I/O電路170包括用於自記憶體單元讀取資料且將資料寫入至記憶體單元之各種電路。舉例而言，I/O電路170包括用於每一差分位元線之感測放大器及資料輸出緩衝器以用於自耦接至該位元線之記憶體單元讀取資料。I/O電路170進一步包括用於每一差分位元線之資料鎖存器及資料輸入驅動器以用於將資料寫入至耦接至該位元線之記憶體單

元。

時脈及控制信號產生器160接收外部時脈信號CLK且亦耦接至自定時位元線STBL及虛設字線DWL。產生器160產生用以控制記憶體裝置100之操作的時脈及控制信號，例如，用於讀取及寫入操作之時脈及控制信號。如下文所描述，時脈及控制信號具有由該行及列虛設單元確定之時序。產生器160可產生以下時脈及控制信號：

- RCLK -用於讀取及寫入操作之字線控制的內部時脈，
- ALE -用於讀取及寫入操作之位址鎖存啟用信號，
- SEN -僅用於讀取操作之感測放大器啟用信號，
- Precharge -用於讀取及寫入操作之位元線預充電信號，
- DLE -僅用於寫入操作之資料鎖存啟用信號，及
- WCLK -僅用於寫入操作之資料輸入驅動器時脈。

下文進一步詳細描述圖1中之時脈及控制信號及一些電路區塊。

圖2展示圖1中之記憶體陣列150及I/O電路170之設計的示意圖。為了清楚起見，在圖2中僅展示記憶體陣列150中之一個記憶體單元152及一個虛設單元154。此外，僅虛設字線DWL展示於圖2中，但未展示耦接至此字線之虛設單元。亦為了清楚起見，在圖2中僅展示用於一個位元線之讀取/寫入電路。

在圖2中所示之設計中，記憶體單元152包括一對交叉耦接之反相器210a及210b及一對傳輸電晶體212a及212b。如在此項技術中已知，每一反相器210可由P通道場效電晶體

(P-FET)及N通道場效電晶體(N-FET)形成。反相器210a之輸入耦接至節點A且其輸出耦接至節點B。反相器210b之輸入耦接至節點B且其輸出耦接至節點A。每一傳輸電晶體212用N-FET來實施。N-FET 212a之汲極耦接至節點A，其閘極耦接至字線WLm且其源極耦接至位元線BLx，其中 $m \in \{1,...,M\}$ 且 $x \in \{1,...,N\}$。N-FET 212b之汲極耦接至節點B，其閘極耦接至字線WLm且其源極耦接至互補位元線BLxb。

反相器210a及210b經由正反饋儲存資料值。若記憶體單元152儲存邏輯高位準("1")，則節點A處於邏輯高位準且節點B處於邏輯低位準。若記憶體單元152儲存邏輯低位準("0")，則節點A處於邏輯低位準且節點B處於邏輯高位準。對於記憶體讀取而言，線BLx及BLxb最初由預充電電路230預充電至邏輯高位準，接著字線WLm被確定為邏輯高位準，且N-FET 212a及212b經接通。若記憶體單元152儲存邏輯高位準，則位元線BLx經由N-FET 212a由反相器210b充電，且互補位元線BLxb經由N-FET 212b由反相器210a放電。若記憶體單元152儲存邏輯低位準，則相反情況成立。感測放大器226偵測線BLx與BLxb之間的電壓差以確定儲存於記憶體單元152中之資料值。

對於記憶體寫入而言，線BLx及BLxb最初由預充電電路230預充電至邏輯高位準，接著字線WLm被確定為邏輯高位準，且N-FET 212a及212b經接通。為了將邏輯高位準("1")寫入至記憶體單元152，位元線BLx被驅動高位準且經由N-FET 212a迫使節點A為邏輯高位準，且互補位元線

BLxb被驅動低位準且經由N-FET 212b迫使節點B為邏輯低位準。當將邏輯低位準寫入至記憶體單元152時，以上相反情況成立。

在圖2中所示之設計中，虛設單元154包括反相器214a及214b及N-FET 216a及216b，其如上文針對記憶體單元152中之反相器210a及210b及N-FET 212a及212b描述而耦接，但具有以下差異。N-FET 216a之閘極耦接至電路接地且其源極耦接至自定時位元線STBL。N-FET 216b之汲極耦接至電源電壓Vdd。在此設計中，N-FET 216a始終被斷開，節點A'處於邏輯低位準，且節點B'處於邏輯高位準。

記憶體陣列150中之虛設單元154可用與常規記憶體單元152相同之結構及尺寸來實施。該行虛設單元154之自定時位元線STBL可接著具有與N個位元線BL1至BLN中之每一者相同的負載。該列虛設單元154之虛設字線DWL亦可具有與M個字線WL1至WLM中之每一者相同的負載。用於讀取及寫入操作之時脈及控制信號可藉由自定時位元線STBL及虛設字線DWL產生且可接著追蹤記憶體單元152之時序。

在圖2中所示之設計中，對於每一位元線而言，I/O電路170包括資料鎖存器220、資料輸入驅動器222a及222b、讀取/寫入多工器(Mux)224、感測放大器226及輸出資料(Dout)緩衝器228。多工器224將線BLx及BLxb耦接至驅動器222a及222b以用於寫入操作且耦接至感測放大器226以用於讀取操作。對於寫入操作而言，鎖存器220基於DLE

信號接收並鎖存輸入資料值Dinx。當由WCLK信號啟用時，資料輸入驅動器222a及222b分別接收經鎖存之資料值並驅動線BLx及BLxb。對於讀取操作而言，感測放大器226放大線BLx與BLxb之間的電壓差、在由SEN信號啟用時偵測經放大之電壓的邏輯值(例如，邏輯低位準或高位準)，並提供所偵測之邏輯值。緩衝器228緩衝感測放大器226之輸出且提供輸出資料值Doutx。預充電電路230產生在每一讀取及寫入操作之前將線BLx及BLxb預充電至邏輯高位準的信號。

產生器160使用虛設單元154以產生用於讀取及寫入操作之時脈及控制信號。在圖2中所示之設計中，產生器160產生用於每一讀取及寫入操作之內部時脈(DCLK)信號上的窗口/脈衝。DCLK信號上之窗口的寬度由虛設單元154確定且亦可經由可程式化構件加以調整以達成讀取與寫入操作之良好時序裕度。如下文所描述，產生具有由DCLK信號確定之時序的各種時脈及控制信號。

圖2亦展示時脈及控制信號產生器160a，其為圖1中之時脈及控制信號產生器160的一設計。在此設計中，產生器160a包括時脈產生器250及260、控制信號產生器252及262、重設電路270，及由"反及" (NAND)閘254構成之電源開啟重設電路。時脈產生器250可操作以用於讀取與寫入操作且產生RCLKb信號。時脈產生器260可操作以僅用於寫入操作且產生WCLKb信號。控制信號產生器252接收RCLKb信號且產生用以啟用M個字線WL1至WLM之RCLK

信號、用於位址鎖存器110之ALE信號、用於感測放大器226之SEN信號及用於預充電電路230之預充電信號。控制信號產生器262接收WCLKb信號且產生用於資料輸入驅動器222a及222b之WCLK時脈及用於資料輸入鎖存器220之DLE信號。可如下文所描述實施時脈產生器250及260及控制信號產生器252及262。

NAND閘254分別自時脈產生器250及260接收RCLKb及WCLKb信號，且將DCLK信號提供至重設電路270及虛設字線DWL。DCLK信號觀測類似於正常字線上之負載的負載。在重設電路270內，反相驅動器272接收DCLK信號且驅動自定時位元線STBL。驅動器272具有可經設定以產生DCLK信號上之所要窗口寬度的可組態驅動強度。偵測器/可程式化延遲電路274偵測自定時位元線上之STBL信號且分別產生用於時脈產生器250及260之Reset_R及Reset_W信號。電路274亦可為Reset_R及Reset_W信號提供可程式化延遲，其可用以獲得DCLK信號上之較長窗口。

圖3展示圖2中之時脈產生器250及260及控制信號產生器252及262之設計的示意圖。時脈產生器250接收CLK信號、晶片選擇(CS)信號及Reset_R信號且產生用於讀取與寫入操作之RCLKb信號。在啟用記憶體裝置100時，CS信號處於邏輯高位準，否則處於邏輯低位準。時脈產生器260接收CLK信號、CS信號、寫入啟用(WE)信號及Reset_W信號且產生用於寫入操作之WCLKb信號。

在時脈產生器250內，緩衝器312a接收CLK信號且提供

經延遲之CLK信號。緩衝器312a可用串聯耦接之兩個或兩個以上反相器來實施。反相器316接收CS信號且提供CSb信號。"反或" (NOR)閘314a在兩個輸入處接收經延遲之CLK信號及CSb信號且在啟用記憶體裝置100時提供CLK信號之經反相及延遲版本。以堆疊組態耦接N-FET 320a及322a及P-FET 324a。N-FET 320a之源極耦接至電路接地，其閘極耦接至NOR閘314a之輸出，且其汲極耦接至N-FET 322a之源極。N-FET 322a之閘極接收CLK信號，其汲極耦接至P-FET 324a且其汲極提供RCLKb信號。P-FET 324a之閘極自重設電路270接收Reset_R信號且其源極耦接至電源。反相器326a及328a串聯耦接，其中反相器326a之輸入接收RCLKb信號，反相器328a之輸入耦接至反相器326a之輸出，且反相器328a之輸出耦接至反相器326a之輸入。

在控制信號產生器252內，反相器330接收RCLKb信號且提供RCLK信號。NAND閘332在兩個輸入處接收RCLKb信號及Reset_R信號且提供ALE信號。SEN產生器334接收RCLK信號且產生用於感測放大器226之SEN信號。預充電產生器336亦接收RCLK信號且產生用於預充電電路230之預充電信號。

在時脈產生器260內，NAND閘318接收CS信號及WE信號且提供WEb信號，該WEb信號用於寫入操作之處於邏輯低位準，否則處於邏輯高位準。反相器319接收WEb信號且提供WEd信號。緩衝器312b、NOR閘314b、N-FET 320b及322b、P-FET 324b及反相器326b及328b分別以與在時脈

產生器250內之緩衝器312a、NOR閘314a、N-FET 320a及322a、P-FET 324a及反相器326a及328a相同但具有以下差異之方式耦接。NOR閘314b自緩衝器312b接收經延遲之CLK信號且自NAND閘318接收WEb信號。P-FET 324b在其閘極處接收Reset_W信號且在其汲極處提供WCLKb信號。

在控制信號產生器262內，反相器340接收WCLKb信號且提供WCLK信號。NAND閘342在兩個輸入處接收WCLKb信號及Reset_W信號且提供DLE信號。

在偵測器/可程式化延遲電路274內，反相器372接收STBL信號且提供經反相之STBL信號。延遲單元374接收反相器372之輸出且提供重設信號。反相器376接收重設信號且為時脈產生器250提供Reset_R信號。NAND閘378自NAND閘318接收重設信號及WEb信號且為時脈產生器260提供Reset_W信號。

圖4展示說明圖3中之時脈產生器250之操作的時序圖。CS信號處於邏輯高位準以啟用記憶體裝置100，Reset_R信號最初處於邏輯高位準，且WCLKb信號處於邏輯高位準。在時間T_1之前，CLK信號處於邏輯低位準，N-FET 320a經接通且N-FET 322a經斷開。CLK信號在時間T_1處自邏輯低位準轉變至邏輯高位準。在時間T_2處N-FET 322a接著經接通且將RCLKb信號拉至邏輯低位準，其接著引起DCLK信號在時間T_3處轉變至邏輯高位準。CLK信號上之上升邊緣因此產生DCLK信號上之上升邊緣。N-FET 320a在時間T_1後由CLK信號上之邏輯高位準斷開短暫的延遲，

且反相器326a及328a充當維持RCLKb信號之邏輯低位準的保持器電路。

在讀取或寫入操作之前將自定時位元線STBL最初預充電至邏輯高位準。由於因虛設字線DWL引起之負載而比其他控制信號更慢上升的DCLK信號上之上升邊緣啟動用虛設單元154實施之自定時延遲追蹤機制。反相驅動器272在接收DCLK信號上之上升邊緣後驅動自定時位元線STBL至邏輯低位準。下拉自定時位元線STBL所用之速度/速率由此位元線上之負載以及驅動器272之驅動強度來確定，該負載及驅動強度可如下文所述進行變化以達成所要的讀取及寫入時序裕度。自定時位元線具有由該行虛設單元154引起之負載且模仿由一行記憶體單元152引起之常規位元線BLx上的負載。電路274偵測自定時位元線何時交叉低於時間T_4處之第一臨限電壓V_{T1}且在時間T_5處產生Reset_R信號上之下降邊緣。如下文所描述，電路274可進一步使Reset_R信號上之下降邊緣延遲可程式化之量。在時間T_6處P-FET 324a由Reset_R信號上之邏輯低位準接通且將RCLKb信號拉至邏輯高位準，其接著引起DCLK信號在時間T_7處轉變至邏輯低位準。Reset_R信號上之下降邊緣因此產生DCLK信號上之下降邊緣。

反相驅動器272在接收DCLK信號上之下降邊緣後驅動自定時位元線STBL至邏輯高位準。反相驅動器272使用相對弱的下拉電晶體以緩慢速率下拉自定時位元線，該等下拉電晶體模仿記憶體單元152中之最壞條件的電晶體。反相

驅動器272用相對強的上拉電晶體以較快速率上拉自定時位元線。電路274偵測自定時位元線何時交叉高於時間T_8處之第二臨限電壓V_{T2}且在時間T_9處產生Reset_R信號上之上升邊緣。可藉由控制反相驅動器272之驅動強度及/或選擇電路274中之適當量的延遲而使DCLK信號之脈衝寬度改變以達成讀取與寫入操作之良好時序裕度。

回頭參看圖3，在由WE信號啟用時，時脈產生器260以與時脈產生器250類似之方式操作。當WE信號處於邏輯高位準以用於寫入操作時，WEb信號處於邏輯低位準，NOR閘314b之輸出取決於來自緩衝器312b之經延遲的CLK信號，且時脈產生器260為可操作的。WEb信號上之邏輯低位準亦引起WEd信號上之邏輯高位準，其允許NAND閘378將重設信號之經反相版本提供為Reset_W信號。相反，當WE信號處於邏輯低位準以用於讀取操作時，WEb信號處於邏輯高位準，NOR閘314b之輸出維持於邏輯低位準，N-FET 320b經斷開且時脈產生器260經停用。WEb信號上之邏輯高位準亦引起WEd信號上之邏輯低位準，其引起NAND閘378之輸出保持於邏輯高位準。在寫入操作中，NAND閘378充當來自延遲單元374之重設信號的反相器。在讀取操作中，Reset_W信號保持於邏輯高位準，WCLKb信號亦保持於邏輯高位準，且DLE信號保持於邏輯低位準。

NAND閘254基於RCLKb及WCLKb信號而產生DCLK信號。當啟用時脈產生器260時，DCLK信號上之上升邊緣由

RCLKb及WCLKb信號上之較早下降邊緣確定，且DCLK信號上之下降邊緣由RCLKb及WCLKb信號上之較後上升邊緣確定。時脈產生器250及260可經匹配以使得WCLKb信號緊密匹配RCLKb信號。當停用時脈產生器260時，WCLKb信號處於邏輯高位準，且DCLK信號由RCLKb信號獨自確定。

電源開啟重設為記憶體設計中之重要問題。在經電源開啟後，時脈產生器250及260應重設至非作用/停用模式。NAND閘254確保RCLKb及WCLKb信號皆重設至邏輯高位準且保持於邏輯高位準直至CLK信號上之下一邊緣到達。若RCLKb或WCLKb信號在邏輯低位準處喚醒，則DCLK信號將處於邏輯高位準，反相驅動器272將STBL信號拉至邏輯低位準，且Reset_R及Reset_W信號將轉變至邏輯低位準且重設RCLKb及WCLKb信號之兩者至邏輯高位準。NAND閘254因此確保在電源開啟後或在位址在範圍之外時，RCLKb及WCLKb信號自動重設至邏輯高位準。此自動重設可避免內部時脈在電源開啟情況下堅持於作用模式且引起漏電流或記憶體功能故障之情形。

圖5展示說明產生用於讀取及寫入操作之各種時脈及控制信號的時序圖。為了簡明起見，時脈產生器250及260被假定為匹配的，RCLKb及WCLKb信號經匹配，且Reset_R及Reset_W信號亦經匹配。如上文圖4所描述產生RCLKb、DCLK、STBL及Reset_R信號。

NAND閘332基於RCLKb及Reset_R信號而產生ALE信

號。ALE信號具有由RCLKb信號上之低脈衝亦及Reset_R信號上之低脈衝確定的脈衝寬度。ALE信號由圖1中之位址鎖存器110使用以鎖存位址。

反相器330產生RCLK信號，其為RCLKb信號之經延遲及反相版本。RCLK信號可用以為選定列之記憶體單元確定字線WLm。字線WLm之作用持續時間可由RCLK信號上之窗口來確定(例如，設定等於RCLK信號上之窗口)。舉例而言，字線WLm可由RCLK信號上之上升邊緣確定且由RCLK信號上之下降邊緣否定。如圖2中所示，字線WLm接通記憶體單元152中之N-FET 212a及212b。對於讀取操作而言，字線WLm之作用持續時間確定記憶體單元152可使線BLx及BLxb放電所用之時間量。對於寫入操作而言，字線WLm之作用持續時間確定允許將資料寫入至記憶體單元152的時間量。如下文所描述，對於讀取及寫入操作可確定字線WLm達不同持續時間。

對於讀取操作而言，SEN產生器334基於RCLK信號上之下降邊緣而產生SEN信號上之脈衝。此脈衝可用以啟用圖2中之感測放大器226以偵測線BLx與BLxb之間的電壓差。

對於寫入操作而言，啟用時脈產生器260，且以與RCLKb信號相同之方式產生WCLKb信號。反相器340產生WCLK信號，其為WCLKb信號之經延遲及反相版本。WCLK信號用以啟用圖2中之資料輸入驅動器222a及222b。NAND閘342基於WCLKb及Reset_W信號而產生DLE信號。ALE信號具有由WCLKb信號上之低脈衝亦及Reset_W信號

上之低脈衝確定的脈衝寬度。DLE信號具有與ALE信號類似之時序且由圖2中之資料鎖存器220使用以鎖存輸入資料。

圖2中之預充電電路230產生在每一讀取及寫入操作之前將線BLx及BLxb預充電至邏輯高位準的預充電信號。在線BLx及BLxb在記憶體讀取期間由選定記憶體單元驅動或在記憶體寫入期間由資料輸入緩衝器222a及222b驅動時，預充電信號經停用。預充電信號可基於RCLK信號而產生且可具有由RCLK信號上之彼等邊緣確定的上升及下降邊緣。

圖2及圖3中所示之具有兩個時脈產生器的設計可提供各種優勢。首先，該設計具有自外部CLK信號至內部RCLK及WCLK信號之小延遲且可用於以快速時脈速度及狹窄設置及保持時間窗口操作的高效能記憶體裝置。自CLK信號至RCLK信號之延遲為兩個閘極--一個閘極用於N-FET 320a及322a及P-FET 324a且另一個閘極用於反相器330。自CLK信號至WCLK信號之延遲亦為兩個閘極--一個閘極用於N-FET 320b及322b及P-FET 324b且另一個閘極用於反相器340。RCLK及WCLK信號之小延遲支援快速讀取及寫入操作。其次，可在讀取操作期間停用時脈產生器260以減少功率消耗。WCLK及ALE信號僅用於寫入操作，且可在寫入操作期間啟用時脈產生器260以產生此等信號。

圖6展示時脈及控制信號產生器160b之示意圖，該時脈及控制信號產生器160b為圖1中之時脈及控制信號產生器

160的另一設計。產生器160b包括如圖3中所示耦接之時脈產生器250及控制信號產生器252。產生器160b進一步包括用於寫入操作之控制信號產生器630。控制信號產生器630包括NAND閘638及642及反相器640。NAND閘638在兩個輸入處接收RCLK信號及WE信號且提供WCLKc信號，其經啟用以僅用於寫入操作。反相器640接收WCLKc信號且提供WCLK信號。NAND閘642在兩個輸入處接收WCLKc信號及Reset_R信號且提供DLE信號。反相器654接收RCLKb信號且為驅動器272提供DCLK信號。反相器654替代圖2及圖3中之NAND閘254。

在圖6中所示之設計中，僅在寫入操作期間基於RCLK信號而產生WCLKc信號。WCLKc信號接著用以用與圖3中所示相同之方式產生WCLK及DLE信號。與圖3中所示之設計相比，圖6中之WCLK信號經由NAND閘638及反相器640觀測兩個額外閘延遲，且DLE信號亦經由NAND閘638及642觀測兩個額外閘延遲。在圖2及圖3中所示之設計中藉由使用兩個時脈產生器及藉由在CLK信號之前在NAND閘318處而不是在CLK信號之後在NAND閘638處施加WE信號來避免WCLK及DLE信號之兩個額外閘延遲。

圖7展示圖2、圖3及圖6中之反相驅動器272之設計的示意圖。在反相驅動器272內，反相器710接收DCLK信號且驅動自定時位元線STBL。對反相器710之下拉由N-FET 712a至712l提供。每一N-FET 712之汲極耦接至反相器710之下拉節點Y且其源極耦接至電路接地。反相器714接收互

補讀取(READb)信號且驅動N-FET 7121之閘極。N-FET 712a至712k之閘極分別接收K個加速器控制信號C_1至C_K，其中K可為任何整數值，例如，K=16。

可接通每一N-FET 712以為反相器710提供更多下拉，其接著將增加反相器710之驅動強度且因此縮短DCLK信號上之窗口。對於每一讀取操作接通N-FET 7121。對於每一讀取操作亦可接通N-FET 712a至712k之中的足夠數目之N-FET，如由加速器設定所確定，以獲得所要的讀取時序裕度。可對於每一寫入操作斷開N-FET 7121，其接著將引起反相器710之較小驅動強度及DCLK信號上之較寬脈衝。N-FET 7121可經設計以為寫入操作提供適合量之額外時間(例如，200微微秒)以達成所要的寫入時序裕度。

圖8展示圖2、圖3及圖6中之電路274之設計的示意圖。在此設計中，電路274包括接收自定時位元線上之類比STBL信號且提供相應數位信號的反相器372。反相器372偵測STBL信號何時交叉低於V_{T1}臨限值且在其輸出處提供下降邊緣，如圖4中所示。反相器372亦偵測STBL信號何時超過V_{T2}臨限值且在其輸出處提供上升邊緣，亦如圖4中所示。

將反相器372之輸出提供至由串聯耦接之反相器812a至812p及反相器814a至814q形成的可程式化延遲單元374。反相器812a接收反相器372之輸出，且反相器812p及814q將其輸出提供至多工器816。多工器816將反相器812p或814q之輸出提供至多工器818。多工器818將反相器372或

多工器816之輸出提供為重設信號。

在圖8中所示之設計中，可為重設信號選擇三個不同延遲。藉由經由多工器818將反相器372之輸出提供為重設信號而獲得最短延遲。藉由經由反相器812a至812p及多工器816及818將反相器372之輸出提供為重設信號而獲得中等延遲。藉由經由反相器812a至812p、反相器814a至814q及多工器816及818將反相器372之輸出提供為重設信號而獲得最長延遲。當選擇反相驅動器272中之最小數目的N-FET 712不提供DCLK信號上之足夠長窗口時，可程式化延遲可用以擴展DCLK信號上之窗口。

本文所描述之技術可用以防止由PVT引起之時序變化。該等技術可用以在PVT變化的情況下獲得所要讀取及寫入時序裕度且可用於各種記憶體組態以達成良好效能及高良率。可用自定時追蹤機制(其可追蹤記憶體單元延遲)及可程式化加速器及/或延遲(其可提供所要量之時序裕度)獲得所要時序裕度。

在圖2、圖3及圖6中所示之設計中，基於其他控制信號用少數閘極方便地產生ALE及DLE信號。為了確保適當讀取及寫入操作，位址鎖存器110及資料鎖存器220應保持關閉直至完成整個讀取或寫入循環。因此，應擴展ALE及DLE信號之脈衝寬度以覆蓋字線WLm之脈衝寬度。單觸發電路可用以擴展ALE及DLE信號之脈衝寬度。單觸發電路為輸入信號之每一上升邊緣產生固定持續時間之脈衝，其中固定脈衝持續時間由單觸發電路內之延遲電路確定。用

於ALE及DLE信號之單觸發電路可需要延遲電路中之大量反相器以獲得對於所有記憶體組態及PVT變化而言足夠長的脈衝寬度。藉由圖2、圖3及圖6中所示之設計，來自自定時位元線之Reset_R及Reset_W信號有效地用以擴展ALE及DLE信號之脈衝寬度以覆蓋整個寫入或讀取操作(包括字線WLm之脈衝寬度)。對於所有記憶體組態及PVT條件而言，此確保位址鎖存器110及資料鎖存器220將不被打開直至完成整個讀取或寫入循環。與使用單觸發電路之設計相比，圖2、圖3及圖6中之設計可因此使用較少閘極及較小IC晶粒面積而產生ALE及DLE信號。

圖9展示用於在記憶體裝置中產生時脈及控制信號之過程900的設計。第一時脈信號可藉由第一時脈產生器產生且用於讀取及寫入操作(步驟912)。第二時脈信號可藉由第二時脈產生器產生且用於寫入操作(步驟914)。每一時脈信號可具有基於外部時脈信號(例如，CLK信號)產生之前邊緣及基於重設信號(例如，Reset_R或Reset_W信號)產生之後邊緣。每一時脈信號之邏輯位準可在前邊緣與後邊緣之間的時間期間由保持器電路維持。可產生具有相等延遲之第一時脈信號及第二時脈信號。第二時脈信號會在讀取操作時停用，例如，藉由停用第二時脈產生器來達成。在電源開啟情況下，亦可用電源開啟重設電路(例如，NAND閘254)將第一時脈信號及第二時脈信號重設至已知邏輯位準。

可用重設電路為第一時脈產生器及第二時脈產生器產生

至少一重設信號(步驟916)。記憶體裝置可具有包含記憶體單元及虛設單元之記憶體陣列。重設信號可具有基於一行虛設單元之位元線上的負載及/或一列虛設單元之字線上的負載而確定之時序。重設信號可具有用於讀取操作之第一延遲及用於寫入操作之第二延遲。可藉由具有可組態驅動強度之驅動器及/或具有可程式化延遲之延遲單元獲得讀取及寫入操作之不同延遲。

可由第一控制信號產生器基於第一時脈信號而產生用於讀取及寫入操作之字線控制時脈(RCLK)信號及ALE信號及用於讀取操作之SEN信號(步驟918)。可由第二控制信號產生器基於第二時脈信號而產生用於寫入操作之資料輸入驅動器時脈(WCLK)信號及DLE信號(步驟920)。可分別基於第一時脈信號及第二時脈信號而產生具有相等延遲之RCLK信號及WCLK信號。(例如)未使用單觸發電路的情況下，可產生具有相等延遲及可能相等脈衝寬度之ALE信號及DLE信號。可基於第一時脈信號及用於第一時脈產生器之重設信號而產生ALE信號。可基於第二時脈信號及用於第二時脈產生器之重設信號而產生DLE信號。

本文所描述之記憶體裝置可用於各種應用，諸如無線通信、計算、網路連接、個人電子設備等。記憶體裝置可實施為獨立的裝置或嵌入於處理器、數位信號處理器(DSP)、精簡指令集電腦(RISC)處理器、進階RISC機器(ARM)處理器、圖形處理器、圖形處理單元(GPU)、控制器、微處理器等內。下文描述用於無線通信裝置之記憶體

裝置的例示性用途。

圖10展示無線通信系統中之無線裝置1000的方塊圖。無線裝置1000可為蜂巢式電話、終端機、手機、PDA、無線數據機等。無線通信系統可為劃碼多重存取(CDMA)系統、全球行動通信系統(GSM)系統，或某一其他系統。

無線裝置1000能夠提供經由接收路徑及傳輸路徑之雙向通信。在接收路徑上，由基地台傳輸之信號由天線1012接收且提供至接收器(RCVR)1014。接收器1014調節並數位化所接收之信號且將樣本提供至數位區1020以用於進一步處理。在傳輸路徑上，傳輸器(TMTR)1016自數位區1020接收待傳輸之資料，處理並調節該資料，且產生調變信號，該調變信號經由天線1012傳輸至基地台。

數位區1020包括各種處理、介面及記憶體單元，諸如數據機處理器1022、視訊處理器1024、控制器/處理器1026、顯示處理器1028、ARM/DSP 1032、圖形處理器1034、內部記憶體1036及外部匯流排介面(EBI)1038。數據機處理器1022執行對資料傳輸及接收之處理，例如，編碼、調變、解調變及解碼。視訊處理器1024對視訊內容(例如，靜止影像、移動視訊及移動文字)執行處理以用於視訊應用，諸如攝像放像機、視訊播放及視訊會議。控制器/處理器1026可指引數位區1020內之各種單元的操作。顯示處理器1028執行處理以促進在顯示單元1030上顯示視訊、圖形及文字。ARM/DSP 1032可執行無線裝置1000之各種類型的處理。圖形處理器1034(例如)對圖形、視訊遊

戲等執行圖形處理。內部記憶體1036為數位區1020內之各種單元儲存資料及/或指令。EBI 1038促進將資料傳送於數位區1020(例如，內部記憶體1036)與主記憶體1040之間。

處理器1022至1034中之每一者可包括嵌入式記憶體，其可如上文所描述得以實施。亦可如上文所描述實施內部記憶體1036及主記憶體1040。數位區1020可用一或多個特殊應用積體電路(ASIC)及/或某一其他類型之IC來實施。

本文所描述之技術及記憶體裝置可以各種硬體單元來實施，諸如記憶體IC、ASIC、DSP、數位信號處理裝置(DSPD)、可程式化邏輯裝置(PLD)、場可程式化閘陣列(FPGA)、控制器、處理器及其他電子裝置。可在各種IC製程技術，諸如CMOS、N-MOS、P-MOS、雙極CMOS(Bi-CMOS)、雙極性等中製造硬體單元。CMOS技術可在同一IC晶粒上製造N-FET與P-FET，而N-MOS技術僅可製造N-FET且P-MOS技術僅可製造P-FET。可用任何裝置尺寸技術(例如，130奈米(nm)、90 nm、65 nm、30 nm等)製造硬體單元。

實施本文中所述之技術的設備可為獨立的單元或可為裝置之部分。該裝置可為(i)獨立的IC，(ii)可包括用於儲存資料及/或指令之記憶體IC之一或多個IC的集合，(iii)諸如行動台數據機(MSM)之ASIC，(iv)可嵌入於其他裝置內之模組，(v)蜂巢式電話、無線裝置、手機或行動單元，(vi)等。

提供本揭示案之先前描述以使得任何熟習此項技術者能

夠進行或使用本揭示案。本揭示案之各種修改對於熟習此項技術者將顯而易見，且可在不脫離本揭示案之精神或範疇的情況下將本文所定義之一般原理應用於其他變體。因此，本揭示案不欲限於本文所描述之實例及設計，而應與本文所揭示之原理及新穎特徵最廣泛地一致。

【圖式簡單說明】

圖1展示記憶體裝置之方塊圖。

圖2展示圖1中之記憶體裝置內之記憶體陣列、時脈及控制信號產生器及輸入/輸出(I/O)電路的示意圖。

圖3展示具有兩個時脈產生器及兩個控制信號產生器之時脈及控制信號產生器的示意圖。

圖4展示圖3中之一個時脈產生器的時序圖。

圖5展示用於讀取及寫入操作之各種控制信號。

圖6展示具有一個時脈產生器及兩個控制信號產生器之另一時脈及控制信號產生器的示意圖。

圖7展示具有可組態驅動強度之驅動器的示意圖。

圖8展示可程式化延遲電路之示意圖。

圖9展示用於產生時脈及控制信號之過程。

圖10展示無線通信裝置之方塊圖。

【主要元件符號說明】

100	記憶體裝置
110	位址鎖存器
120	位址解碼器及字線驅動器
150	記憶體陣列

152	記憶體單元
154	虛設單元
160	時脈及控制信號產生器
160a	時脈及控制信號產生器
160b	時脈及控制信號產生器
170	I/O電路
210a	反相器
210b	反相器
212a	傳輸電晶體/N-FET
212b	傳輸電晶體/N-FET
214a	反相器
214b	反相器
216a	N-FET
216b	N-FET
220	資料鎖存器
222a	資料輸入驅動器
222b	資料輸入驅動器
224	讀取/寫入多工器(Mux)
226	感測放大器
228	輸出資料(Dout)緩衝器
230	預充電電路
250	時脈產生器
252	控制信號產生器
254	NAND閘

260	時脈產生器
262	控制信號產生器
270	重設電路
272	反相驅動器
274	偵測器/可程式化延遲電路
312a	緩衝器
312b	緩衝器
314a	NOR閘
314b	NOR閘
316	反相器
318	NAND閘
319	反相器
320a	N-FET
320b	N-FET
322a	N-FET
322b	N-FET
324a	P-FET
324b	P-FET
326a	反相器
326b	反相器
328a	反相器
328b	反相器
330	反相器
332	NAND閘

334	SEN產生器
336	預充電產生器
340	反相器
342	NAND閘
372	反相器
374	延遲單元
376	反相器
378	NAND閘
630	控制信號產生器
638	NAND閘
640	反相器
642	NAND閘
654	反相器
710	反相器
712a	N-FET
712b	N-FET
712k	N-FET
712l	N-FET
714	反相器
812a	反相器
812p	反相器
814a	反相器
814q	反相器
816	多工器

818	多工器
1000	無線裝置
1012	天線
1014	接收器(RCVR)
1016	傳輸器(TMTR)
1020	數位區
1022	數據機處理器
1024	視訊處理器
1026	控制器/處理器
1028	顯示處理器
1030	顯示單元
1032	ARM/DSP
1034	圖形處理器
1036	內部記憶體
1038	外部匯流排介面(EBI)
1040	主記憶體
A	節點
A'	節點
ALE	位址鎖存啟用信號
B	節點
B'	節點
BL1	位元線
BL1b	位元線
BL2	位元線

BL2b	位元線
BLN	位元線
BLNb	位元線
BLx	位元線
BLxb	互補位元線
C_1	加速器控制信號
C_2	加速器控制信號
C_K	加速器控制信號
CLK	外部時脈信號
CS	晶片選擇信號
DCLK	內部時脈信號
Dinx	輸入資料值
DLE	資料鎖存啟用信號
Doutx	輸出資料值
DWL	虛設字線
Precharge	位元線預充電信號
RCLK	字線控制時脈信號
RCLKb	信號
READb	互補讀取信號
Reset	信號
Reset_R	信號
Reset_W	信號
SEN	感測放大器啟用信號
STBL	自定時位元線

T_1	時間
T_2	時間
T_3	時間
T_4	時間
T_5	時間
T_6	時間
T_7	時間
T_8	時間
T_9	時間
Vdd	電源電壓
V_{T1}	第一臨限電壓
V_{T2}	第二臨限電壓
WCLK	資料輸入驅動器時脈信號
WCLKb	信號
WCLKc	信號
WE	寫入啟用信號
WEb	信號
WEd	信號
WL1	字線
WLM	字線
Y	下拉節點

五、中文發明摘要：

本發明描述一種用於產生時脈及控制信號以在記憶體裝置中達成讀取及寫入操作之良好效能的技術。在一設計中，一記憶體裝置內之一時脈及控制信號產生器包括第一及第二時脈產生器、第一及第二控制信號產生器及一重設電路。該第一時脈產生器產生一用於讀取及寫入操作之第一時脈信號。該第二時脈產生器產生一用於寫入操作之第二時脈信號。該重設電路為該第一時脈產生器及該第二時脈產生器產生至少一重設信號。該(等)重設信號可具有基於歸因於虛設單元引起之負載而確定的時序。該第一控制信號產生器基於該第一時脈信號而產生用於讀取及寫入操作之控制信號。該第二控制信號產生器基於該第二時脈信號而產生用於寫入操作之控制信號。

六、英文發明摘要：

Techniques for generating clock and control signals to achieve good performance for read and write operations in memory devices are described. In one design, a clock and control signal generator within a memory device includes first and second clock generators, first and second control signal generators, and a reset circuit. The first clock generator generates a first clock signal used for read and write operations. The second clock generator generates a second clock signal used for write operations. The reset circuit generates at least one reset signal for the first and second clock generators. The reset signal(s) may have timing determined based on loading due to dummy cells. The first control signal generator generates control signals used for read and write operations based on the first clock signal. The second control signal generator generates control signals used for write operations based on the second clock signal.

十、申請專利範圍：

1. 一種積體電路，其包含：

一第一時脈產生器，其經組態以產生一用於讀取及寫入操作之第一時脈信號；及

一第二時脈產生器，其經組態以產生一用於寫入操作之第二時脈信號。

2. 如請求項1之積體電路，其中該第一時脈產生器包含：

一第一電路，其經組態以基於一外部時脈信號而產生該第一時脈信號上之前邊緣且基於一重設信號而產生該第一時脈信號上之後邊緣。

3. 如請求項2之積體電路，其中該第一時脈產生器進一步包含：

一第二電路，其經組態以在由該外部時脈信號觸發之該前邊緣與該重設信號觸發之該後邊緣之間維持該第一時脈信號之邏輯位準。

4. 如請求項1之積體電路，其中該第二時脈產生器在讀取操作時停用。

5. 如請求項1之積體電路，其中該第一時脈產生器及該第二時脈產生器經組態以產生具有相等延遲之該第一時脈信號及該第二時脈信號。

6. 如請求項1之積體電路，其進一步包含：

一第一控制信號產生器，其經組態以接收該第一時脈信號並產生用於讀取及寫入操作之一字線控制時脈(RCLK)信號及一位址鎖存啟用(ALE)信號。

7. 如請求項6之積體電路，其中該第一控制信號產生器經組態以基於該第一時脈信號及一用於該第一時脈產生器之重設信號而產生該ALE信號。

8. 如請求項6之積體電路，其中該第一控制信號產生器經組態以進一步產生一用於讀取操作之感測放大器啟用(SEN)信號。

9. 如請求項6之積體電路，其進一步包含：

一第二控制信號產生器，其經組態以接收該第二時脈信號並產生用於寫入操作之一資料輸入驅動器時脈(WCLK)信號及一資料鎖存啟用(DLE)信號。

10. 如請求項9之積體電路，其中該第二控制信號產生器經組態以基於該第二時脈信號及一用於該第二時脈產生器之重設信號而產生該DLE信號。

11. 如請求項9之積體電路，其中該第一控制信號產生器及該第二控制信號產生器經組態以產生具有相等延遲之該RCLK信號及該WCLK信號。

12. 如請求項9之積體電路，其中該第一控制信號產生器及該第二控制信號產生器經組態以產生具有相等延遲之該ALE信號及該DLE信號。

13. 如請求項1之積體電路，其進一步包含：

一重設電路，其經組態以為該第一時脈產生器及該第二時脈產生器產生至少一重設信號。

14. 如請求項13之積體電路，其進一步包含：

一包含記憶體單元及虛設單元之記憶體陣列，且其中

該重設電路產生該至少一重設信號，該至少一重設信號具有基於該記憶體陣列中之一行虛設單元之一位元線上的負載而確定之時序。

15. 如請求項14之積體電路，其中該重設電路產生該至少一重設信號，其具有基於該記憶體陣列中之一列虛設單元之一字線上的負載而進一步確定之時序。

16. 如請求項13之積體電路，其中該重設電路產生該至少一重設信號，該至少一重設信號具有一用於讀取操作之第一延遲及一用於寫入操作之第二延遲。

17. 如請求項13之積體電路，其中該重設電路包含：

一驅動器，其具有可組態驅動強度以獲得用於讀取及寫入操作之該至少一重設信號的不同延遲。

18. 如請求項13之積體電路，其中該重設電路包含：

一延遲單元，其經組態以為該至少一重設信號提供可程式化延遲。

19. 如請求項13之積體電路，其進一步包含：

一電源開啟重設電路，其經組態以接收該第一時脈信號及該第二時脈信號並為該重設電路產生一第三時脈信號，在電源開啟情況下該電源開啟重設電路將該第一時脈信號及該第二時脈信號重設至一已知邏輯位準。

20. 一種方法，其包含：

產生一用於讀取及寫入操作之第一時脈信號；及

產生一用於寫入操作之第二時脈信號，該第一時脈信號與該第二時脈信號具有相等延遲。

21. 如請求項20之方法，其進一步包含：

產生具有基於複數個虛設單元確定之時序的至少一重設信號。

22. 如請求項20之方法，其進一步包含：

基於該第一時脈信號而產生用於讀取及寫入操作之一字線控制時脈(RCLK)信號及一位址鎖存啟用(ALE)信號。

23. 如請求項22之方法，其進一步包含：

基於該第二時脈信號而產生用於寫入操作之一資料輸入驅動器時脈(WCLK)信號及一資料鎖存啟用(DLE)信號，該RCLK信號與該WCLK信號具有相等延遲。

24. 一種設備，其包含：

用於產生一用於讀取及寫入操作之第一時脈信號的構件；及

用於產生一用於寫入操作之第二時脈信號的構件，該第一時脈信號與該第二時脈信號具有相等延遲。

25. 如請求項24之設備，其進一步包含：

用於產生具有基於複數個虛設單元確定之時序的至少一重設信號之構件。

26. 如請求項24之設備，其進一步包含：

用於基於該第一時脈信號而產生用於讀取及寫入操作之一字線控制時脈(RCLK)信號及一位址鎖存啟用(ALE)信號的構件。

27. 如請求項26之設備，其進一步包含：

用於基於該第二時脈信號而產生用於寫入操作之一資料輸入驅動器時脈(WCLK)信號及一資料鎖存啟用(DLE)信號的構件，該RCLK信號與該WCLK信號具有相等延遲。

28. 一種積體電路，其包含：

一時脈產生器，其經組態以產生一用於讀取及寫入操作之第一時脈信號；

一控制信號產生器，其經組態以接收該第一時脈信號且產生一用於寫入操作之第二時脈信號，僅對於寫入操作啟用該第二時脈信號；及

一重設電路，其經組態以為該時脈產生器產生一重設信號，該重設信號具有基於歸因於複數個虛設單元引起之負載而確定的時序。

29. 如請求項28之積體電路，其中該重設電路經組態以產生針對讀取及寫入操作而具有不同延遲的該重設信號。

30. 一種積體電路，其包含：

一時脈產生器，其經組態以接收一外部時脈信號並產生一內部時脈信號；

一重設電路，其經組態以為該時脈產生器產生一重設信號；及

一控制信號產生器，其經組態以產生一具有基於該內部時脈信號及該重設信號而確定之脈衝寬度的鎖存啟用信號。

31. 如請求項30之積體電路，其中該鎖存啟用信號為一用以

鎖存一位址以用於讀取或寫入操作之位址鎖存啟用(ALE)信號。

32. 如請求項30之積體電路，其中該鎖存啟用信號為一用以鎖存輸入資料以用於寫入操作之資料鎖存啟用(DLE)信號。

33. 如請求項30之積體電路，其進一步包含：

一包含記憶體單元及虛設單元之記憶體陣列，且其中該重設電路產生該重設信號，該重設信號具有基於歸因於該記憶體陣列中之該等虛設單元引起之負載而確定的時序。

34. 如請求項30之積體電路，其中該控制信號產生器產生該鎖存啟用而不使用一單觸發電路。

十一、圖式：

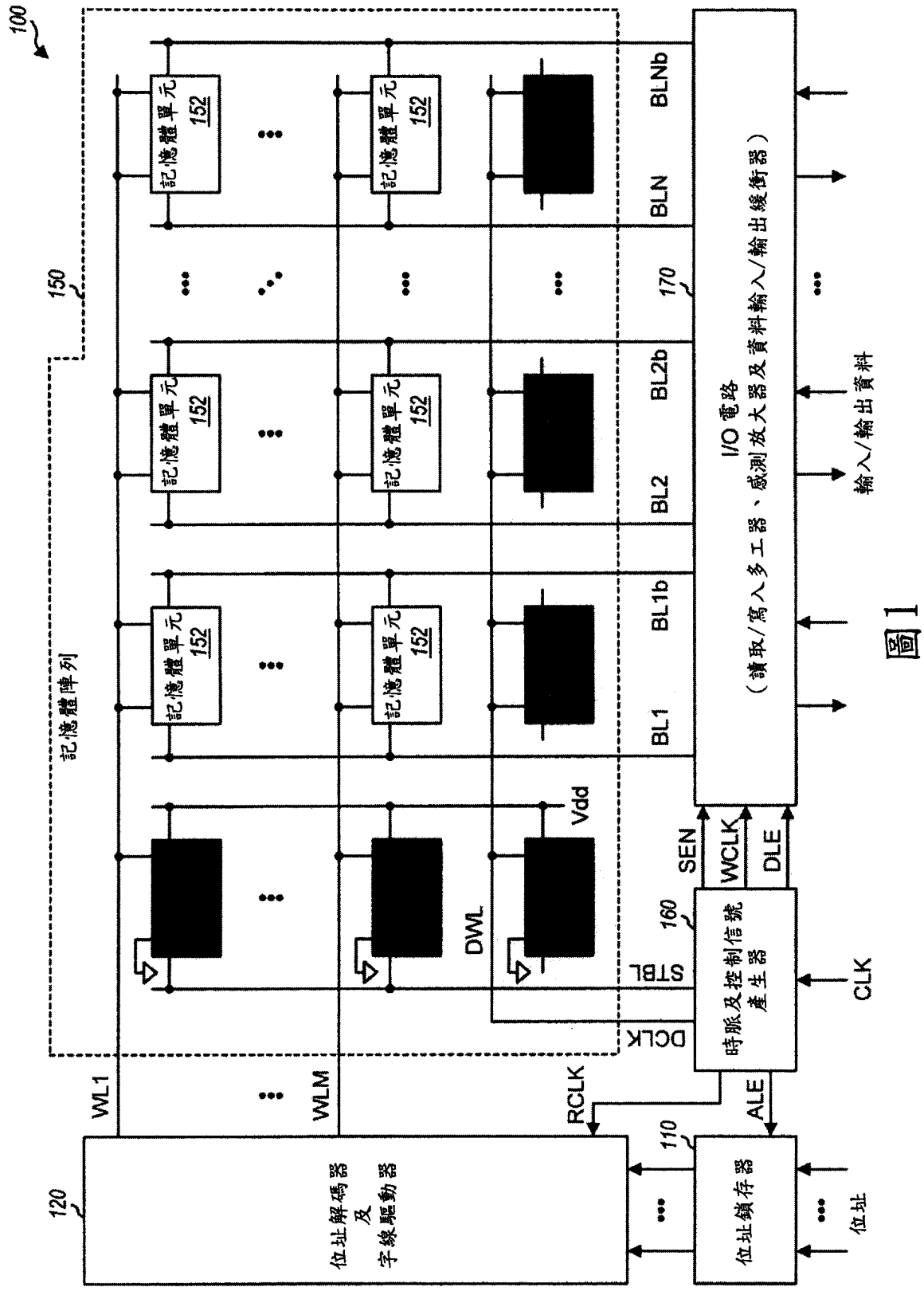

100
150
記憶體陣列
記憶體單元 152
BLNb
BLN
BL2b
BL2
BL1b
BL1
170
I/O 電路
（讀取/寫入多工器、感測放大器及資料輸入/輸出緩衝器）
輸入/輸出資料
Vdd
DWL
SEN
WCLK
DLE
160
時脈及控制信號產生器
STBL
DCLK
CLK
WL1
WLM
RCLK
ALE
120
位址解碼器及字線驅動器
110
位址鎖存器
位址

圖 1

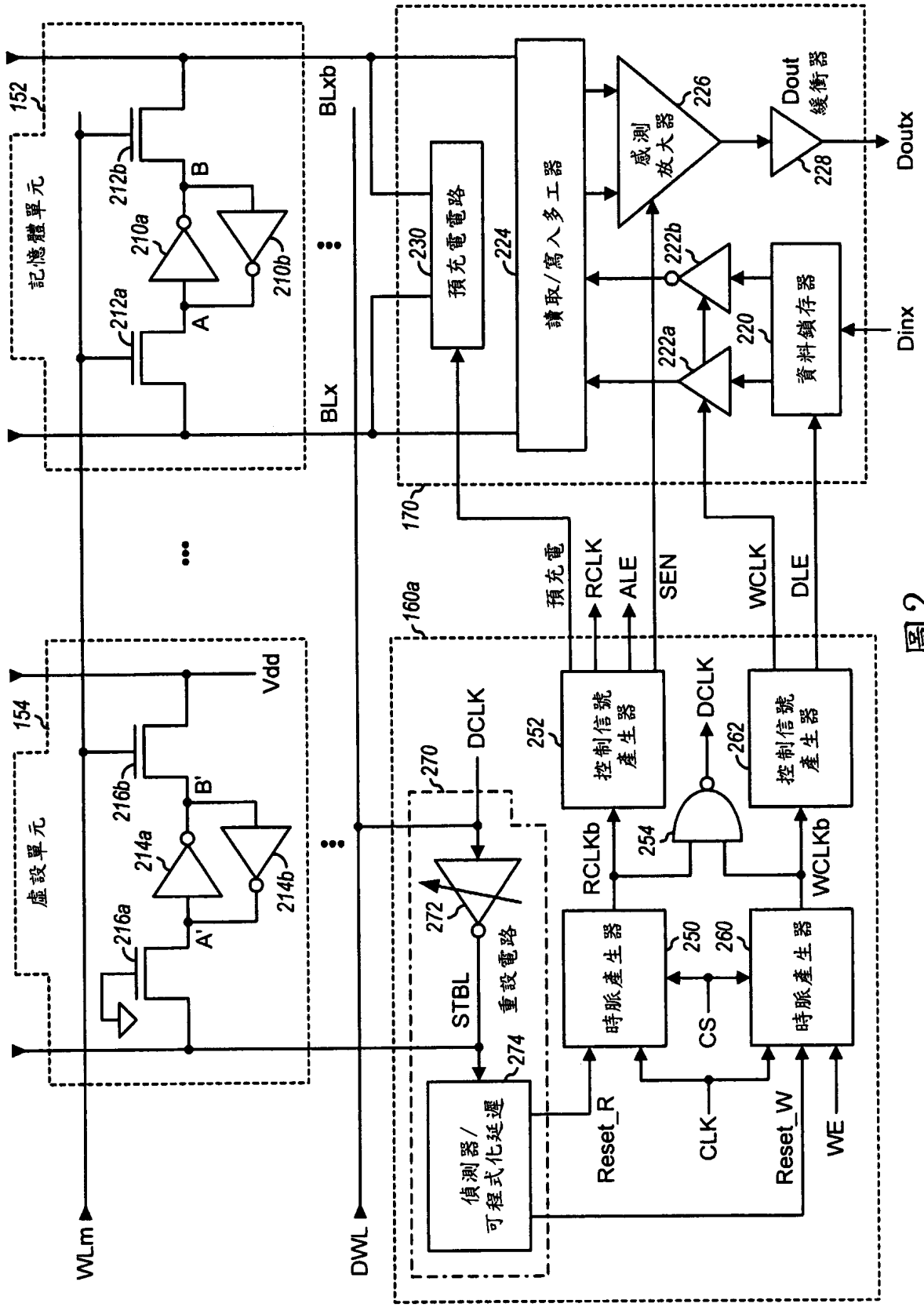

152
記憶體單元
212b
210a
B
212a
A
210b
BLxb
BLx
230
預充電電路
224
讀取/寫入多工器
226
感測放大器
Dout
緩衝器
228
Doutx
222b
222a
220
資料鎖存器
Dinx
170
160a
預充電
RCLK
ALE
SEN
WCLK
DLE
154
虛設單元
216b
214a
B'
214b
216a
A'
Vdd
270
DCLK
252
控制信號產生器
DCLK
262
控制信號產生器
272
254
RCLKb
WCLKb
STBL
重設電路
274
時脈產生器
250
260
時脈產生器
偵測器/可程式化延遲
Reset_R
CS
CLK
Reset_W
WE
WLm
DWL

圖2

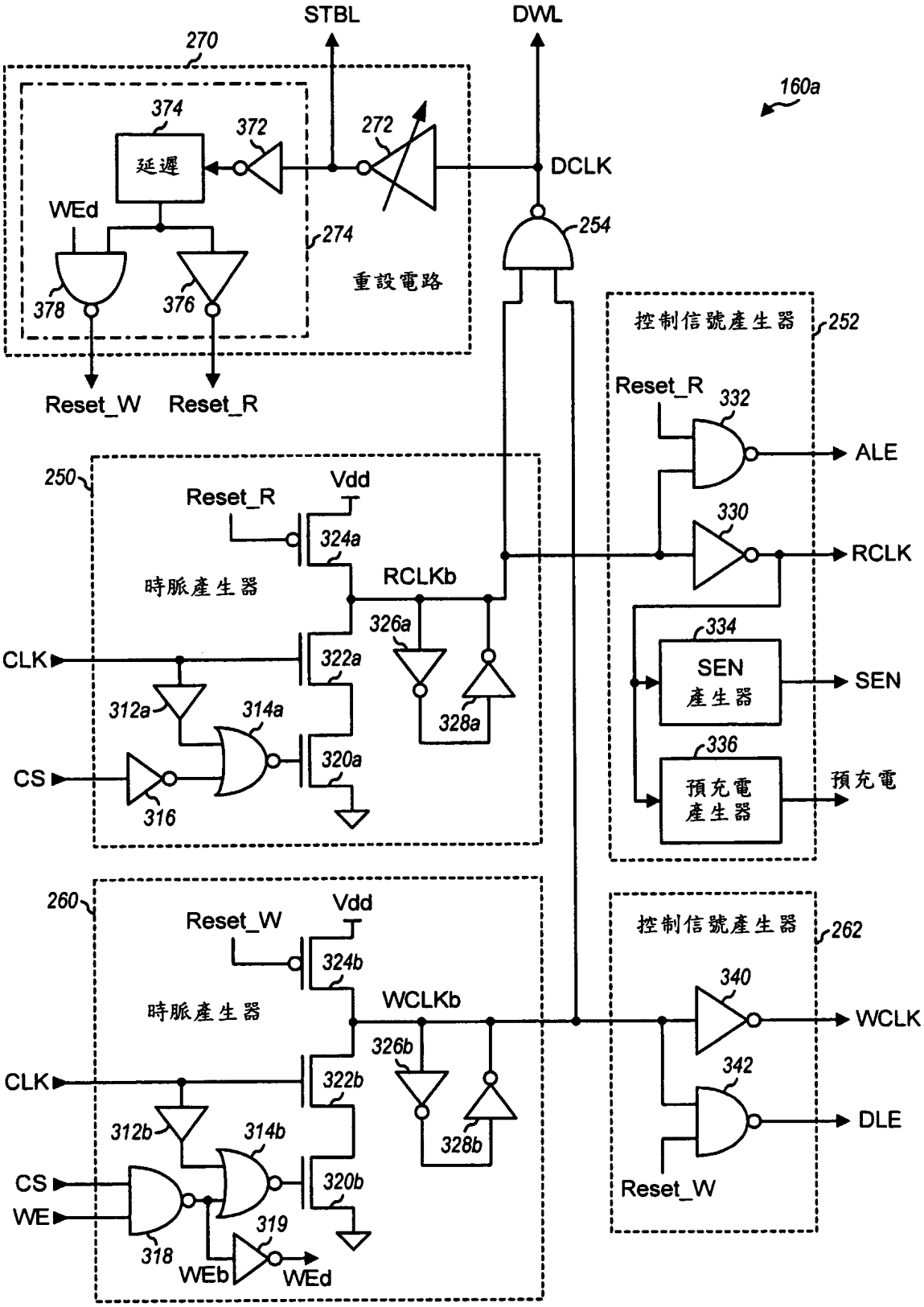

STBL
DWL
270
160a
374
372
272
延遲
DCLK
WEd
274
254
重設電路
378
376
控制信號產生器
252
Reset_W
Reset_R
Reset_R
332
ALE
250
Vdd
Reset_R
324a
330
RCLK
時脈產生器
RCLKb
326a
334
CLK
322a
SEN
SEN
產生器
312a
314a
328a
336
CS
320a
預充電
產生器
預充電
316
260
Vdd
Reset_W
控制信號產生器
262
324b
340
時脈產生器
WCLKb
WCLK
326b
CLK
322b
342
312b
314b
328b
DLE
CS
320b
WE
319
Reset_W
318
WEb
WEd

圖3

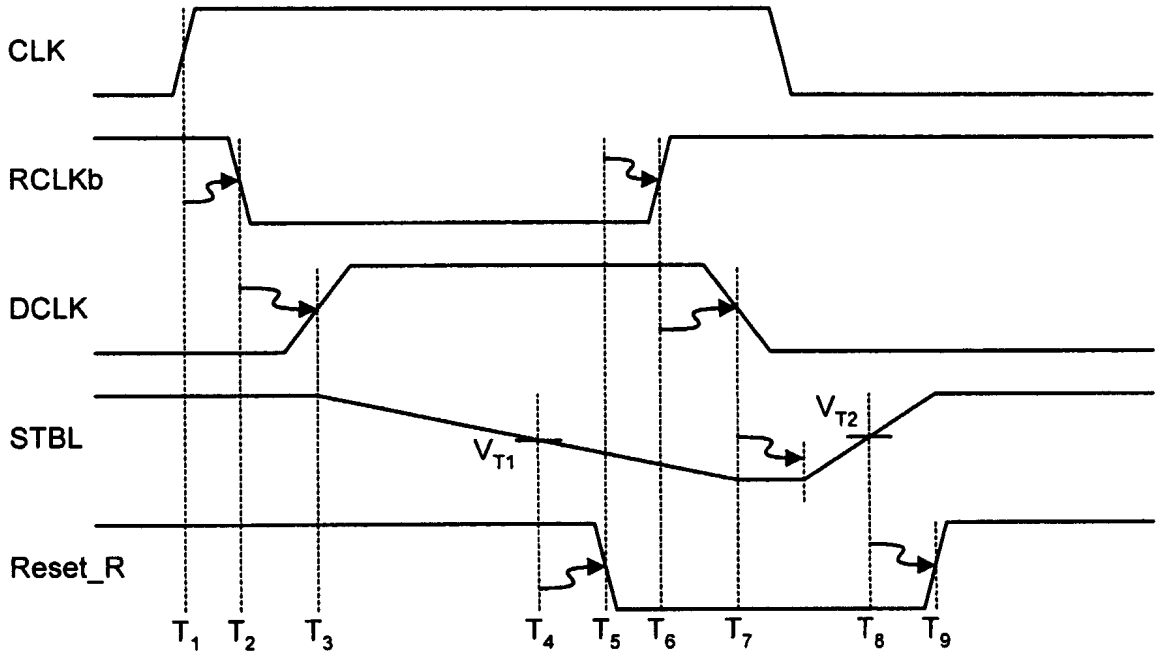


圖4

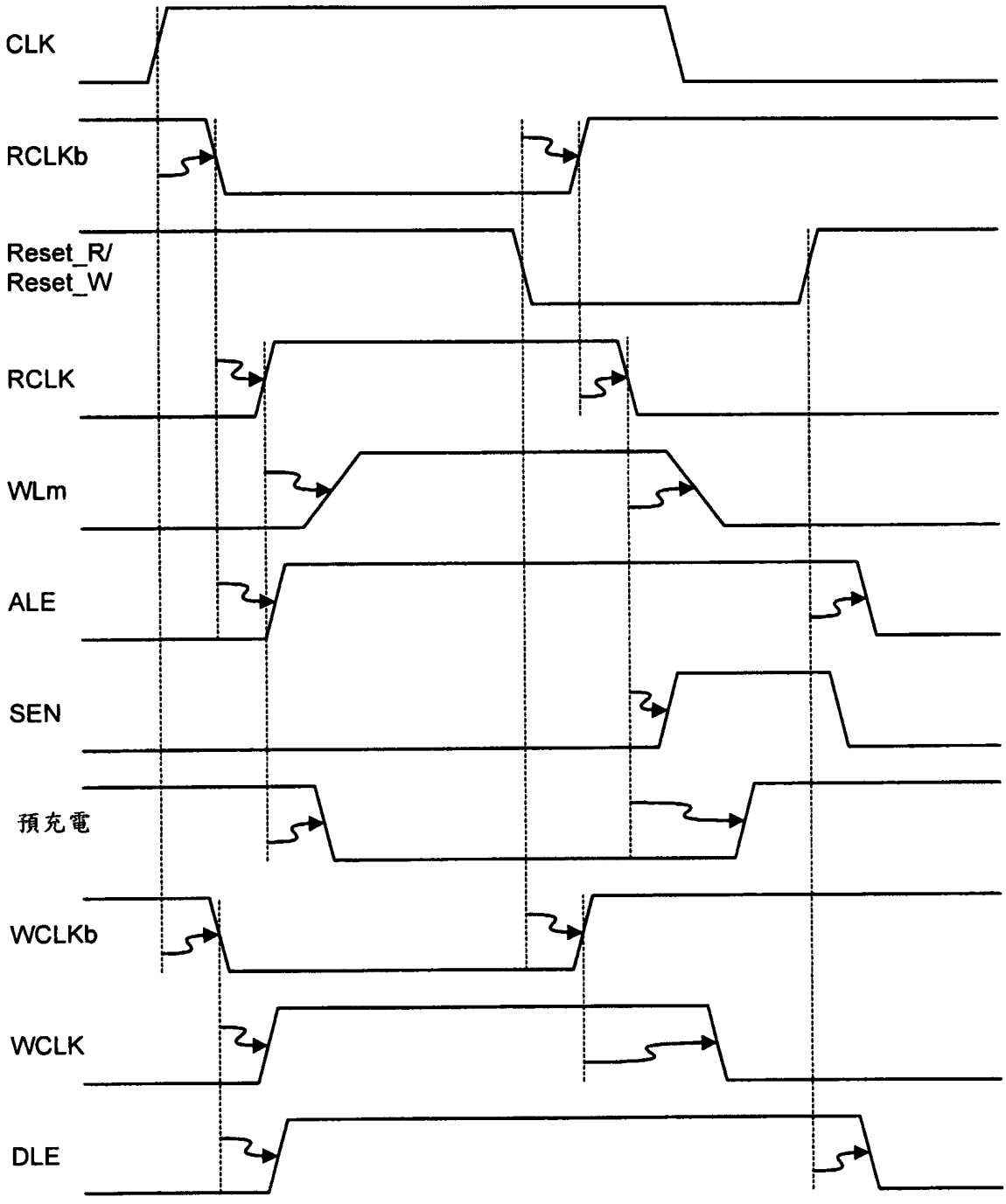


圖5

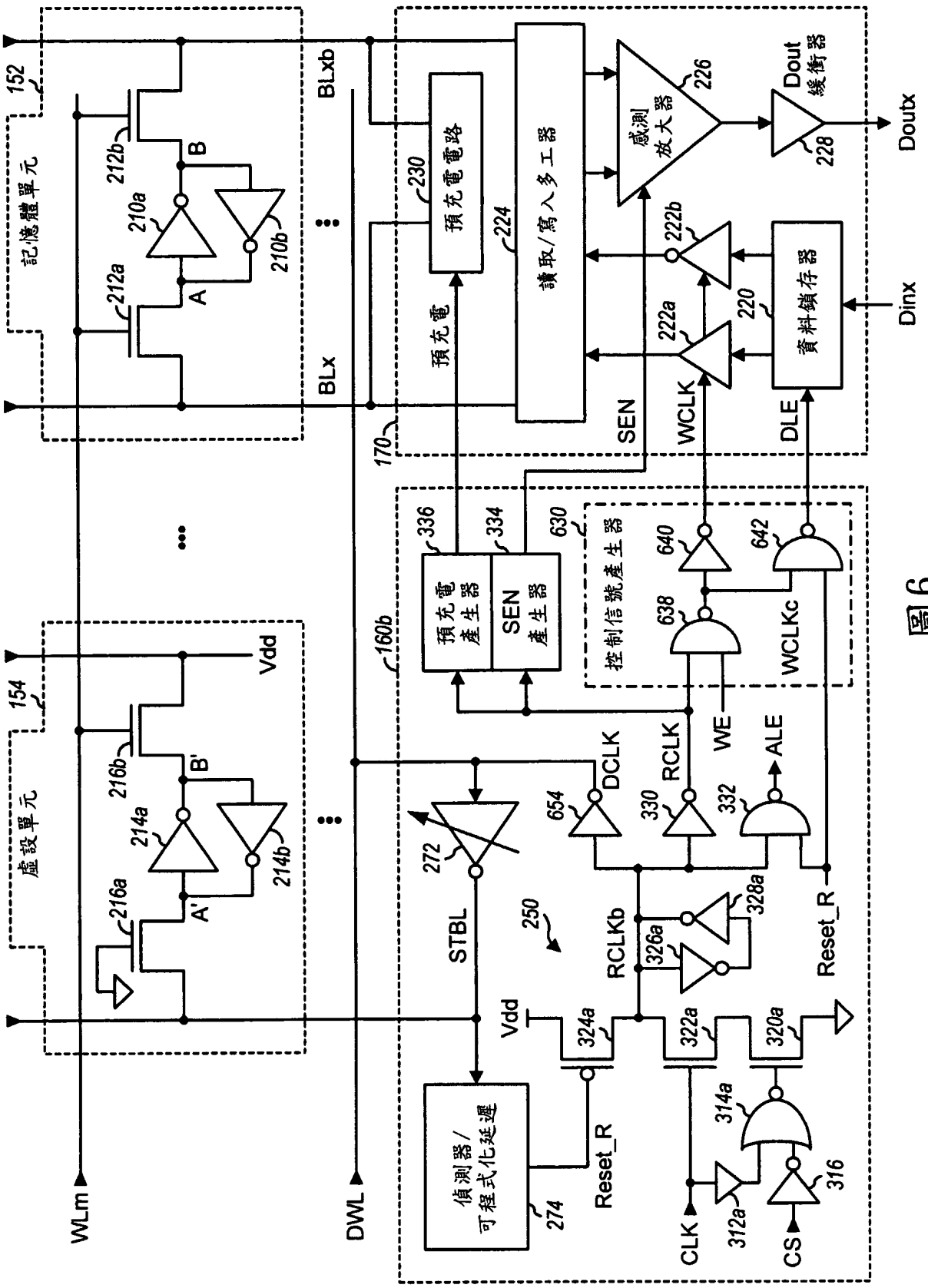

記憶體單元
152
212b
210a
B
212a
A
210b
BLxb
BLx
預充電電路
230
讀取/寫入多工器
224
感測放大器
226
Dout緩衝器
228
Doutx
222b
222a
220
資料鎖存器
Dinx
預充電
SEN
WCLK
DLE
170
虛設單元
154
Vdd
216b
B'
214a
214b
216a
A'
160b
預充電產生器
336
SEN產生器
334
630
控制信號產生器
640
642
638
WCLKc
WE
ALE
DCLK
RCLK
654
330
332
272
STBL
250
RCLKb
326a
328a
Reset_R
Vdd
324a
322a
320a
偵測器/可程式化延遲
274
Reset_R
314a
316
CLK
312a
CS
WLm
DWL

圖6

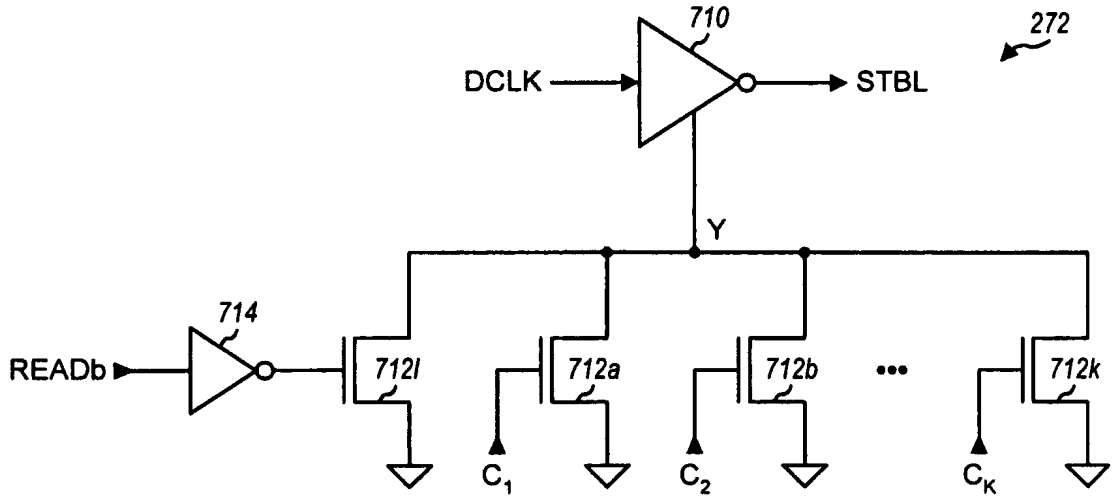

710
272
DCLK
STBL
Y
714
READb
712l
712a
712b
712k
C1
C2
CK

圖7

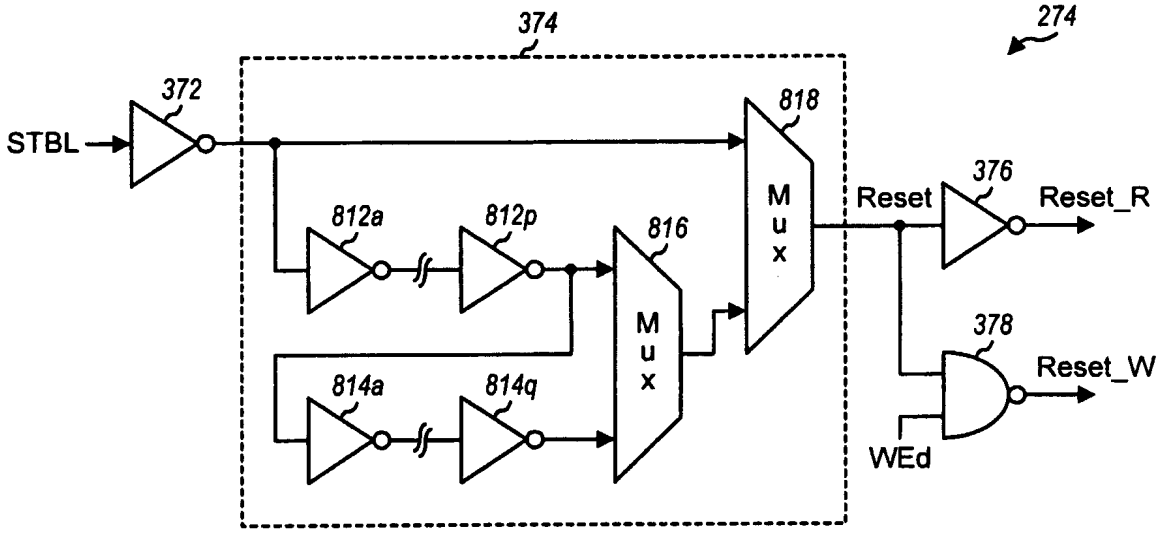

374
274
372
STBL
818
812a
812p
816
814a
814q
Mux
Mux
Reset
376
Reset_R
378
Reset_W
WEd

圖8

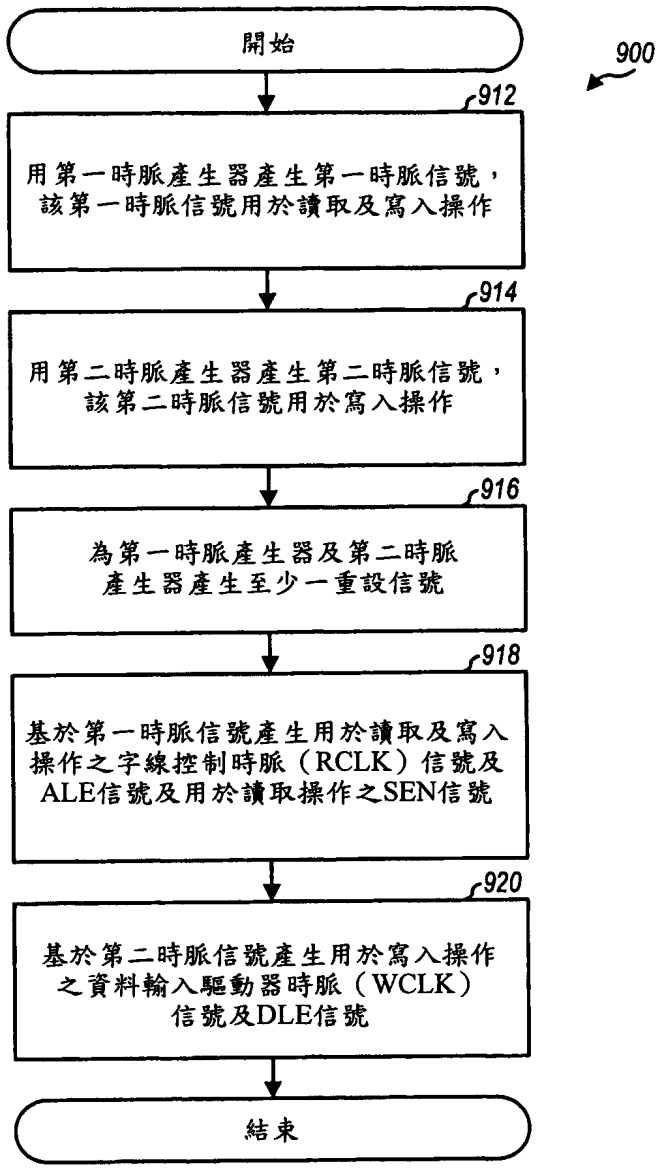

開始
900
912
用第一時脈產生器產生第一時脈信號，該第一時脈信號用於讀取及寫入操作
914
用第二時脈產生器產生第二時脈信號，該第二時脈信號用於寫入操作
916
為第一時脈產生器及第二時脈產生器產生至少一重設信號
918
基於第一時脈信號產生用於讀取及寫入操作之字線控制時脈（RCLK）信號及ALE信號及用於讀取操作之SEN信號
920
基於第二時脈信號產生用於寫入操作之資料輸入驅動器時脈（WCLK）信號及DLE信號
結束

圖9

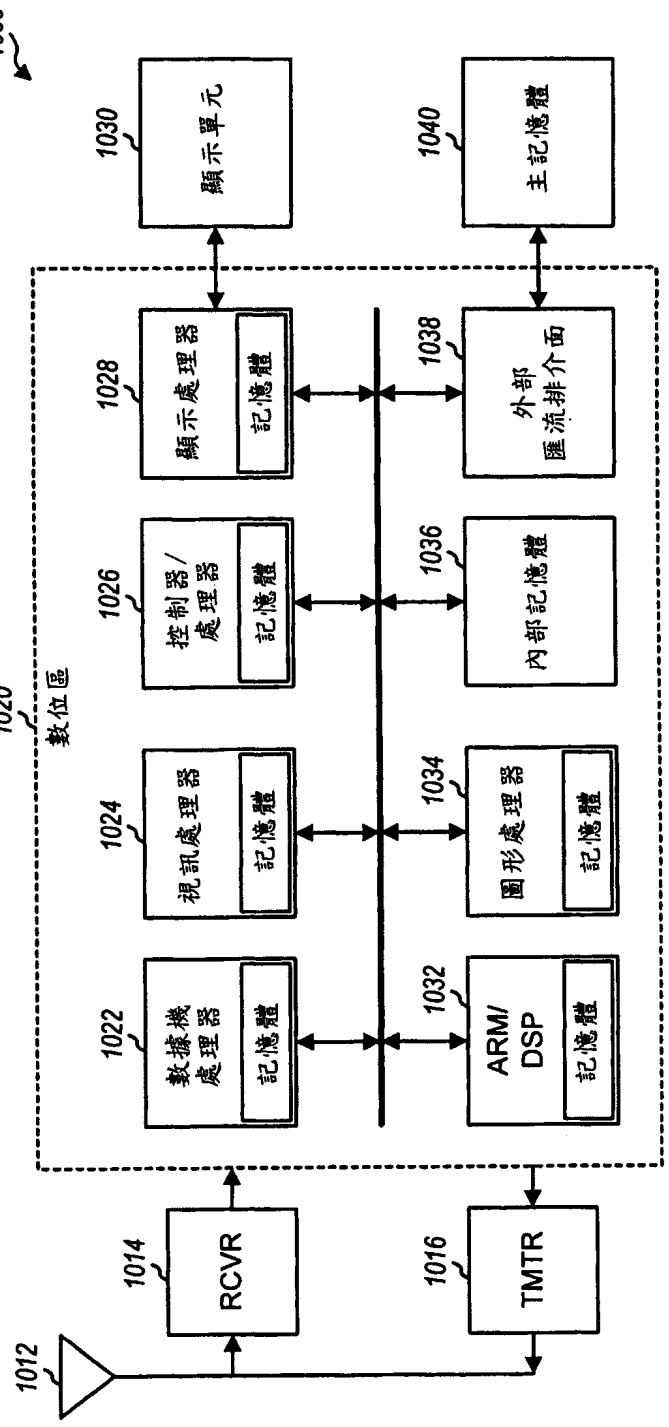

1000
1030
顯示單元
1040
主記憶體
1028
顯示處理器
記憶體
1038
外部
匯流排介面
1026
控制器/
處理器
記憶體
1036
內部記憶體
1020
數位區
1024
視訊處理器
記憶體
1034
圖形處理器
記憶體
1022
數據機
處理器
記憶體
1032
ARM/
DSP
記憶體
1014
RCVR
1016
TMTR
1012

圖10

七、指定代表圖：

(一)本案指定代表圖為：第(1)圖。

(二)本代表圖之元件符號簡單說明：

100	記憶體裝置
110	位址鎖存器
120	位址解碼器及字線驅動器
150	記憶體陣列
152	記憶體單元
154	虛設單元
160	時脈及控制信號產生器
170	I/O電路
ALE	位址鎖存啟用信號
BL1	位元線
BL1b	位元線
BL2	位元線
BL2b	位元線
BLN	位元線
BLNb	位元線
DCLK	內部時脈信號
DLE	資料鎖存啟用信號
DWL	虛設字線
RCLK	字線控制時脈信號
SEN	感測放大器啟用信號
STBL	自定時位元線

Vdd	電源電壓
WCLK	資料輸入驅動器時脈信號
WL1	字線
WLM	字線

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

（無）