

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2007-512657

(P2007-512657A)

(43) 公表日 平成19年5月17日(2007.5.17)

(51) Int. Cl.

G 1 1 C 11/22 (2006.01)

F I

G 1 1 C 11/22 5 0 1 Z

テーマコード (参考)

審査請求 有 予備審査請求 未請求 (全 18 頁)

(21) 出願番号 特願2006-541268 (P2006-541268)
 (86) (22) 出願日 平成16年11月12日 (2004.11.12)
 (85) 翻訳文提出日 平成18年6月26日 (2006.6.26)
 (86) 国際出願番号 PCT/US2004/037773
 (87) 国際公開番号 W02005/055242
 (87) 国際公開日 平成17年6月16日 (2005.6.16)
 (31) 優先権主張番号 10/722, 813
 (32) 優先日 平成15年11月26日 (2003.11.26)
 (33) 優先権主張国 米国 (US)

(71) 出願人 591003943
 インテル・コーポレーション
 アメリカ合衆国 95052 カリフォル
 ニア州・サンタクララ・ミッション カレ
 ッジ プーレバード・2200
 (74) 代理人 100091915
 弁理士 本城 雅則
 (74) 代理人 100099106
 弁理士 本城 吉子
 (72) 発明者 ルーカー, ジョナサン
 アメリカ合衆国 オレゴン州 97229
 ポートランド ノースウエスト・パーケ
 ンディーン2403

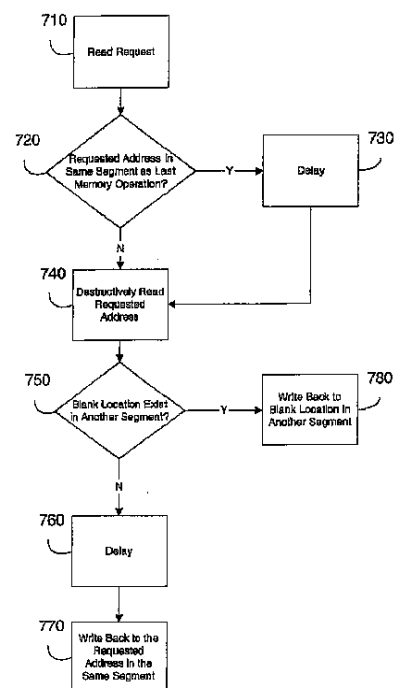
最終頁に続く

(54) 【発明の名称】 メモリ性能を改善する方法および装置

(57) 【要約】

本発明の実施例に従ったメモリ性能を改善する装置および方法が提供される。本方法は、破壊読取り動作および書戻し動作を含む読取りサイクルを実行することを含むが、ここで、破壊読取り動作は、メモリの第1メモリ・セルから情報を読取ることを含み、また、書戻し動作は、第1メモリ・セルから読取られた情報をメモリの第2メモリ・セルに書き込むことを含む。

700



【特許請求の範囲】

【請求項 1】

破壊読取り動作および書戻し動作を含む読取りサイクルを実行する段階を含む方法であって、

前記破壊読取り動作は、メモリの第 1 メモリ・セルから情報を読み取る段階を含み、かつ、前記書戻し動作は、前記第 1 メモリ・セルから読み取られた前記情報を前記メモリの第 2 メモリ・セルに書き込む段階を含む、

ことを特徴とする方法。

【請求項 2】

前記情報を読み取る段階は、

前記第 1 メモリ・セルの両端に読取り電圧を印加する段階と、

前記第 1 メモリ・セル内に格納された前記情報の論理状態を決定するために、前記第 1 メモリ・セルから放出される電荷量を決定する段階と、

を含むことを特徴とする請求項 1 記載の方法。

【請求項 3】

前記情報を書き込む段階は、前記第 2 メモリ・セルの両端に書込み電圧を印加する段階を含むことを特徴とする請求項 1 記載の方法。

【請求項 4】

予め定められた時間量の間、前記第 1 メモリ・セルへの書込みを遅延する段階をさらに含むことを特徴とする請求項 1 記載の方法。

【請求項 5】

他のメモリ動作は、前記第 1 メモリ・セルの両端に第 1 極性を有する第 1 電圧を印加する段階を含み、前記第 1 電圧は、前記第 1 メモリ・セルの分極を切り替えるのに十分であることを特徴とする請求項 4 記載の方法。

【請求項 6】

前記破壊読取り動作は、不揮発性の高分子強誘電体ディスク・キャッシュ・メモリの第 1 メモリ・セルから情報を読み取る段階を含むことを特徴とする請求項 1 記載の方法。

【請求項 7】

前記情報を書き込む段階は、第 2 メモリ・セルが空白である場合に、前記第 1 メモリ・セルから読み取られた前記情報を第 2 メモリ・セルに書き込む段階を含むことを特徴とする請求項 1 記載の方法。

【請求項 8】

前記書戻し動作は、予め定められた時間量が経過した後、前記第 1 メモリ・セルから読み取られた前記情報を前記第 1 メモリ・セルに書戻す段階をさらに含むことを特徴とする請求項 7 記載の方法。

【請求項 9】

前記第 1 メモリ・セルは、前記メモリの第 1 セグメントに位置し、かつ、前記第 2 メモリ・セルは、前記第 1 セグメントから物理的に分離された前記メモリの第 2 セグメントに位置することを特徴とする請求項 1 記載の方法。

【請求項 10】

その上に格納された命令を有する格納媒体を含む物品であって、それがコンピューティング・プラットフォームによって実行されたとき、

破壊読取り動作および書戻し動作を含む読取りサイクルを実行する結果となり、前記破壊読取り動作は、メモリの第 1 メモリ・セルから情報を読み取ることを含み、また、前記書戻し動作は、前記第 1 メモリ・セルから読み取られた前記情報を前記メモリの第 2 メモリ・セルに書き込むことを含む、

ことを特徴とする物品。

【請求項 11】

前記命令は、実行されたとき、さらに、

予め定められた時間量の間、前記第 1 メモリ・セルへの書き込みを遅延する結果となる

10

20

30

40

50

ことを特徴とする請求項 10 記載の物品。

【請求項 12】

前記破壊読取り動作は、不揮発性の高分子強誘電体ディスク・キャッシュ・メモリの第 1 メモリ・セルから情報を読み取ることを含み、また、前記情報の書込みは、前記第 2 メモリ・セルが空白である場合に、前記第 1 メモリ・セルから読み取られた前記情報を第 2 メモリ・セルに書き込むことを含むことを特徴とする請求項 10 記載の物品。

【請求項 13】

高分子メモリ内の第 1 位置に情報を書き込むための要求を受け取る段階と、
前記要求に応答して前記高分子メモリ内の第 2 位置に前記情報を書き込む段階と、
から成ることを特徴とする方法。

10

【請求項 14】

前記第 2 位置が利用可能かどうかを判断する段階をさらに含み、前記書き込む段階は、前記要求に応答して前記高分子メモリ内の前記第 2 位置にのみ前記情報を書き込む段階を含むことを特徴とする請求項 13 記載の方法。

【請求項 15】

前記書き込む段階は、前記第 2 位置が利用可能な場合に、前記要求に応答して、前記第 2 位置に前記情報を書き込むが、前記第 1 位置には前記情報を書き込まない段階を含むことを特徴とする請求項 13 記載の方法。

【請求項 16】

前記第 1 位置は、前記高分子メモリの第 1 アレイ内にあり、また、前記第 2 位置は、前記高分子メモリの第 2 アレイ内にあり、前記第 1 アレイは、前記第 2 アレイから物理的に分離されることを特徴とする請求項 13 記載の方法。

20

【請求項 17】

前記高分子メモリは破壊読取り強誘電体メモリであり、前記第 1 位置は、前記高分子メモリの第 1 セグメントにあり、また、前記第 2 位置は前記高分子メモリの第 2 セグメントにあり、前記第 1 セグメントは、前記第 2 セグメントから物理的に分離されることを特徴とする請求項 13 記載の方法。

【請求項 18】

少なくとも 2 つのメモリ・アレイを有するメモリと、
破壊読取り動作および書戻し動作を含む読取りサイクルを実行する前記メモリに結合されたメモリ制御器であって、前記破壊読取り動作は、前記メモリの第 1 メモリ・セルから情報を読み取ることを含み、また、前記書戻し動作は、前記第 1 メモリ・セルから読み取られた前記情報を前記メモリの第 2 メモリ・セルに書き込むことを含む、メモリ制御器と、
から構成されることを特徴とする装置。

30

【請求項 19】

前記第 1 および第 2 メモリ・セルは、不揮発性の強誘電体高分子材料を含む強誘電体メモリ・セルであることを特徴とする請求項 18 記載の装置。

【請求項 20】

前記不揮発性の強誘電体高分子材料は、フッ化ビニル、ポリフッ化エチレン、ポリ塩化ビニル、ポリ塩化エチレン、ポリアクリロニトリル、ポリアミド、これらの共重合体、またはこれらの組合せを含むことを特徴とする請求項 19 記載の装置。

40

【請求項 21】

ディスク・メモリと、
前記ディスク・メモリに結合されたディスク・キャッシュ・メモリと、
破壊読取り動作および書戻し動作を含む読取りサイクルを実行する前記メモリに結合されたメモリ制御器であって、前記破壊読取り動作は、前記メモリの第 1 メモリ・セルから情報を読み取ることを含み、また、前記書戻し動作は、前記第 1 メモリ・セルから読み取られた前記情報を前記メモリの第 2 メモリ・セルに書き込むことを含む、メモリ制御器と、

50

から構成されることを特徴とするシステム。

【請求項 2 2】

前記ディスク・キャッシュ・メモリの前記格納容量は、少なくとも 500 メガバイトであり、また、前記ディスク・メモリの前記格納容量は、少なくとも 1 ギガバイトであることを特徴とする請求項 2 1 記載のシステム。

【請求項 2 3】

前記ディスク・キャッシュ・メモリは、不揮発性の高分子メモリであることを特徴とする請求項 2 1 記載のシステム。

【請求項 2 4】

前記ディスク・キャッシュ・メモリは、不揮発性の強誘電体メモリであることを特徴とする請求項 2 1 記載のシステム。 10

【請求項 2 5】

前記第 1 メモリ・セルは、前記メモリの第 1 アレイに位置し、また、前記第 2 メモリ・セルは、前記第 1 アレイから物理的に分離された前記メモリの第 2 アレイに位置することを特徴とする請求項 2 1 記載のシステム。

【請求項 2 6】

強誘電体メモリ内の第 1 位置に情報を書き込む要求を受け取る段階と、

前記要求に応答して前記強誘電体メモリ内の第 2 位置に前記情報を書き込む段階と、
から成ることを特徴とする方法。

【請求項 2 7】

前記第 2 位置が利用可能かどうかを判断する段階をさらに含み、前記書き込む段階は、前記要求に応答して前記強誘電体メモリ内の前記第 2 位置にのみ前記情報を書き込む段階を含むことを特徴とする請求項 2 6 記載の方法。 20

【請求項 2 8】

前記書き込む段階は、前記第 2 位置が利用可能な場合に、前記要求に応答して、前記第 2 位置に前記情報を書き込み、かつ、前記第 1 位置に前記情報を書き込まない段階を含み、前記第 1 位置は、前記強誘電体メモリの第 1 アレイ内にあり、また、前記第 2 位置は前記強誘電体メモリの第 2 アレイ内にあり、前記第 1 アレイは、前記第 2 アレイから物理的に分離されることを特徴とする請求項 2 6 記載の方法。

【発明の詳細な説明】

30

【技術分野】

【0001】

本発明は、メモリ性能を改善する方法および装置に関する。

【背景技術】

【0002】

いくつかのメモリでは、読取りサイクルを実行する、すなわち、メモリ内の位置から情報を読み取るために、数ミリ秒または数マイクロ秒を要することがある。読取りサイクルを実行するために要する時間を短縮することは、秒当たりのメモリ動作の改善と置き換えて評価できるほどメモリ性能を改善することができる。メモリ性能を改善するために、システム設計者は、メモリを読み取るための代替方法を絶えず探求している。 40

【0003】

したがって、メモリから情報を読み取る代替方法に対して絶え間ない要求がある。

【発明の開示】

【0004】

本発明に関する主題は、明細書に添付した請求項において特に指摘され明確にクレームされる。しかしながら、本発明は、その目的、機能、および利点と共に、オペレーションの構成および方法の両方に関して、以下の詳細な説明を添付図面と合わせて読むことにより、最も良く理解することができる。

【0005】

図面を単純化および明瞭化するために、図中に示された要素は、必ずしも同じ寸法で図 50

示されていないことが理解されるであろう。例えば、いくつかの要素の寸法は、明瞭化するために他の要素に比べて拡大される。さらに、適切であると考えられる場合には、参照番号は、対応または類似する要素を示すために図中で繰り返される。

【0006】

以下の詳細な説明では、本発明についての完全な理解を提供するために、多くの特定の詳細事項が記述される。しかしながら、当業者は、本発明がこれらの特定の詳細事項の範囲を越えて実施可能であることを理解するであろう。また、例えば、周知の方法、手順、コンポーネント、および回路については、本発明を不明瞭にしないために詳細には記述されない。

【0007】

以下の記述および請求項において、用語「含む」および「構成する」がそれらの派生語と共に用いられるが、互いに同義語として扱うと解される。さらに、以下の記述および請求項において、用語「結合された」、「接続された」がそれらの派生語と共に用いられる。これらの用語は、互いに同義語であるとは解さないと理解すべきである。特定の実施例において、「接続された」は、2つ以上の要素が互いに直接に物理的電氣的に接触していることを示すために使用される。「結合された」もまた、2つ以上の要素が直接に物理的電氣的に接触していることを意味する。しかしながら、「結合された」は、さらに、2つ以上の要素が互いに直接に接触していないが、互いに働き合うこと、または作用し合うことを意味する。

【0008】

以下の説明および請求項において、用語「データ」は、データおよび命令の両方を称するために使用される。さらに、用語「情報」は、データおよび命令を称するために使用される。

【0009】

図1は、本発明の実施例において使用される強誘電体メモリ・セル10の一部を示す図である。強誘電体メモリは、一定の材料の強誘電体の振る舞いを利用した不揮発性メモリの一種であり、電力が無いときでさえ、正負の分極を形成してメモリ装置内のデータを保持する。強誘電体材料16は、同一方向を向いた電氣的な双極子の一定の磁区(domain)を含み、外部から課された電力によって妨害されない限り、それらの方向を保持し続ける。材料の分極は、これらの磁区が整列する範囲を特徴づける。分極は、十分な強度および極性を有する電界の印加によって反転させることが可能である。

【0010】

強誘電体材料16は、強誘電体高分子分極可能材料であり、強誘電体分極可能材料または双極子強誘電体材料とも呼ばれる。多くの実施例では、強誘電体高分子材料は、ポリフッ化ビニル、ポリフッ化エチレン、ポリ塩化ビニル、ポリ塩化エチレン、ポリアクリロニトリル、ポリアミド、これらの共重合体、またはこれらの組合せを含む。強誘電体材料の他の例では、強誘電体酸化物材料を含む。

【0011】

分極Pを有する強誘電体材料16は、導電性のワード・ライン20と導電性のビット・ライン22との間に位置する。ワード・ライン(WL)とビット・ライン(BL)との間に電位(電圧)を印加することによって、電界が強誘電体セルに印加され、強誘電体材料の分極に変化がもたらされる。

【0012】

図2は、図1の強誘電体セルの分極対電圧特性を理想的に示す、単純化したヒステリシス曲線24である。十分に大きい正の電圧(例えば、 $V_{\text{bitline}} - V_{\text{wordline}} > 0$) (例えば、ここではVsで示す)がセルに印加されたとき、セル内の全ての磁区は、可能な限り全て正の方角に整列させられ、分極Pは曲線上の点25で飽和分極Psatに達する。全ての磁区は、すでに、ワード・ラインとビット・ラインとの間の電圧によって生成された電界の方向に可能な限り整列しているので、電圧をさらに印加しても、それ以上分極は進まない。一例において、正の電圧は、ビット・ライン22に対して例えば約9ボルトの

10

20

30

40

50

V_s を印加し、ワード・ライン 20 に対して約 0 ボルトを印加することによって印加される。他の例では、2 つの 0 でない正の電圧がビット・ライン 22 およびワード・ライン 20 に印加され、材料 16 の両端で正の電圧を生成する。

【0013】

その後、電圧が 0 まで減少した（経路 32 に沿って点 21 に到達した）とき、いくつかの磁区はそれらの方向を切り替える（回転、フリップ、反転とも称する）が、ほとんどの磁区はそれらの方向を維持する。したがって、強誘電体材料は、残留分極 (remnant polarization) P_r を維持する。

【0014】

その後、十分に大きい負の電圧（例えば、ここでは $-V_s$ で示す）が、ビット・ライン 22 に対するワード・ライン 20 に印加されるとき（経路 34 に沿ってポイント 27 へ）、全ての磁区はそれらの方向を切り替えさせられ、分極は負の飽和水準 $-P_{sat}$ に達する。この負の電圧を除去することによって（経路 36 に沿ってポイント 23 へ）、いくつかの磁区が切り替わり、セル分極は負の残留分極 $-P_r$ に達し、再び妨害されるまでその状態を維持する。正の電圧 V_s が再びセルに印加されたとき（経路 30 に沿ってポイント 25 へ）、磁区は再びそれらの方向を切り替え、セルは正の飽和分極 P_{sat} の状態になる。

【0015】

データ格納の目的のために、強誘電体セル 10 は、（好ましくは P_r で）分極 P が正のとき論理「0」状態であり、（好ましくは $-P_r$ で）分極が負のとき論理「1」状態であると考えられる。正負の分極に対する論理「1」または論理「0」の割り当ては任意であり、他の実施例では、逆に使用されてもよい。

【0016】

磁区の極性を切り替えるために一定量の電荷が必要なので、分極が図 2 の P 軸に沿って移動すればするほど、より多くの磁区が切り替えられ、より多くの電荷が必要となる。したがって、点 23 の論理 1 状態から点 25 の論理 0 状態まで遷移は、実質的な電荷放出を伴うが、点 21 から点 25 までの遷移（状態変化はない）は、電荷放出をほとんど伴わない。

【0017】

電荷放出におけるこの差異は、強誘電体セルの「破壊 (destructive)」読取りのための基本原理を提供する。いくつかのメモリ格納技術では、メモリ位置からデータ読み取る動作によって、データが破壊されることがある。これは時に破壊読取り動作と呼ばれ、使用される格納媒体のタイプ、またはメモリシステムがどのように設計されているかに起因する。例えば、いくつかの不揮発性メモリは破壊読取り動作を有する。特定のメモリ位置内のデータの破壊は、メモリ位置を消去すること、クリアすること、リセットすること、および／または上書きすることを含む。そのようなメモリ装置では、データ読取りは、非破壊読取りメモリ装置内で動作するために、読取り後に再度書き込まれる。

【0018】

一例において、破壊読取りを実行するために、分極を切り替えるのに十分な負の電圧がセル 10 に印加され、一方でセルから放出された電荷が観察される。電荷放出が大きい場合は、セルが論理 0 であったことを示すのに対し、電荷放出がほとんど無いか、全く無い場合は、セルが論理 1 であったことを示す。セルは、読取り動作の前の状態にかかわらず、1 状態で終了する。したがって、0 状態であったセルは、さらにデータ保持が必要な場合は、その後に 0 として再度書き込まなければならない。

【0019】

さらに、強誘電体材料は反発力を示し、強誘電体セルは、小さな妨害があったとしても残留分極に戻ることができる。例えば、強誘電体セルについて 1 状態の格納条件である仮定した場合、ヒステリシス曲線 24 の残留分極位置 23 によって表わされるように、 $V_s/3$ の小さな電圧妨害は、経路 38 に沿って小さな分極シフト 40 を提供する。しかしながら、一旦電圧が除去されると、ヒステリシス曲線 24 の帰路 39 によって示されるよう

に、強誘電体セルの磁区は、その方向をセルの全体的な磁区の方へ再度整列する。

【0020】

図3は、本発明の実施例に従った強誘電体メモリ装置40を示すブロック図である。メモリ装置40は、ビット・ライン48と交差するワード・ライン46を有する交差点受動マトリックス・メモリ・アレイ42を含む。強誘電体材料、例えば強誘電体高分子材料がワード・ラインとビット・ラインとの間に配置され、ワード・ラインとビット・ラインの交差点で強誘電体セルを形成する。例えば、図1で示されるような強誘電体セル10は、図3ではワード・ライン20とビット・ライン22の交差点に位置する。この例において、セル10は、読取りのために選択された特定のセルを識別するので、「能動(active)」と称される。能動セルに結合されたワード・ラインは、能動ワード・ライン(AWL)として識別されるが、残りのワード・ラインは受動ワード・ライン(PWL)である。同様に、能動セルに結合されたビット・ラインは、能動ビット・ライン(ABL)として識別されるが、残りのビット・ラインは受動ビット・ライン(PBL)である。受動ワード・ラインおよびビット・ラインは、非選択(unselected)ワード・ラインおよびビット・ラインとも呼ばれる。能動ワード・ラインおよびビット・ラインは、選択(selected)、アドレス指定(addressed)、または目標(target)ワード・ラインおよびビット・ラインとも呼ばれる。

10

【0021】

能動セルを読み取るとき、読取りまたは切替えレベル電圧($-V_s$)が能動ビット・ライン22に印加される。読取りレベル電圧は、($V_{bitline} - V_{wordline}$)として定義され、かつ、能動セル10の分極反転をもたらすのに十分な大きさを有する。したがって、能動セルは破壊的に読み取られ、そこでは、読取りレベル電圧の印加によってセルの分極状態が切り替わる。分極反転後に格納データを復元するために、データは、能動セルに書き戻される。いくつかの実施例では、メモリ・アレイ42はサブアレイに分割または区分され、以下で述べるように、読取りサイクル中にデータが他のメモリ・セルに書き戻される。

20

【0022】

読取り中に、受動ビット・ラインおよび受動ワード・ラインは、受動強誘電体セルの両端に静止レベルの電界を提供する電圧で駆動される。静止レベル電圧は、強誘電体セルの反発能力に従って決定され、そこでセルの分極妨害が復元領域内で維持される。例えば、本発明の一実施例に従って、静止レベルが切替えレベル電圧の $1/3$ を超えない大きさに設定される。

30

【0023】

再び図3に関し、ワード・ライン46は、行デコーダ・ブロック50によって駆動されるが、それは、制御回路54からの多様な制御およびバッファされたアドレス信号56に応答して、能動ワード・ラインとしてどのワード・ラインを駆動させるか、および、受動ワード・ラインとしてどれを駆動させるかを選択する。ビット・ライン48は、列デコーダ・ブロック52によって駆動または検出されるが、それは、制御回路からの多様な制御およびバッファされたアドレス信号58に応答して、能動ビット・ラインとしてどのビット・ラインを駆動させるか、および、受動ビット・ラインとしてどれを駆動させるかを選択する。列デコーダ・ブロック52は、さらに、能動強誘電体セルの読取りを促進するために1つ以上のセンスアンプを含み、出力データ64を提供する。

40

【0024】

制御回路54は、装置の外部からのアドレス信号60および制御信号62に応答してメモリ装置40の全体的な動作を制御するために、例えばアドレス・バッファ、読取りシーケンサ、データ・サンプリング回路、またはこれらと同種のもののような多様なコンポーネントのいくつかまたは全てを含む。

【0025】

行デコーダ・ブロック50は、メモリ装置内で使用される特別なアーキテクチャのために要求されるような、例えば行デコーダ、ワード・ライン・ドライバ、マルチプレクサ、

50

低圧－高圧電圧変換器等のような多様なコンポーネントを含む。例えば、メモリ・アレイ 4 2 がサブアレイに分割される場合、サブアレイ間のワード・ライン駆動信号を切り替えるためにマルチプレクが使用される。列デコーダ・ブロック 5 2 は、列デコーダ、ビット・ライン・ドライバ、マルチプレクサ、センスアンプ、書込みドライバ等の多様な組合せを含む。

【0026】

制御回路、行デコーダ・ブロック、および列デコーダ・ブロックがまとまって周辺回路 4 4 を形成し、メモリ・アレイ 4 2 を外界に接続する。しかしながら、図 3 のシステムは一例に過ぎず、本発明の原理から逸脱しない限り多様な配列の周辺回路を使用することができる。

10

【0027】

以上で述べられたように、強誘電体高分子メモリは、2 方向のうちの 1 つに高分子フィルム内の電気双極子を分極することにより情報を格納する。一実施例において、分極は、分極可能な材料である高分子メモリ材料の両端に、指定された駆動電圧、例えば V_s を印加することにより「反転(flip)」される。正の V_s は、一方角に分極を反転させ、また、負の電圧は、反対方向に分極を反転させる。メモリ・セルの分極状態を切り替えるのに十分な $-V_s$ の駆動電圧は、読取り電圧と呼ばれ、また V_s は、書込み電圧と呼ばれることがあるが、本発明の範囲はこの点に制限されない。

【0028】

情報を書き込むために、書込みサイクルは、消去動作、および、おそらくそれに続く、メモリ・セル内の所望の論理状態に基づく書込み動作を含む。消去動作は、一方角に材料を分極する。すなわち、材料を指定された、または所望の論理状態（例えば、論理「1」を格納する）に置く。その後の時点で、メモリ・セルに格納された論理状態は、論理「1」のまま残ってもよく、あるいは選択的に、消去動作中に印加された電圧と比べて極性が反対の電圧をメモリ・セルの両端に印加するという書込み動作を実行することによって、論理「0」を格納するために切り替えられてもよい。

20

【0029】

上述のように、読取りは破壊的である。破壊読取りメモリから情報を読み取るために、読取りサイクルは、破壊読取り動作、およびそれに続く書戻し動作を含む。メモリの特定の物理アドレスに格納された情報は破壊読取り動作中に失われることがあるので、それを復元するために情報がメモリに書き戻される。破壊読取り動作は、一方角に材料を分極する、すなわち、指定された、または所望された論理状態（例えば、論理「1」を格納する）に材料を置く。その後の時点において、メモリ・セルに格納された論理状態は、論理「1」のまま残ってもよく、あるいは選択的に、破壊読取り動作中に印加された電圧と比べて極性が反対の電圧をメモリ・セルの両端に印加するという書戻し動作を実行することによって、論理「0」を格納するために切り替えられてもよい。従って、書込みサイクルの書込み動作は、読取りサイクルの書戻し動作に類似する。

30

【0030】

一例において、要求された(requested)アドレスから読み取られた情報が同一アドレスに書き戻された場合、選択メモリ・セルと同一のワード・ラインまたはビット・ラインを共有している隣接する非選択セルは、隣接する選択メモリ・セルが書き込まれたときに、 $V_s/3$ の「妨害」を経験する。

40

【0031】

強誘電体高分子メモリにおいて、分極の「反転」直後の時間に妨害電圧を与えられた場合、高分子メモリ・セルは分極を喪失することがある。これは、例えば、読取り後に同一セルに書き込むとき、あるいは、1 つのセルへの書込み後に隣接するセルに書き込むときに発生する。図 7 および図 8 の方法に関して以下で示すように、分極の変化を回避するために、遅延または休止が、高分子メモリに読み書きする間に用いられる。遅延は、反転と妨害との間の時間を延長することによって、データの損失を回避する。

【0032】

50

用いられる遅延時間量は、各メモリ・セルの高分子材料に結合された電極材料（図示せず）に依存する。2つのメモリ動作が比較的短い時間内に実行される場合、電極材料と高分子メモリ材料との相互作用によって、メモリ・セル内の分極が妨害される結果となる。

【0033】

図4は、本発明の一実施例に従って、破壊読取りメモリに格納された情報を読み取る方法700を示すフローチャートである。方法700は、メモリ内の要求されたアドレスまたは位置から情報を読み取る要求を受け取ることから始まる（ブロック710）。例えば、図3の制御回路54は、メモリ・アレイ42内の要求されたアドレスから情報を読み取る要求を受け取る。

【0034】

一実施例において、メモリの総記憶容量は、少なくとも2つの別々のアドレス可能なメモリ・セグメントに分割される。これらのセグメントもまた、アレイまたは領域と呼ばれることがあり、互いに物理的に分離されている。

【0035】

図4に戻り、読取り要求を受け取った後、要求されたアドレスが、最後または最近のメモリ動作と同一のメモリ・セグメント内にあるかどうか判断される（判断ブロック720）。メモリ動作とは、読取り、書込み、または消去動作であるが、本発明の範囲はこの点に制限されない。消去動作は、読取りサイクルまたは書込みサイクルの一部であってもよい。

【0036】

要求されたアドレスが、最後のメモリ動作と同一のメモリ・セグメント内にあると判断された場合、遅延動作が実行される（ブロック730）。一例において、先のメモリ動作が実行された後の予め定められた時間量の間、要求されたアドレスからの情報の読取りを遅延させるために、タイマまたはカウンタが使用される。予め定められた時間量が経過した後、情報は要求されたアドレスから破壊的に読み取られる（ブロック740）。一例において、100マイクロ秒の遅延が、同一セグメント内のメモリ動作間に用いられる。

【0037】

要求されたアドレスが、最後のメモリ動作と同一のメモリ・セグメントに無い場合、要求されたアドレスからの情報の破壊読取りは、遅延なく直ちに実行される（ブロック740）。例えば、要求されたアドレスが同一のメモリ・セグメント内に無いと判断された後、要求されたアドレスからの情報の読取りは連続するクロック・サイクル中に実行される。

【0038】

要求されたアドレスから情報が破壊的に読み取られた後、空白位置が他のセグメント内、すなわち、要求されたアドレスが位置するセグメント以外のセグメント内に存在するかどうか判断される（判断ブロック750）。空白位置が他のセグメントに存在しない場合、遅延動作が実行される（ブロック760）。空白位置とは、消去動作または破壊読取り動作のいずれかによって以前に消去された位置をいう。一例では、100マイクロ秒の遅延が、同一セグメント内のメモリ動作間に用いられるが、本発明の範囲はこの点に制限されていない。予め定められた時間量が経過した後、情報は、同一セグメント内の要求されたアドレスに書き戻される（ブロック770）。

【0039】

空白位置が他のセグメント内に存在する場合、書戻し動作は、要求されたアドレスから読み取られた情報を他のセグメント内の空白位置へ書き戻すことを含む（ブロック780）。同一セグメントではなく、メモリの他のセグメントへ情報を書き込むことによって、遅延動作が回避されてメモリ性能が改善される。「漏洩(sneak)」電流は、残余電流とも称され、書込み後にセグメント内で流れ、後続の読取りに干渉する。書戻し動作の間に同一セグメントではなく他のセグメントに情報を書き込むことによって、「漏洩」電流問題を解決することができる。さらに、書戻し動作中に情報を新しい位置に移動させることによって、頻繁にアクセスされる情報はチップ内を移動し、それによって、メモリの摩耗パ

10

20

30

40

50

ターンを平均化または均等化する。これによって、メモリの寿命が伸びる。要約すると、方法700は、より速い動作、漏洩電流の減少、および摩耗パターンの均等化を可能にし、それによって、破壊読取りメモリの速度、信頼性、および寿命を改善する。

【0040】

一実施例において、高分子メモリの総記憶容量は、32個の個別のアドレス可能なセグメント内に配置される。セグメントは、一度に1個が能動化されるので、書込み中は、能動セグメント内のアドレス指定されていないセルだけが $V_s/3$ 妨害を経験する。他の31個のセグメント内のセルはこれを経験しない。かかるセグメンテーションがなければ、読取りは、読取り+書戻しから構成され、これらの両方が能動である同一アドレスを有する。したがって、能動セグメントのセルは、「妨害(disturb)」に対して脆弱である。メモリをセグメントすることによって、読取りおよび書戻し動作は、（休止を伴うように）時間的にではなく、アドレス空間内で空間的に分離される。これは、1つのアドレスを読み取り、他のセグメント内の空白位置へ書き戻すことによって遂行される。データは失われず、メモリ内の他のセグメントに移される。書戻し動作は、破壊読取り動作とは異なるセグメントに対して行われるので、読取りの間に反転したセルは書戻しによって妨害されない。したがって、より速い速度またはメモリアクセス時間が、メモリ「妨害」無しに達成される。

10

【0041】

図5は、本発明の1つの実施例に従った、メモリに情報を書き込む方法800を示すフローチャートである。方法800は、メモリ内の目標アドレスまたは位置に情報を書き込む要求を受け取ることから始まる（ブロック810）。例えば、図3の制御回路54は、メモリ・アレイ42内の目標アドレスに情報を書き込む要求を受け取る。

20

【0042】

一実施例において、メモリの総記憶容量は、少なくとも2つの別々のアドレス可能なメモリ・セグメントに分割される。多様な実施例では、少なくとも2つのメモリ・セグメント内へのメモリのセグメンテーションは、デコード回路を使用し、および/または、1つ以上の電圧源を使用して、物理的にワード・ラインとビット・ラインを分離することにより達成される。

【0043】

書込み要求を受け取った後、目標アドレスが、最後または最近のメモリ動作と同一のメモリ・セグメント内にあるかどうかを判断する（判断ブロック820）。目標アドレスが、最後のメモリ動作と同じメモリ・セグメント内にあると判断された場合、遅延動作が行なわれる（ブロック830）。一例において、先のメモリ動作が実行された後の予め定められた時間量の間、要求されたアドレスからの情報の書込みを遅延させるために、タイマまたはカウンタが使用される。

30

【0044】

予め定められた時間量が経過した後、目標アドレスは消去される（ブロック840）。一例において、100マイクロ秒の遅延が、同一セグメント内のメモリ動作間で用いられる。目標アドレスが、最後のメモリ動作と同一のメモリ・セグメントに無い場合、目標アドレスの消去は遅延なく直ちに行なわれる（ブロック840）。

40

【0045】

目標アドレスが消去された後、空白位置が他のセグメント内、すなわち、目標アドレスが位置するセグメント以外のセグメント内に存在するかどうか判断される（判断ブロック850）。空白位置が他のセグメント内に存在しない場合、遅延動作が実行される（ブロック860）。遅延動作の後、書込み要求を満たすために、情報は、同一セグメント内の目標アドレスに書き込まれる（ブロック870）。

【0046】

いくつかの実施例では、消去および破壊読取り動作の両方は、一方角に材料を分極する、すなわち、指定された論理状態（例えば、論理「1」を格納する）に材料を置く。その後の時点では、メモリ・セルは論理「1」のまま残る場合もあるし、あるいは、書戻し動

50

作または書込み動作を実行することにより、論理「0」に選択的に変更される場合もある。

【0047】

空白位置が他のセグメント内に存在する場合、書込み要求を満たすために、情報は他のセグメント内の空白位置に書き込まれる（ブロック880）。消去動作後に、同一セグメントではなくメモリの他のセグメント内に情報を書き込むことによって、遅延動作が回避されてメモリ性能が改善される。

【0048】

一般に、上述された実施例は、少なくとも2つのメモリ・セグメントにメモリを分割し、例えば破壊読取り動作または消去動作のいずれかによって1つのセグメント内に空白を作成し、そして他のメモリ・セグメント内で書込みまたは書戻し動作を実行することによって、非選択セル内のメモリ妨害を減少するとともに、メモリ性能を改善する方法を提供する。セグメントの数を増加させることによって、遅延動作を実行する必要性は少なくなるであろう。例えば、32個の物理的に分離されたメモリ・セグメントを有するメモリでは、遅延動作が用いられる機会は4%（32回に1回）よりも低い。

【0049】

一実施例において、要求されたアドレスからの読取りは、アレイの行内の全メモリ・セルを読み取ることを含む。これは、読取りパルスを単一のワード・ラインに印加し、かつ、アレイの全てのビット・ラインに0ボルトを印加することにより遂行される。同様に、メモリ・セルは、アレイの幅全体に書き込むことによって書き込まれるが、それはアレイの行内の全てのメモリ・セルに書き込むことを意味する。一実施例において、アレイのサイズは512バイトであるが、本発明の範囲はこの点に制限されない。

【0050】

図6は、本発明の実施例に従った計算機システム900のブロック図である。図6で示されるように、一実施例において、計算機システム900は、プロセッサ910、メモリ制御器920、キャッシュ・メモリ930、および大容量格納装置940を含む。

【0051】

プロセッサ910は、マイクロプロセッサ、マイクロコントローラ、特定用途向け集積回路（ASIC）、プログラマブル・ゲート・アレイ（PGA）、またはこれらと同種のもののような、汎用または特別目的のプロセッサである。

【0052】

一実施例において、キャッシュ・メモリ930は、図3に関して上述したようなメモリ40を含む。さらに、様々な実施例では、計算機システム900は、前述の方法700（図4）および／または方法800（図5）を実行するために適合される。

【0053】

一実施例において、キャッシュ・メモリ930は、大容量格納装置940のための情報をキャッシュするために適合された比較的大きな不揮発性のディスク・キャッシュ・メモリである。例えば、キャッシュ・メモリ930は、強誘電体高分子メモリである。方法700または800を実行するために、キャッシュ・メモリ930は少なくとも2つのメモリ・セグメントに分割される。大容量格納装置940は、例えば、少なくとも約1ギガバイトの格納容量を有するディスク・メモリのような大容量格納装置である。大容量格納装置940は、電気機械的なハードディスク・メモリ、光ディスク・メモリ、または磁気ディスク装置であるが、本発明の範囲はこの点に制限されていない。一実施例において、キャッシュ・メモリ930は、少なくとも約500メガバイトの記憶容量を有し、強誘電体メモリ・セルを含むが、ここでは、各セルは少なくとも2つの導電性ライン間に位置する強誘電体高分子材料を含む。強誘電体高分子材料は、強誘電体分極可能材料である。様々な実施例では、強誘電体高分子材料は、ポリフッ化ビニル、ポリフッ化エチレン、ポリ塩化ビニル、ポリ塩化エチレン、ポリアクリロニトリル、ポリアミド、それらの共高分子、またはそれらの組合せを含む。

【0054】

10

20

30

40

50

代替実施例では、キャッシュ・メモリ 930 は、例えば抵抗変化高分子メモリのような他のタイプのプラスチック・メモリである。本実施例では、プラスチック・メモリは、アドレス行列のノードにおいて挟まれた高分子メモリ材料のフィルムを含む。任意のノードでの抵抗は、高分子メモリ材料の両端に電位を印加することによって、数百オームから数メガオームまで変更され、高分子材料のを通して正負の電流が与えられ、高分子材料の抵抗が変更される。潜在的に、異なる抵抗レベルは、1つのセル毎にいくつかのビットを格納し、また、データ密度は、フィルムを積み重ねることによってさらに増加させることができる。

【0055】

以上で述べたように、方法、装置、およびシステムが、メモリ妨害を減少し、かつメモリ性能を改善するために提供された。一実施例において、本方法は、メモリ内で読取りサイクルを実行することを含み、読取りサイクルは、破壊読取り動作および書戻し動作を含む。メモリは、不揮発性の強誘電体高分子メモリであるが、本発明の範囲はこの点で制限されない。破壊読取り動作は、メモリの第1メモリ・セルから情報を読み取ることを含み、また、書戻し動作は、第2メモリ・セルが利用可能である場合、例えば消去され、または空白である場合に、第1メモリ・セルから読み取られた情報をメモリの第2メモリ・セルに書き込むことを含む。第1メモリ・セルは、メモリの第1セグメント内に位置し、また、第2メモリ・セルは、第1セグメントから物理的に分離されたメモリの他のセグメントに位置する。本方法は、さらに、第2メモリ・セルが空白でない場合に、予め定められた時間量が経過した後、第1メモリ・セルから読み取られた情報を第1メモリ・セルに書き戻すことを含む。

【0056】

本方法は、さらに、第1メモリ・セルに対する他のメモリ動作が破壊読取り動作に連続する場合は、予め定められた時間量の間、第1メモリ・セルへの書込みまたは第1メモリ・セルから読取りを遅延させることを含む。他のメモリ動作は消去動作であり、これは、負の極性を有し、かつ、第1メモリ・セルの分極を切り替えるのに十分な電圧を第1のメモリ・セルの両端に印加し、メモリ・セルを消去して、例えば論理「1」論理値を格納することを含む。あるいは、他のメモリ動作は書込み動作であり、これは、第1メモリ・セルの両端に正の電圧を印加し、メモリ・セルをプログラムして、論理「0」値を格納することを含む。

【0057】

他の実施例において、本方法は、強誘電体高分子メモリ内の第1位置に情報を書き込むための要求を受け取ることを含む。本方法は、さらに、強誘電体高分子メモリ内の第2位置にのみ情報を書き込み、第2位置が利用可能である場合は、要求に応答して第1位置に情報を書き込まないことを含む。第1位置は、強誘電体高分子メモリの第1アレイにあり、また、第2位置は、強誘電体高分子メモリの第2アレイにあり、そこでは第1アレイは第2アレイから物理的に分離される。強誘電体高分子メモリは、破壊読取りディスク・キャッシュ・メモリであるが、本発明の範囲はこの点に制限されない。

【0058】

他の実施例では、本装置は、少なくとも2つのメモリ・アレイ、およびメモリに結合された読取り回路またはメモリ制御器を有するメモリを含み、破壊読取り動作および書戻し動作を含む読取りサイクルを実行し、そこでは、破壊読取り動作は、メモリの第1メモリ・セルから情報を読み取ることを含み、また、書戻し動作は、第1メモリ・セルから読み取った情報をメモリの第2メモリ・セルに書き込むことを含む。読取り回路は、上述の周辺回路 44 (図 3) またはメモリ制御器 920 の一部である。

【0059】

本装置のメモリは、強誘電体高分子メモリ、強誘電体酸化物メモリ、または他の強誘電体メモリであるが、本発明の範囲はこの点に制限されない。代替実施例では、メモリは非強誘電体メモリであってもよい。メモリは、少なくとも2つのメモリ・アレイを含み、そこでは、各メモリ・アレイは、電極の層間に位置する強誘電体特性を有する強誘電体高分

子材料の層を含む強誘電体メモリ・セルを含む。

【0060】

本発明の一定の機能がここに図示され記述されたが、当業者であれば、多くの修正、代替、変更、および均等物を想起するであろう。したがって、添付の請求項は、本発明の精神から逸脱しない限り、このような修正および変更の全てを包含することを意図するものであると理解される。

【図面の簡単な説明】

【0061】

【図1】 強誘電体メモリ・セルの一部を示す図である。

【図2】 強誘電体セルの分極対電圧特性を示すグラフである。

【図3】 強誘電体メモリ装置のブロック図である。

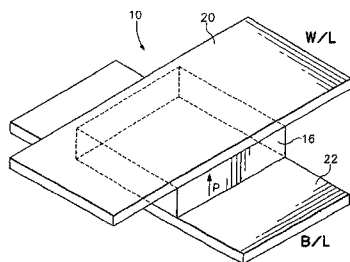
【図4】 本発明の一実施例に従った、破壊読取りメモリに格納された情報を読み取る方法を示すフローチャートである。

【図5】 本発明の一実施例に従ったメモリに情報を書き込む方法を示すフローチャートである。

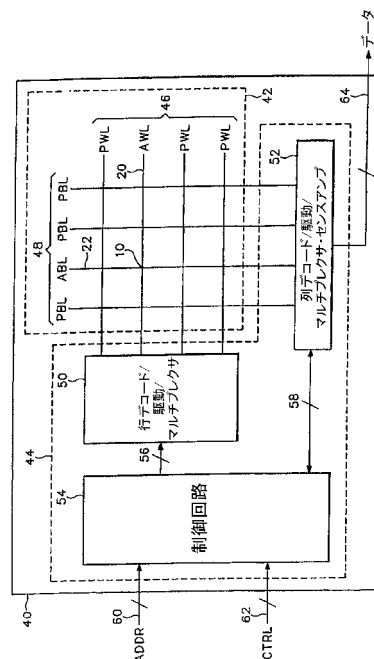
【図6】 本発明の実施例に従った計算機システムの一部を示すブロック図である。

10

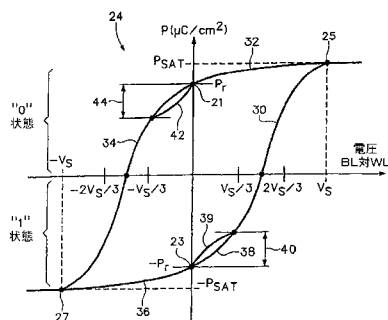
【図1】



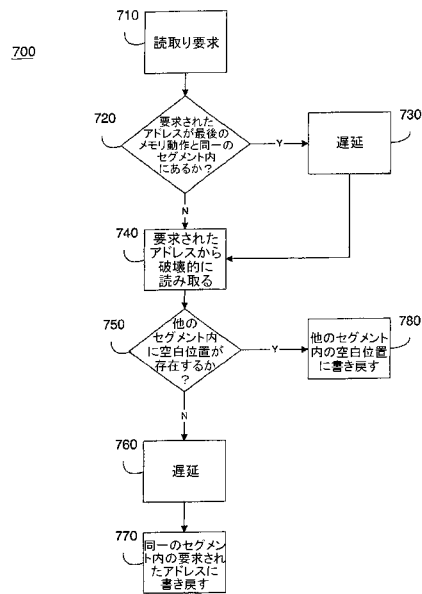
【図3】



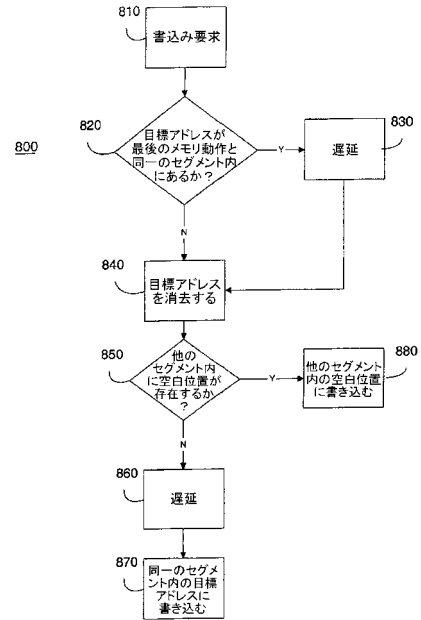
【図2】



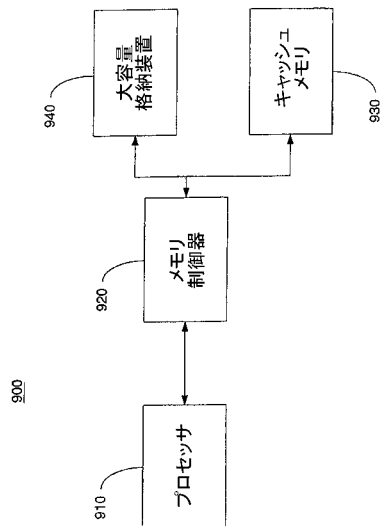
【図 4】



【図 5】



【図 6】



【国際調査報告】

INTERNATIONAL SEARCH REPORT

International Application No

PC1/US2004/037773

A. CLASSIFICATION OF SUBJECT MATTER IPC 7 G11C11/22		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) IPC 7 G11C		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, PAJ		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 6 201 731 B1 (KAMP DAVID A 'US! ET AL) 13 March 2001 (2001-03-13)	1-5, 7-11, 18, 21, 22, 24, 25
Y	column 6, line 42 - line 48 column 16, line 17 - column 17, line 43; figure 11	6, 12, 19, 20, 23
X	US 2003/147269 A1 (NISHIHARA TOSHIYUKI 'JP!') 7 August 2003 (2003-08-07)	1-3, 7, 9, 10, 18, 21, 22, 25
A	paragraph '0131! - paragraph '0149!; figure 2 ----- -/--	4, 5, 8, 11, 12, 19, 24
☒ Further documents are listed in the continuation of box C. ☒ Patent family members are listed in annex.		
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. "&" document member of the same patent family		
Date of the actual completion of the international search 2 March 2005		Date of mailing of the international search report 10/03/2005
Name and mailing address of the ISA European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016		Authorized officer Harms, J

Form PCT/ISA/210 (second sheet) (January 2004)

INTERNATIONAL SEARCH REPORT

International Application No
PCT/US2004/037773

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2003/058681 A1 (COULSON RICHARD L 'US!) 27 March 2003 (2003-03-27) paragraph '0014! - paragraph '0016! paragraph '0034! claim 3	6,13-17, 26-28
Y	WO 03/021601 A1 (THIN FILM ELECTRONICS ASA 'NO!; GUDESEN HANS GUDE 'BE!; NORDAL PER-ERI) 13 March 2003 (2003-03-13) page 3, line 3 - line 24	12,19, 20,23
Y	US 5 367 484 A (ALEXANDER SAMUEL E 'US! ET AL) 22 November 1994 (1994-11-22) column 1, line 61 - column 2, line 2 column 2, line 30 - line 64	13-17, 26-28
A	US 6 594 183 B1 (LOFGREN KARL M J 'US! ET AL) 15 July 2003 (2003-07-15) abstract column 5, line 28 - line 41	13-17,26
A	US 2002/149986 A1 (WONG SAU CHING 'US!) 17 October 2002 (2002-10-17) paragraph '0038! - paragraph '0039!	1

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

PCT/US2004/037773

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 6201731 B1	13-03-2001	WO 0074062 A1	07-12-2000
US 2003147269 A1	07-08-2003	JP 2003228977 A	15-08-2003
US 2003058681 A1	27-03-2003	US 2004095840 A1	20-05-2004
WO 03021601 A1	13-03-2003	NO 20014272 A	04-03-2003
		CA 2459319 A1	13-03-2003
		EP 1423856 A1	02-06-2004
		JP 2005502200 T	20-01-2005
		US 2003063499 A1	03-04-2003
US 5367484 A	22-11-1994	NONE	
US 6594183 B1	15-07-2003	US 6230233 B1	08-05-2001
		US 2003227804 A1	11-12-2003
		US 6081447 A	27-06-2000
US 2002149986 A1	17-10-2002	US 6396744 B1	28-05-2002
		US 2003133348 A1	17-07-2003
		US 6856568 B1	15-02-2005

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW

(72)発明者 フェーバー, ロバート

アメリカ合衆国 オレゴン州 97124 ヒルズバラ ノースイースト・3ド・アベニュー942

(72)発明者 イーゼンバーガー, マーク

アメリカ合衆国 ニューメキシコ州 87048 コラルス ダルス・コート78