



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H01L 21/027 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년05월02일 10-0714305 2007년04월26일
--	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-2005-0129928 2005년12월26일 2005년12월26일	(65) 공개번호 (43) 공개일자
----------------------------------	---	------------------------

(73) 특허권자 삼성전자주식회사
 경기도 수원시 영통구 매탄동 416

(72) 발명자 권병호
 경기 수원시 영통구 영통동 벽적골8단지아파트 811-805

 윤세라
 경기 수원시 장안구 율전동 안한일아파트 103동 202호

 홍창기
 경기 성남시 분당구 구미동 무지개마을삼성아파트 1007-302

 윤보언
 서울 서초구 반포2동 신반포한신아파트 23-105

 최재광
 경기 수원시 영통구 영통동 신나무실6단지아파트 613동 1504호

 박준상
 서울특별시 강남구 도곡동 타워팰리스 A동 1406호

(74) 대리인 박상수

(56) 선행기술조사문헌 JP2001085510 A KR1020040057532 A	KR1020000004547 A JP13085510 A
--	-----------------------------------

심사관 : 설관식

전체 청구항 수 : 총 18 항

(54) 자기정렬 이중패턴의 형성방법

(57) 요약

자기정렬 이중 패터닝에 의해 마지막 패턴 및 트렌치를 형성하는 방법이 개시된다. 패턴 또는 트렌치를 형성하기 위해 사용되는 마스크 패턴들은 통상의 리소그래피 공정에 의해 형성되는 제1 마스크 패턴 및 인접한 제1 마스크 패턴들 사이에

자기정렬에 의해 형성되는 제2 마스크 패턴을 가진다. 제1 마스크 패턴 및 제2 마스크 패턴의 높이를 균일하게 하기 위해 유기 희생막을 증착하고, 평탄화 공정을 수행한다. 평탄화 공정에 의해 잔류하는 유기 희생막은 에칭(ashing)에 의해 제거된다.

대표도

도 1g

특허청구의 범위

청구항 1.

하지막 상부에 제1 마스크 패턴을 형성하는 단계;

상기 제1 마스크 패턴 및 상기 하지막 상에 희생층을 형성하는 단계;

상기 희생층의 측벽들 사이에 매립된 제2 마스크 패턴을 형성하는 단계;

상기 희생층을 식각하여 상기 제2 마스크 패턴 하부에 잔류하는 희생 패턴을 형성하는 단계;

상기 제1 마스크 패턴 및 상기 제2 마스크 패턴 사이의 이격 공간을 매립하는 유기 희생막을 형성하는 단계;

상기 제1 마스크 패턴 및 상기 제2 마스크 패턴의 상부면이 동일 레벨을 가지도록 상기 유기 희생막에 대해 평탄화 공정을 수행하는 단계; 및

상기 제1 마스크 패턴 및 상기 제2 마스크 패턴을 식각 마스크로 상기 하지막을 식각하여 하지막 패턴을 형성하는 단계를 포함하는 자기정렬 이중패턴의 형성방법.

청구항 2.

제1항에 있어서, 상기 제1 마스크 패턴을 형성하는 단계는,

상기 하지막 상에 실리콘 질화막을 형성하는 단계;

상기 실리콘 질화막 상에 제1 마스크층을 형성하는 단계;

상기 제1 마스크층 상에 포토레지스트 패턴을 형성하는 단계; 및

상기 포토레지스트 패턴을 식각 마스크로 하여 상기 제1 마스크층을 이방성 식각하는 단계를 포함하는 것을 특징으로 하는 자기정렬 이중패턴의 형성방법.

청구항 3.

제1항에 있어서, 상기 제2 마스크 패턴을 형성하는 단계는,

상기 희생층의 측벽들 사이를 매립하는 제2 마스크층을 형성하는 단계; 및

상기 희생층 상부의 상기 제2 마스크층을 제거하고, 상기 희생층의 측벽들 사이에 매립된 제2 마스크 패턴을 잔류시키는 단계를 포함하는 것을 특징으로 하는 자기정렬 이중패턴의 형성방법.

청구항 4.

제1항에 있어서, 상기 하지막 패턴을 형성하는 단계 이전에 상기 유기 희생막의 평탄화 공정에 의해 상기 제1 마스크 패턴 및 상기 제2 마스크 패턴 사이에 잔류하는 상기 유기 희생막을 제거하는 단계를 더 포함하는 것을 특징으로 하는 자기정렬 이중패턴의 형성방법.

청구항 5.

제1항에 있어서, 상기 제1 마스크 패턴과 상기 제2 마스크 패턴은 서로 동일한 식각 선택비를 가지며, 상기 하지막과 상기 제1 마스크 패턴은 서로 다른 식각 선택비를 가지는 것을 특징으로 하는 자기정렬 이중패턴의 형성방법.

청구항 6.

제5항에 있어서, 상기 제1 마스크 패턴 및 상기 제2 마스크 패턴은 실질적으로 동일한 물질로 구성되며, 상기 희생층과 다른 식각 선택비를 가지는 것을 특징으로 하는 자기정렬 이중패턴의 형성방법.

청구항 7.

제1항에 있어서, 상기 유기 희생막은 Novolak계 i-line 포토레지스트, PHS(Poly Hydroxystyrene)계 KrF 포토레지스트, Acrylate계 ArF 포토레지스트 또는 Methacrylate계 ArF 포토레지스트인 것을 특징으로 하는 자기정렬 이중패턴의 형성방법.

청구항 8.

반도체 기판 상에 제1 마스크 패턴을 형성하는 단계;

상기 제1 마스크 패턴 및 상기 반도체 기판 상에 증착층을 형성하는 단계;

상기 증착층의 측벽들 사이에 매립된 제2 마스크 패턴을 형성하는 단계;

상기 증착층을 식각하여 상기 제2 마스크 패턴 하부에 잔류하는 증착층 패턴을 형성하는 단계;

상기 제1 마스크 패턴 및 상기 제2 마스크 패턴 사이의 이격 공간을 매립하는 유기 희생막을 형성하는 단계;

상기 제1 마스크 패턴 및 상기 제2 마스크 패턴의 상부면이 동일 레벨을 가지도록 상기 유기 희생막에 대한 평탄화 공정을 수행하는 단계; 및

상기 제1 마스크 패턴 및 상기 제2 마스크 패턴을 식각 마스크로 하여 상기 반도체 기판을 식각하여, 트렌치를 형성하는 단계를 포함하는 자기정렬 이중패턴의 형성방법.

청구항 9.

제8항에 있어서, 상기 제1 마스크 패턴을 형성하는 단계는,

상기 실리콘 기판 상에 실리콘 질화막을 형성하는 단계;

상기 실리콘 질화막 상에 제1 마스크층을 형성하는 단계;

상기 제1 마스크층 상에 포토레지스트 패턴을 형성하는 단계; 및

상기 포토레지스트 패턴을 식각 마스크로 하여 상기 제1 마스크층을 이방성 식각하는 단계를 포함하는 것을 특징으로 하는 자기정렬 이중패턴의 형성방법.

청구항 10.

제9항에 있어서, 상기 제2 마스크 패턴을 형성하는 단계는,

상기 증착층의 측벽들 사이를 매립하는 제2 마스크층을 형성하는 단계; 및

상기 증착층 상부의 상기 제2 마스크층을 제거하고, 상기 증착층의 측벽들 사이에 매립된 제2 마스크 패턴을 잔류시키는 단계를 포함하는 것을 특징으로 하는 자기정렬 이중패턴의 형성방법.

청구항 11.

제10항에 있어서, 상기 소자분리 트렌치를 형성하는 단계 이전에 상기 유기 희생막의 평탄화 공정에 의해 상기 제1 마스크 패턴 및 상기 제2 마스크 패턴 사이에 잔류하는 상기 유기 희생막을 제거하는 단계를 더 포함하는 것을 특징으로 하는 자기정렬 이중패턴의 형성방법.

청구항 12.

제11항에 있어서, 상기 제1 마스크 패턴 및 제2 마스크 패턴은 다결정 실리콘을 포함하며, 상기 증착층은 산화물을 포함하는 것을 특징으로 하는 자기정렬 이중패턴의 형성방법.

청구항 13.

제12항에 있어서, 상기 실리콘 질화막을 형성하는 단계 이후에 상기 실리콘 질화막 상에 희생 산화막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 자기정렬 이중패턴의 형성방법.

청구항 14.

제13항에 있어서, 상기 제1 마스크층에 대한 이방성 식각에도 불구하고 상기 희생 산화막은 잔류하는 것을 특징으로 하는 자기정렬 이중패턴의 형성방법.

청구항 15.

제11항에 있어서, 상기 제1 마스크 패턴 및 제2 마스크 패턴은 산화물을 포함하며, 상기 증착층은 다결정 실리콘을 포함하는 것을 특징으로 하는 자기정렬 이중패턴의 형성방법.

청구항 16.

제8항에 있어서, 상기 유기 희생막은 Novolak계 i-line 포토레지스트, PHS(Poly Hydroxystyrene)계 KrF 포토레지스트, Acrylate계 ArF 포토레지스트 또는 Methacrylate계 ArF 포토레지스트인 것을 특징으로 하는 자기정렬 이중패턴의 형성 방법.

청구항 17.

제8항에 있어서, 상기 유기 희생막에 대한 평탄화 공정은 에치백 또는 화학적 기계적 연마에 의해 수행되는 것을 특징으로 하는 자기정렬 이중패턴의 형성 방법.

청구항 18.

제8항에 있어서, 상기 유기 희생막에 대해 평탄화 공정을 수행하는 단계 이후에, 상기 유기 희생막을 제거하는 단계를 더 포함하는 것을 특징으로 하는 자기정렬 이중패턴의 형성 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 패턴의 형성 방법에 관한 것으로, 더욱 상세하게는 자기정렬 이중패터닝(Self Align Double Patterning) 방법에 관한 것이다.

최근 반도체 소자의 집적도가 향상됨에 따라 좁은 면적에 많은 소자를 집적시키기 위한 기술이 요구되고 있다. 좁은 면적에 많은 소자들을 집적시키기 위해서는 반도체 기판 상에 형성되는 소자의 크기를 축소하여야 한다. 그러나 소자의 크기를 축소하는 것은 일정한 한계를 가지고 있다.

즉, 소자의 크기를 결정하는 포토리소그래피 공정에서 광원이 가지는 파장의 한계에 의해 소자의 크기를 축소하는 것은 일정한 한계가 있다. 상기 포토리소그래피 공정에서 광원으로 사용되는 엑시머 레이저(Excimer laser)는 KrF 엑시머 레이저 및 ArF 엑시머 레이저 등이 사용된다. ArF 엑시머 레이저는 193nm의 파장을 가지며 0.07um 내지 0.15um의 피쳐 사이즈(Feature size)를 가진다. 또한, KrF 엑시머 레이저는 248nm의 파장을 가지며 0.13um 내지 0.25um의 피쳐 사이즈(Feature size)를 가진다. 이외에도 I-line 또는 G-line 등의 수은 램프가 광원으로 사용되기도 한다.

파장이 짧은 광원을 사용하는 경우, 높은 해상도(resolution)로 인해 더욱 미세한 패턴을 형성할 수 있다. 그러나, 파장이 짧은 광원을 이용하는 경우, 상기 광원을 흡수하여 화학 증폭(Chemical Amplification)을 수행할 수 있는 포토레지스트가 구비되지 않는 경우가 대부분이다. 즉, 파장이 짧은 광원을 사용한다 하더라도, 이에 대한 감광성(photo-sensitivity)을 가진 포토레지스트가 개발되어야 한다.

상술한 문제점을 개선하기 위해 최근에 개발되고 있는 미세 패턴 형성 방법이 자기정렬 이중패터닝이다. 상기 자기정렬 이중패터닝은 포토리소그래피 장비가 가지는 해상도를 이용하고, 상기 해상도에 의해 형성되는 패턴에 비해 2배의 집적도를 가진 패턴을 형성하는 방법이다.

자기정렬 이중패터닝에 대해서는 대한민국 등록특허 제165399호, 대한민국 등록특허 제281891호 및 미국 등록특허 제 6638441호에 개시된다.

대한민국 등록특허 제165399호는 금속 패턴의 형성 방법을 개시한다. 먼저, 기판 상에 제1 도전층 패턴, 제1 절연층 패턴, 제2 도전층 패턴 및 제2 절연층 패턴이 순차적으로 형성되고, 제2 절연층 패턴을 식각 마스크로 하여 식각이 수행된다. 식각에 의해 형성된 제2 절연층 패턴 사이의 공간에는 제3 절연층 패턴이 매립된다. 상술한 과정을 통해 해상도의 한계와 동일한 간격을 가지는 제1 도전층 패턴 사이에는 제2 도전성 패턴이 형성되는 자기정렬 이중패터닝이 수행된다.

대한민국 등록특허 제281891호에는 반도체장치의 배선패턴 형성 방법이 개시된다. 먼저, 제1 배선 패턴을 형성하고, 제1 배선 패턴 상부 및 패턴들 사이에는 절연막이 도포된다. 상기 절연막은 제1 배선 패턴 하부의 과식각 깊이와 동일한 두께를 가지고 형성된다. 또한, 절연막 상부에는 배선 물질층이 형성된다. 상기 배선 물질층에 대해 평탄화 공정을 수행하면, 제1 배선 패턴들 사이에 형성된 제2 배선 패턴을 얻을 수 있다.

또한, 미국 등록특허 제6638441호는 배선 사이의 간격을 감소시키는 방법이 개시된다. 먼저, 포토레지스트 패턴을 형성하고, 상기 포토레지스트 패턴 상에 유전층을 형성한다. 상기 유전층에 대해 에치백 공정을 수행하여 유전층 하부의 기판을 노출시킨다. 또한, 유전층 사이에 반사 방지막(Bottom Anti-reflection coating)을 매립한 후, 포토레지스트 패턴을 제거한다. 제거된 공간에는 다른 반사 방지막 및 유전층을 매립하고, 표면에 대한 평탄화 공정을 수행한다. 상술한 과정을 통해 기판 상에 포토레지스트 패턴보다 2배로 밀집된 밀도를 가진 유전층 패턴들을 얻을 수 있다.

상술한 특허들은 다수의 문제점들을 가진다. 즉, 대한민국 등록특허 제165399호는 금속 패턴들의 높이가 일치하지 않으며, 대한민국 등록특허 제281891호는 제2 배선 패턴이 기판과의 전기적 연결을 달성할 수 없는 문제를 가진다. 또한, 미국 등록특허 제6638441호는 유전막 패턴의 형성 방법만을 개시할 뿐이며, 다수의 증착 공정을 이용하여 패턴의 형성 방법이 복잡하고, 제조 공정상 패턴의 형성이 곤란해진다는 문제가 있다.

발명이 이루고자 하는 기술적 과제

상기와 같은 문제점을 해결하기 위한 본 발명의 목적은, 유기 희생막을 사용하여 자기정렬 이중 패터닝을 구현하는 방법을 제공하는데 있다.

발명의 구성

상기 목적을 달성하기 위한 본 발명은, 하지막 상부에 제1 마스크 패턴을 형성하는 단계; 상기 제1 마스크 패턴 및 상기 하지막 상에 희생층을 콘포말하게 형성하는 단계; 상기 희생층의 측벽들 사이에 매립된 제2 마스크 패턴을 형성하는 단계; 상기 희생층을 식각하여 상기 제2 마스크 패턴 하부에 잔류하는 희생 패턴을 형성하는 단계; 상기 제1 마스크 패턴 및 상기 제2 마스크 패턴 사이의 이격 공간을 매립하는 유기 희생막을 형성하는 단계; 상기 제1 마스크 패턴 및 상기 제2 마스크 패턴의 상부면이 동일 레벨을 가지도록 상기 유기 희생막에 대해 평탄화 공정을 수행하는 단계; 및 상기 제1 마스크 패턴 및 상기 제2 마스크 패턴을 식각 마스크로 상기 하지막을 식각하여 하지막 패턴을 형성하는 단계를 포함하는 자기정렬 이중 패턴의 형성방법을 제공한다.

또한, 본 발명의 상기 목적은, 반도체 기판 상에 제1 마스크 패턴을 형성하는 단계; 상기 제1 마스크 패턴 및 상기 반도체 기판 상에 증착층을 형성하는 단계; 상기 증착층의 측벽들 사이에 매립된 제2 마스크 패턴을 형성하는 단계; 상기 증착층을 식각하여 상기 제2 마스크 패턴 하부에 잔류하는 증착층 패턴을 형성하는 단계; 상기 제1 마스크 패턴 및 상기 제2 마스크 패턴 사이의 이격 공간을 매립하는 유기 희생막을 형성하는 단계; 상기 제1 마스크 패턴 및 상기 제2 마스크 패턴의 상부면이 동일 레벨을 가지도록 상기 유기 희생막에 대한 평탄화 공정을 수행하는 단계; 및 상기 제1 마스크 패턴 및 상기 제2 마스크 패턴을 식각 마스크로 하여 상기 반도체 기판을 식각하여, 트렌치를 형성하는 단계를 포함하는 자기정렬 이중 패턴의 형성방법을 제공한다.

이하, 본 발명에 따른 바람직한 실시예를 첨부된 도면을 참조하여 상세하게 설명한다.

제1 실시예

도 1a 내지 도 1h는 본 발명의 제1 실시예에 따라 자기정렬 이중패터닝 방법을 도시한 단면도들이다.

도 1a를 참조하면, 반도체 기판(100) 상에 하지막(110)이 형성되고, 하지막(110) 상부에 제1 마스크층(130)이 형성된다. 바람직하게는 상기 하지막(110)과 제1 마스크층(130) 사이에는 실리콘 질화막(SiN)(120)이 개재된다. 상기 하지막(110)은 이후의 공정에서 패터닝되며, 제1 마스크층(130)은 상기 하지막(110)의 패터닝시 식각 마스크로 사용된다.

도 1b를 참조하면, 제1 마스크 패턴(135)이 형성되고, 노출된 실리콘 질화막(120) 상부 및 상기 제1 마스크 패턴(135) 상에 희생층(140)이 형성된다.

상기 제1 마스크 패턴(135)의 폭 W1은 상기 제1 마스크 패턴(135)의 피치(pitch) P1의 1/4임이 바람직하다. 또한, 희생층(140)의 측벽들 사이의 거리 W2는 제1 마스크 패턴(135)의 피치(pitch) P1의 1/4임이 바람직하다.

상기 도 1a에서, 제1 마스크층(130) 상에 포토레지스트를 도포하고, 통상적인 포토리소그래피 공정에 의해 포토레지스트 패턴을 형성한다. 형성된 포토레지스트 패턴을 식각 마스크로 하여 제1 마스크층(130)에 대해 식각을 수행하면, 제1 마스크 패턴(135)이 형성된다. 상기 제1 마스크 패턴(135)의 형성을 위한 식각 공정시 상기 실리콘 질화막(120)은 식각 저지막으로 작용함이 바람직하다.

이어서, 노출된 실리콘 질화막(120) 및 제1 마스크 패턴(135) 상에 희생층(140)을 형성한다. 상기 희생층(140)은 실리콘 질화막(120) 및 제1 마스크 패턴(135) 상에 콘포말하게 형성됨이 바람직하다. 만일, 상기 실리콘 질화막(120)이 개재되지 않는 경우, 상기 희생층(140)은 노출된 하지막(110) 및 제1 마스크 패턴(135) 상에 형성된다.

도 1c를 참조하면, 하지막(110) 상부에 형성된 제1 마스크 패턴(135), 희생층(140) 및 희생층(140) 상부에 형성된 제2 마스크층(150)이 도시된다.

먼저, 도 1b에서 희생층(140) 상부를 제2 마스크층(150)으로 도포한다. 또한, 상기 희생층(140)은 제1 마스크 패턴(135) 및 제2 마스크층(150)에 대해 식각 선택비를 가지는 물질로 형성됨이 바람직하다. 또한, 상기 제2 마스크층(150)은 상기 제1 마스크 패턴(135)과 동일한 식각 선택비를 가진 물질로 구성된다. 바람직하게는 상기 제2 마스크층(150)은 상기 제1 마스크 패턴(135)과 동일한 물질로 구성된다.

도 1d를 참조하면, 실리콘 질화막(120) 상부에 제1 마스크 패턴(135)이 형성되고, 제1 마스크 패턴들(135) 사이에는 제2 마스크 패턴(155)이 형성되며, 제1 마스크 패턴(135) 및 제2 마스크 패턴(155) 사이에는 희생층(140)이 구비된다.

상기 도 1c에 도시된 제2 마스크층(150)에 대해 평탄화 공정을 수행하여 희생층(140) 상부의 제2 마스크층(150)을 제거하고, 희생층(140) 표면의 일부를 노출시킨다. 또한, 상기 희생층(140) 측벽들 사이에 개재된 상기 제2 마스크 패턴(155)이 잔류하게 된다. 상기 제2 마스크층(150)에 대한 평탄화 공정은 화학적 기계적 연마 또는 에치백 공정을 이용함이 바람직하다.

따라서, 상기 제2 마스크 패턴(155)은 상기 도 1c에서 제2 마스크층(150)에 대한 평탄화 공정에 의해 희생층(140) 상부의 제2 마스크층(150)이 제거되고, 희생층(140) 사이의 제1 마스크층(150)이 잔류함에 의해 형성된다.

도 1e를 참조하면, 실리콘 질화막(120) 상부에 제1 마스크 패턴(135)이 형성되고, 제2 마스크 패턴(155) 및 상기 제2 마스크 패턴(155) 하부에 희생 패턴(145)이 형성된다.

상기 제2 마스크 패턴(155) 하부의 희생 패턴(145)은 상기 도 1d에 도시된 희생층(140)에 대한 이방성 식각에 의하여 형성된다. 즉, 희생층(140)에 대해 제1 마스크 패턴(135) 및 제2 마스크 패턴(155)을 식각 마스크로 하여 이방성 식각을 수행하면, 제1 마스크 패턴(135) 및 제2 마스크 패턴(155) 사이의 희생층(140)은 제거되며, 제2 마스크 패턴(155) 하부의 희생층(140)은 잔류하게되어 희생 패턴(145)이 된다. 또한, 이방성 식각에 의해 실리콘 질화막(120) 표면은 노출된다.

따라서, 제2 마스크 패턴의 폭 W2는 상기 제1 마스크 패턴의 피치 P1의 약 1/4에 해당하게 된다. 바람직하게는 상기 제2 마스크 패턴의 폭 W2는 상기 제1 마스크 패턴의 폭 W1과 동일한 값을 가진다.

도 1f를 참조하면, 실리콘 질화막(120) 상에 제1 마스크 패턴(135), 희생 패턴(145) 및 상기 희생 패턴(145) 상부의 제2 마스크 패턴(155)이 도시되고, 상기 패턴들 사이의 이격 공간을 완전히 매립하는 유기 희생막(160)이 도시된다.

즉, 상기 유기 희생막(160)은 제1 마스크 패턴(135) 및 제2 마스크 패턴(155) 사이의 이격 공간을 매립하도록 형성된다. 상기 유기 희생막(160)은 유기물로 이루어진다. 또한, 상기 유기 희생막(160)은 ArF 레이저, KrF 레이저 또는 I-line의 광원에 사용되는 포토레지스트일 수 있다. 이외에도 반사 방지막(Anti Reflective Coating) 또는 비정질 탄소막(Amorphous Carbon Layer) 등이 유기 희생막으로 사용될 수 있다.

도 1g를 참조하면, 실리콘 질화막(120) 상에 제1 마스크 패턴(135), 제2 마스크 패턴(155) 및 상기 제2 마스크 패턴(155) 하부의 희생 패턴(145)이 도시된다. 또한, 상기 제2 마스크 패턴(155)의 상부 표면은 상기 제1 마스크 패턴(135)과 동일 레벨로 형성된다.

먼저, 상기 도 1f에 개시된 유기 희생막(160)에 대한 화학적 기계적 연마 또는 에치백 공정이 수행된다. 유기 희생막(160)에 대한 화학적 기계적 연마 또는 에치백 공정에 의해 제2 마스크 패턴(155)은 과식각되고, 상기 제1 마스크 패턴(135)도 과식각될 수 있다. 즉, 연마 또는 에치백에 의해 제1 마스크 패턴(135)의 상부 표면의 높이와 하부에 희생 패턴(145)을 가지는 제2 마스크 패턴(155)의 상부 표면의 높이는 실질적으로 동일해진다. 계속해서, 제1 마스크 패턴(135) 및 제2 마스크 패턴(155) 사이의 유기 희생막(160)에 대한 에칭(Ashing) 공정을 수행하여 유기 희생막(160)을 제거하고, 제1 마스크 패턴(135), 제2 마스크 패턴(155) 및 제2 마스크 패턴(155) 하부의 희생 패턴(145)을 노출시킨다.

도 1h를 참조하면, 하지막(110)은 선택적으로 식각되어 하지막 패턴(170)이 형성되고, 하지막 패턴들(170) 상부에는 제1 마스크 패턴(135), 희생 패턴(145) 및 상기 희생 패턴(145) 상부에 형성된 제2 마스크 패턴(155)이 도시된다.

먼저, 상기 제1 마스크 패턴(135) 및 제2 마스크 패턴(155)을 식각 마스크로 하여 하지막(110)에 대한 식각이 수행된다. 상기 하지막(110)에 대한 식각은 이방성 건식 식각임이 바람직하다. 상기 도 1g에서 하지막(110) 상에 형성된 제1 마스크 패턴(135) 및 제2 마스크 패턴(155)의 높이는 동일하므로, 인접한 마스크 패턴들 사이의 높이의 차이에서 발생하는 로딩 효과>Loading effect)는 방지된다. 즉, 이방성 식각에 의해 형성되는 하지막 패턴들은 서로 균일한 프로파일을 가질 수 있다.

또한, 포토레지스트 공정에 의해 형성된 제1 마스크 패턴과는 달리 제2 마스크 패턴은 희생층 및 제2 마스크층의 형성에 의해 인접한 제1 마스크 패턴들 사이에 형성된다.

또한, 본 실시예에서는 하지막 상부에 실리콘 질화막이 개재되는 것을 전제로 도면 및 설명을 구성하였으나, 하지막 상부에 직접 제1 마스크 패턴을 형성할 수도 있다. 또한, 상기 하지막은 반도체 기판 상에 형성되되, 상기 하지막과 반도체 기판 사이에는 다른 막질이 형성될 수도 있다.

상술한 과정을 통하여 상기 하지막 상에는 하지막 패턴이 형성된다. 특히 제1 마스크 패턴들 사이의 간격이 한계 해상도에 근접한 경우, 제1 마스크 패턴들 사이에는 제2 마스크 패턴들이 형성되므로 한계 해상도에 비해 2배의 집적도를 가진 하지막 패턴을 얻을 수 있다.

제2 실시예

도 2a 내지 도 2h는 본 발명의 제2 실시예에 따라 소자 분리 트렌치를 형성하는 방법을 도시한 단면도들이다.

도 2a를 참조하면, 반도체 기판(200) 상에 실리콘 질화막(SiN)(210) 및 제1 마스크 층(220)이 형성된다. 상기 제1 마스크 층(220)은 다결정 실리콘층 또는 산화막으로 구성된다. 상기 반도체 기판(200)은 실리콘 단결정으로 이루어짐이 바람직하다. 또한, 상기 제1 마스크 층(220)이 다결정 실리콘으로 이루어진 경우, 실리콘 질화막(210)의 상부에는 희생 산화막이 개재될 수 있다.

도 2b를 참조하면, 반도체 기판(200) 상에 실리콘 질화막(210)이 형성되고, 상기 실리콘 질화막(210) 상부에 제1 마스크 패턴(225)이 형성된다. 또한, 상기 제1 마스크 패턴(225) 및 노출된 실리콘 질화막(210) 상에는 증착층(230)이 형성된다.

상기 도 2a의 제1 마스크층(220) 상부에 포토레지스트를 도포하고, 통상적인 포토리소그래피 공정을 이용하여 포토레지스트 패턴을 형성한다. 이어서, 포토레지스트 패턴이 형성된 반도체 기판(200)에 대해 건식 식각을 수행하고, 포토레지스트를 제거하면, 상기 제1 마스크 패턴(225)이 형성된다. 또한, 상기 제1 마스크 패턴(225) 및 노출된 실리콘 질화막(210) 상에 증착층(230)을 형성한다.

만일, 상기 제1 마스크 패턴(225)이 다결정 실리콘으로 이루어진 경우, 상기 증착층(230)은 산화물로 구성되며, 상기 제1 마스크 패턴(225)이 산화막인 경우, 상기 증착층(230)은 다결정 실리콘으로 이루어진다.

상기 제1 마스크 패턴(225)의 폭 W1'은 상기 제1 마스크 패턴(225)의 피치(pitch) P2의 1/4임이 바람직하다. 또한, 증착층(230)의 측벽들 사이의 거리 W2'는 제1 마스크 패턴(225)의 피치(pitch) P2의 1/4임이 바람직하다.

도 2c를 참조하면, 반도체 기판(200) 상에 실리콘 질화막(210), 제1 마스크 패턴(225) 및 증착층(230)이 형성되고, 증착층(230) 상에는 제2 마스크층(240)이 형성된다.

상기 제2 마스크층(240)은 상기 제1 마스크 패턴(225)와 동일한 식각 선택비를 가진다. 바람직하게는 상기 제2 마스크층(240)과 상기 제1 마스크 패턴(225)은 동일한 물질로 이루어진다. 즉, 제1 마스크 패턴(225)이 다결정 실리콘으로 이루어진 경우, 상기 제2 마스크층(240)은 다결정 실리콘으로 이루어지며, 상기 제1 마스크 패턴(225)이 산화물로 구성된 경우, 상기 제2 마스크층(240)은 산화물로 이루어진다.

도 2d를 참조하면, 반도체 기판(200) 상에 실리콘 질화막(210), 제1 마스크 패턴(225), 증착층(230) 및 증착층(230)의 측벽들 사이의 이격 공간에 매립된 제2 마스크 패턴(245)이 도시된다.

상기 제2 마스크 패턴(245)의 형성은 상기 도 2c의 제2 마스크층(240)에 대해 화학적 기계적 연마 또는 에치백 공정을 수행하여 상기 증착층(230) 상부의 제2 마스크층(240)을 제거하여 이루어진다. 따라서, 상기 증착층(230) 상부의 제2 마스크층(240)은 제거되고, 증착층(230)의 측벽들 사이의 이격 공간에는 제2 마스크 패턴(245)만이 잔류하게 된다.

도 2e를 참조하면, 반도체 기판(200) 상에 실리콘 질화막(210), 제1 마스크 패턴(225), 증착층 패턴(235) 및 제2 마스크 패턴(245)이 도시된다. 상기 증착층 패턴(235)은 상기 도 2d에서 제1 마스크 패턴(225) 및 제2 마스크 패턴(245)을 식각 마스크로 하여 이방성 건식 식각에 의해 형성된다. 또한, 이방성 건식 식각이 수행되는 경우, 상기 실리콘 질화막(210)은 식각 저지막이 된다.

이방성 건식 식각에 의해 상기 제2 마스크 패턴(245)의 하부에 도포된 증착층(230)은 잔류하여 증착층 패턴(235)으로 형성된다. 또한, 상기 식각에 의해 제2 마스크 패턴(245) 사이의 증착층(230)은 제거되고, 하부의 실리콘 질화막(210)이 노출된다. 또한, 상기 제2 마스크 패턴(245)은 증착층(230)에 대해 식각 선택비를 가지므로 건식 식각이 수행되더라도 식각되지 않고 잔류한다. 마찬가지로, 제1 마스크 패턴(225)도 증착층(230)에 대해 식각 선택비를 가지므로 식각에도 불구하고 잔류하게 된다. 즉, 제1 마스크 패턴(225) 및 제2 마스크 패턴(245)은 증착층(230)의 식각에 대해 식각 마스크로서 기능한다.

상기 제1 마스크 패턴(225) 및 제2 마스크 패턴(245)이 다결정 실리콘이고, 상기 증착층(230)이 산화물인 경우, 식각에 사용되는 식각 가스는 CHF_3 또는 CH_2F_2 등이 사용된다. 또한, 상기 제1 마스크 패턴(225) 및 제2 마스크 패턴(245)이 산화물이고, 상기 증착층(230)이 다결정 실리콘인 경우, 식각에 사용되는 식각 가스는 Cl_2 , O_2 또는 Ar 등이 사용된다.

도 2f를 참조하면, 실리콘 질화막(210), 제1 마스크 패턴(225), 증착층 패턴(235) 및 제2 마스크 패턴(245)을 매립하는 유기 희생막(250)이 도시된다. 상기 유기 희생막(250)은 유기물로 이루어진다. 즉, 상기 유기 희생막(250)은 ArF 레이저, KrF 레이저 또는 I-line의 광원에 사용되는 포토레지스트일 수 있다. 이외에도 반사 방지막(Anti Reflective Coating) 또는 비정질 탄소막(Amorphous Carbon Layer) 등이 유기 희생막(250)으로 사용될 수 있다. 바람직하게는 상기 유기 희생막(250)은 스핀 코팅에 의해 형성되며, 실시의 형태에 따라 증착 공정에 의해서도 형성될 수 있다.

이어서, 상기 유기 희생막(250)에 대해 화학적 기계적 연마 또는 에치백 공정을 수행하여 제1 마스크 패턴(225) 및 제2 마스크 패턴(245)에 대한 평탄화 공정을 수행한다. 평탄화 공정이 완료되면 평탄화된 제1 마스크 패턴(225)의 상부 표면 및 평탄화된 제2 마스크 패턴(245)의 상부 표면은 상기 실리콘 질화막(210) 표면으로부터 실질적으로 동일한 높이를 가진다.

계속해서, 평탄화된 제1 마스크 패턴(225) 및 제2 마스크 패턴(245) 사이에 잔류하는 유기 희생막(250)은 에칭 공정에 의해 제거된다.

도 2g를 참조하면, 에칭 공정에 의해 유기 희생막(250)은 완전히 제거되고, 반도체 기판(200) 상에 실리콘 질화막(210), 제1 마스크 패턴(225), 증착층 패턴(235) 및 제2 마스크 패턴(245)이 도시된다. 특히, 평탄화 공정에 의해 제1 마스크 패턴(225)의 상부 표면과 제2 마스크 패턴(245)의 상부 표면을 동일 레벨의 높이를 가진다.

도 2h를 참조하면, 상기 제1 마스크 패턴(225) 및 제2 마스크 패턴(245)을 식각 마스크로 하여 실리콘 질화막(210) 및 반도체 기판(200)을 식각하여 트렌치(260)를 형성한다.

제1 마스크 패턴(225) 및 제2 마스크 패턴(245)의 높이는 동일하므로, 인접한 마스크 패턴들 사이의 높이의 차이에서 발생하는 로딩 효과>Loading effect)는 방지된다. 즉, 이방성 식각에 의해 형성되는 트렌치들은 서로 균일한 프로파일을 가질 수 있다.

또한, 포토레지스트 공정에 의해 형성된 제1 마스크 패턴과는 달리 제2 마스크 패턴은 증착층 및 제2 마스크층의 형성에 의해 인접한 제1 마스크 패턴들 사이에 형성된다.

특히 제1 마스크 패턴들 사이의 간격이 한계 해상도에 근접한 경우, 제1 마스크 패턴들 사이에는 제2 마스크 패턴들이 형성되므로 한계 해상도에 비해 2배의 집적도를 가진 트렌치를 얻을 수 있다.

발명의 효과

상기와 같은 본 발명에 따르면, 하지막 패턴 또는 트렌치의 형성시, 자기정렬 이중 패터닝에 의해 형성된 마스크 패턴들은 동일한 높이를 가진다. 따라서, 하지막 또는 반도체 기판에 대해 식각을 수행하는 경우, 마스크 패턴들의 높이의 불균일에 의해 발생하는 로딩 효과는 방지된다.

또한, 한계해상도에 근접한 피치를 가지는 패턴들 사이에 자기정렬된 패턴을 형성할 수 있으므로 2배의 집적도를 가진 하지막 패턴 또는 트렌치를 형성할 수 있다.

상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면의 간단한 설명

도 1a 내지 도 1h는 본 발명의 제1 실시예에 따라 자기정렬 이중패터닝 방법을 도시한 단면도들이다.

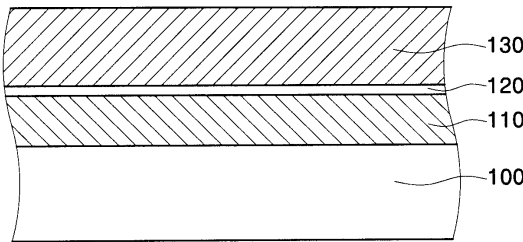
도 2a 내지 도 2h는 본 발명의 제2 실시예에 따라 소자 분리 트렌치를 형성하는 방법을 도시한 단면도들이다.

* 도면의 주요부분에 대한 부호의 설명 *

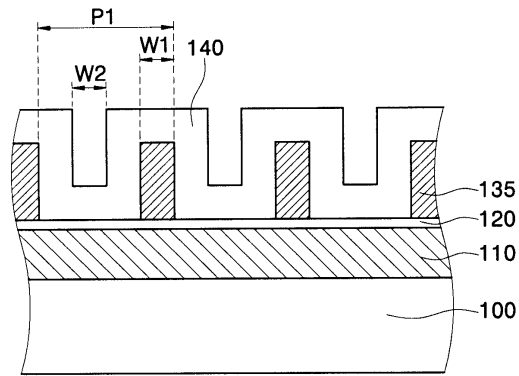
- 100, 200 : 반도체 기판 110 : 하지막
- 120, 210 : 실리콘 질화막 135, 225 : 제1 마스크 패턴
- 155, 245 : 제2 마스크 패턴 150 : 하지막 패턴
- 260 : 트렌치

도면

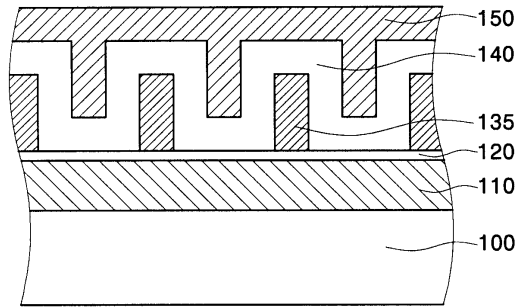
도면1a



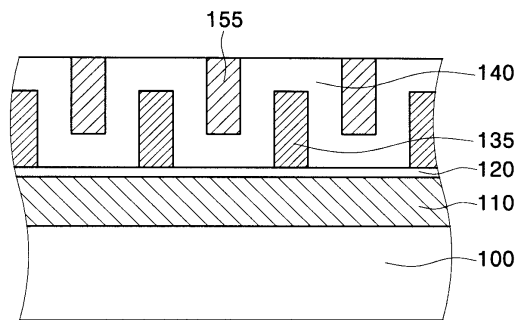
도면1b



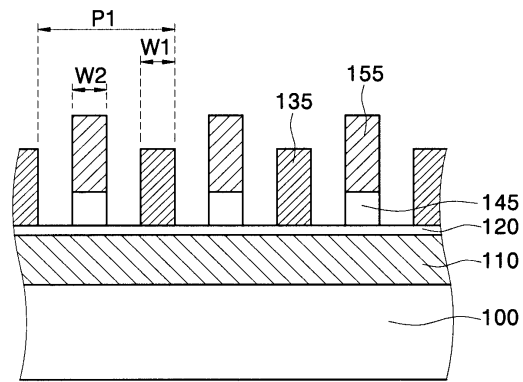
도면1c



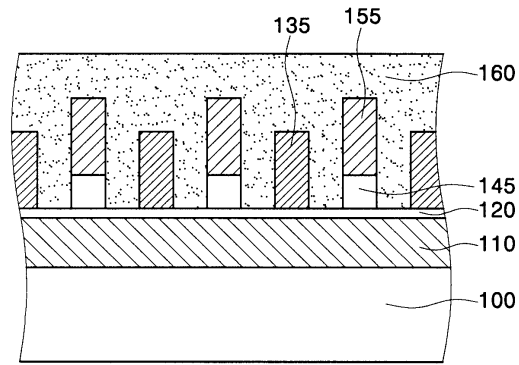
도면1d



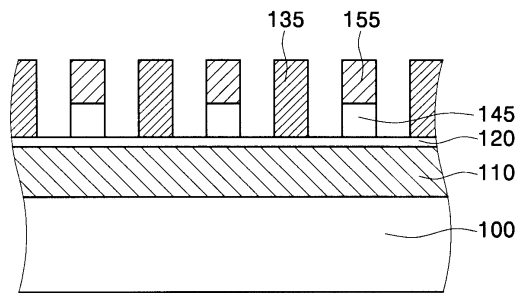
도면1e



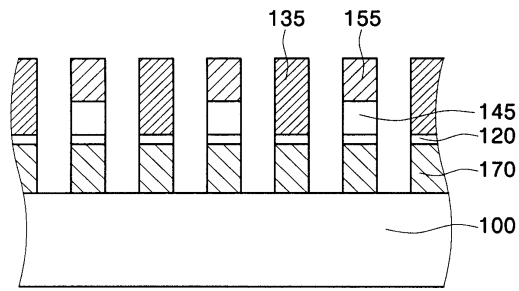
도면1f



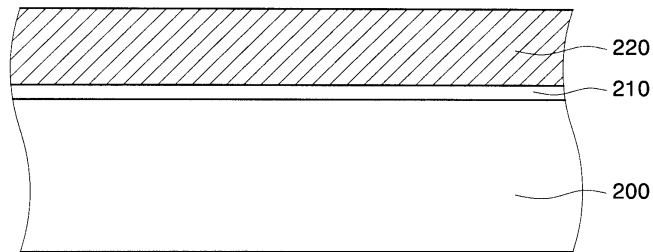
도면1g



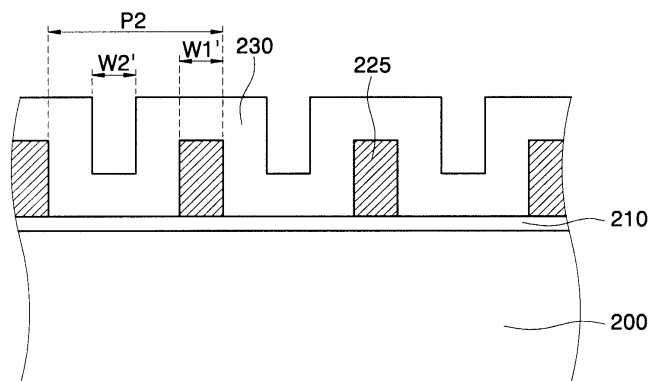
도면1h



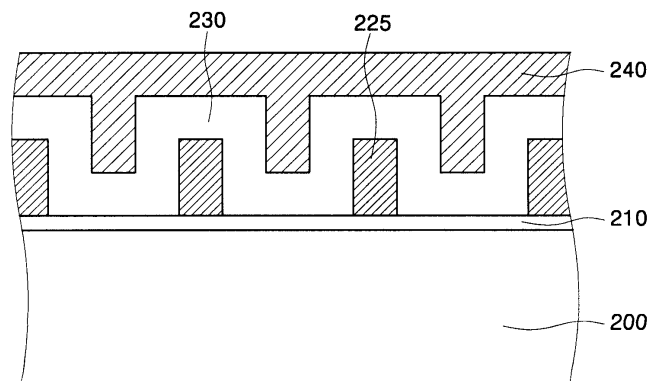
도면2a



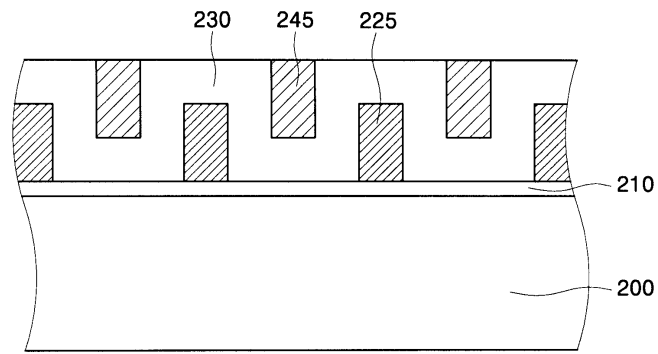
도면2b



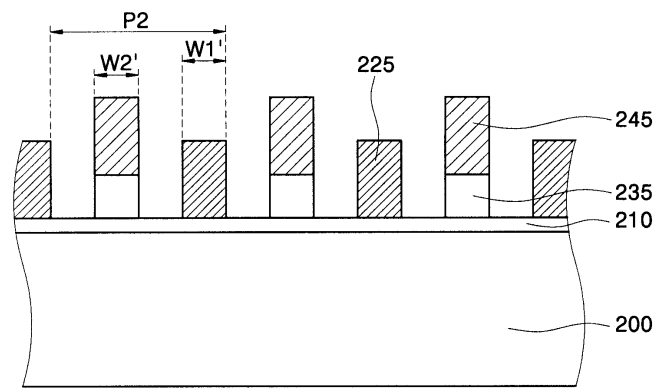
도면2c



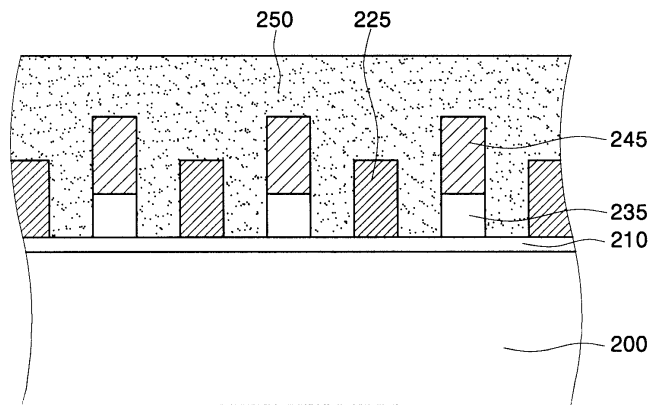
도면2d



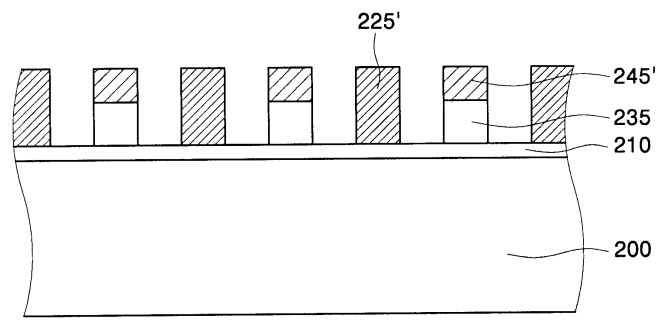
도면2e



도면2f



도면2g



도면2h

