

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
H01P 7/06 (2006.01)



[12] 发明专利申请公开说明书

[21] 申请号 200480005065.X

[43] 公开日 2006年3月29日

[11] 公开号 CN 1754281A

[22] 申请日 2004.2.23

[21] 申请号 200480005065.X

[30] 优先权

[32] 2003.2.24 [33] JP [31] 045304/2003

[86] 国际申请 PCT/JP2004/002052 2004.2.23

[87] 国际公布 WO2004/075337 日 2004.9.2

[85] 进入国家阶段日期 2005.8.24

[71] 申请人 日本电气株式会社

地址 日本东京

[72] 发明人 伊东正治 丸桥建一 岸本修也
大畑惠一

[74] 专利代理机构 中原信达知识产权代理有限责任
公司
代理人 穆德骏 关兆辉

权利要求书 10 页 说明书 16 页 附图 19 页

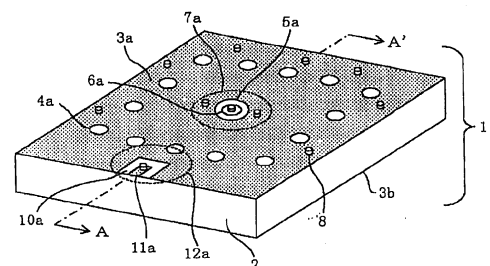
[54] 发明名称

电介质谐振器、其频率调整方法及具有其的集成电路

[57] 摘要

在使用了电介质谐振器(DR)的振荡器中,提高了电介质谐振器(DR)和振荡电路的耦合的控制性和再现性,且使集成电路小型化。电介质谐振器(DR)1,在电介质基板2的两面形成接地导体层3a、3b,由通孔4a连接两导体层。由接地导体层3a的中央部的槽5a和被槽5a包围的补片6a构成的耦合元件7a、与电介质谐振器(DR)1耦合。补片6a和振荡电路9上的传送线路13a经由凸起8连接。传送线路13a经由终端电阻15a接地。在振荡电路MMIC9上,传送线路13a与晶体管FET14的栅极连接。在晶体管FET14上连接有施加正反馈的电容性传送线路13b。晶体管FET14的输出,经由匹配电路16连接至输出用的传送线路13c。振荡电路9的输出用传送线路13c,凸起连接至共面

线路12a,该共面线路12a由在电介质谐振器(DR)1的基板端部形成的信号导体层11a、和接地导体层3a构成。



1. 一种电介质谐振器，具备封闭电磁波并具有三维扩展的有效谐振区域，其中，所述电介质谐振器至少包含一个耦合元件，进而所述至少一个耦合元件，包括：至少一个槽，在所述有效谐振区域的周围面的至少一部分上具有二维扩展并延伸的至少一个导体面上形成；和至少一个补片导体区域，与所述至少一个槽邻接。

2. 根据权利要求 1 所述的电介质谐振器，其中，所述有效谐振区域内部由电介质构成，另一方面，所述有效谐振区域的周围，由具有二维的扩展并延伸的导体结构体构成，以不形成超过谐振频率中电磁波波长的 $1/2$ 尺寸的间隙，所述至少一个导体面构成所述导体结构体的一部分。

3. 根据权利要求 2 所述的电介质谐振器，其中，在所述有效谐振区域的周围延伸的所述导体结构，由在电介质基板的第一面上延伸的第一导体层、在所述电介质基板的第二面上延伸的第二导体层、和埋藏在所述电介质基板中的至少一个埋藏导体构成。

4. 根据权利要求 3 所述的电介质谐振器，其中，所述至少一个埋藏导体，从所述电介质基板的平面看，由环状不连续地延伸的多个埋藏导体构成，所述多个埋藏导体间的距离为所述波长的 $1/2$ 或 $1/2$ 以下。

5. 根据权利要求 4 所述的电介质谐振器，其中，所述多个埋藏导体，是在贯通所述电介质基板的多个通孔中形成的多个贯通插塞，以连接所述第一及第二导体层，所述多个贯通插塞的间隔为所述波长的 $1/2$ 或 $1/2$ 以下。

6. 根据权利要求 3 所述的电介质谐振器，其中，所述至少一个

埋藏导体，从所述电介质基板的平面看，由环状连续地延伸的埋藏导体构成。

5 7. 根据权利要求 3 所述的电介质谐振器，其中，所述至少一个槽在所述第一及第二导体层的至少一个上形成。

8. 根据权利要求 3 所述的电介质谐振器，其中，所述至少一个导体面由所述第一导体层构成，相对于所述第一导体层上的所述至少一个耦合元件存在的区域，在从所述电介质基板的平面看对应的所述
10 第二导体层的区域上形成至少一个开口部。

9. 根据权利要求 8 所述的电介质谐振器，其中，所述至少一个开口部由尺寸不均的多个开口部构成。

15 10. 根据权利要求 9 所述的电介质谐振器，其中，所述多个开口部被配置在同心圆上。

11. 根据权利要求 8 所述的电介质谐振器，其中，所述至少一个开口部由导电性材料填充在其中。
20

12. 根据权利要求 1 所述的电介质谐振器，其中，所述槽至少部分地包围所述补片导体区域。

13. 根据权利要求 12 所述的电介质谐振器，其中，所述槽完全
25 包围所述补片区域。

14. 根据权利要求 1 所述的电介质谐振器，其中，所述至少一个耦合元件由多个耦合元件构成。

30 15. 根据权利要求 14 所述的电介质谐振器，其中，所述多个耦

合元件由同一种类的多个耦合元件构成。

16. 根据权利要求 14 所述的电介质谐振器，其中，所述多个耦合元件由不同种类的多个耦合元件构成。

5

17. 根据权利要求 1 所述的电介质谐振器，其中，还包括在所述有效谐振区域外形成的至少一个共面线路。

10

18. 根据权利要求 1 所述的电介质谐振器，其中，所述电介质谐振器还包括在所述有效谐振区域内形成的至少一个共面线路。

19. 根据权利要求 17 所述的电介质谐振器，其中，所述电介质谐振器还包括在形成了所述耦合元件的区域内形成的至少一个共面线路。

15

20. 根据权利要求 18 所述的电介质谐振器，其中，所述电介质谐振器，还包括在所述耦合元件存在的区域内形成、以与所述至少一个槽邻接的至少一个信号导体层，所述至少一个信号导体层构成至少一个共面线路。

20

21. 根据权利要求 20 所述的电介质谐振器，其中，所述至少一个信号导体层，还与所述至少一个补片导体区域邻接。

25

22. 根据权利要求 20 所述的电介质谐振器，其中，所述至少一个信号导体层，进一步与所述至少一个补片导体区域至少部分重叠。

23. 根据权利要求 1 所述的电介质谐振器，其中，所述至少一个耦合元件，经由至少一个导电性接点连接至负电阻生成电路。

30

24. 根据权利要求 23 所述的电介质谐振器，其中，所述导电性

接点由导电性凸起构成。

25. 一种集成电路，包括：电介质谐振器，具备封闭电磁波并具有三维扩展的有效谐振区域，其中，所述电介质谐振器至少包含一个耦合元件，进而所述至少一个耦合元件，包括：至少一个槽，在所述有效谐振区域的周围面的至少一部分上具有二维扩展并延伸的至少一个导体面上形成；和至少一个补片导体区域，与所述至少一个槽邻接；以及

5
10 负电阻生成电路，经由至少一个导电性接点连接至所述至少一个耦合元件。

26. 根据权利要求 25 所述的集成电路，其中，所述导电性接点由导电性凸起构成。

15 27. 根据权利要求 25 所述的集成电路，其中，所述至少一个负电阻生成电路包括第一传送线路，在第一电路基板上形成，并且直接与所述至少一个导电性接点连接。

20 28. 根据权利要求 27 所述的集成电路，其中，所述至少一个负电阻生成电路还包括在所述第一电路基板上形成的变容二极管，所述至少一个耦合元件，由经由第一导电性接点连接至所述第一传送线路的第一耦合元件、和经由第二导电性接点连接至所述变容二极管的第二耦合元件构成。

25 29. 根据权利要求 27 所述的集成电路，其中，所述至少一个负电阻生成电路构成包括至少一个振荡电路的有源元件。

30 30. 根据权利要求 29 所述的集成电路，其中，所述至少一个导电性接点被连接至所述第一传送线路的中央部，所述第一传送线路的第一端部与所述有源元件连接，所述第一传送线路的第二端部与终端

电阻连接。

31. 根据权利要求 29 所述的集成电路，其中，所述至少一个耦合元件，由经由第一导电性接点及所述第一传送线路连接至所述有源元件的输出侧的第一耦合元件、和经由第二导电性接点及所述第一传送线路连接至终端电阻的第二耦合元件构成。

32. 根据权利要求 29 所述的集成电路，其中，所述至少一个耦合元件，由经由第一导电性接点及所述第一传送线路连接至所述有源元件的输出侧的第一耦合元件、和经由第二传送线路连接至所述有源元件的输出侧的第二耦合元件构成。

33. 根据权利要求 27 所述的集成电路，其中，所述第一传送线路和在所述第一电路基板上形成的第三传送线路经由导电性凸起连接。

34. 根据权利要求 27 所述的集成电路，其中，所述第一传送线路和在所述第二电路基板上形成的第四传送线路经由导电性的凸起连接。

35. 根据权利要求 34 所述的集成电路，其中，在所述第二电路基板上形成凹部，在该凹部内收容搭载于所述电介质谐振器上的所述第一电路基板。

36. 根据权利要求 35 所述的集成电路，其中，通过封闭所述第二电路基板及所述电介质谐振器的间隙的树脂膜，将所述第一电路基板封闭在所述第二电路基板的凹部内。

37. 根据权利要求 25 所述的集成电路，其中，所述有效谐振区域内部由电介质构成，另一方面，所述有效谐振区域的周围，由具有

二维的扩展并延伸的导体结构体构成，以不形成超过谐振频率中电磁波波长的 $1/2$ 尺寸的间隙，所述至少一个导体面构成所述导体结构体的一部分。

5 38. 根据权利要求 37 所述的集成电路，其中，在所述有效谐振区域的周围延伸的所述导体结构，由在电介质基板的第一面上延伸的第一导体层、在所述电介质基板的第二面上延伸的第二导体层、和埋藏在所述电介质基板中的至少一个埋藏导体构成。

10 39. 根据权利要求 38 所述的集成电路，其中，所述至少一个埋藏导体，从所述电介质基板的平面看，由环状不连续地延伸的多个埋藏导体构成，所述多个埋藏导体间的距离为所述波长的 $1/2$ 或 $1/2$ 以下。

15 40. 根据权利要求 39 所述的集成电路，其中，所述多个埋藏导体，是贯通所述电介质基板的多个通孔中形成的多个贯通插塞、以连接所述第一及第二导体层，所述多个贯通插塞的间隔为所述波长的 $1/2$ 或 $1/2$ 以下。

20 41. 一种电介质谐振器，包括：电介质基板；第一导体层，在所述电介质基板的第一面上形成；第二导体层，在所述电介质基板的第二面上形成；多个贯通插塞，埋藏在多个通孔中，该多个通孔，以谐振频率中电磁波波长的 $1/2$ 或 $1/2$ 以下的间隔、从上述电介质基板的平面看环状不连续地被配置，且贯通所述电介质基板；有效谐振区域，
25 由所述第一及第二导体层和所述多个埋藏导体划定，封闭电磁波并具有三维扩展；和至少一个耦合元件，在所述有效谐振区域内，在所述第一导体层上形成，

 进而，所述至少一个耦合元件，包括在所述第一导体层上形成的至少一个槽、和与所述至少一个槽邻接的至少一个补片导体区域。

30

42. 根据权利要求要求 41 所述的电介质谐振器，其中，所述至少一个导体面由所述第一导体层构成，相对于所述第一导体层上的所述至少一个耦合元件存在的区域，在从所述电介质基板的平面看对应的所述第二导体层的区域上形成至少一个开口部。

5

43. 根据权利要求 42 所述的电介质谐振器，其中，所述至少一个开口部由尺寸不均的多个开口部构成。

44. 根据权利要求 43 所述的电介质谐振器，其中，所述多个开口部被配置在同心圆上。

10

45. 根据权利要求 43 所述的电介质谐振器，其中，所述至少一个开口部由导电性材料填充在其中。

46. 根据权利要求 41 所述的电介质谐振器，其中，所述至少一个耦合元件由同一种类的多个耦合元件构成。

15

47. 根据权利要求 41 所述的电介质谐振器，其中，所述至少一个耦合元件由不同种类的多个耦合元件构成。

20

48. 根据权利要求 41 所述的电介质谐振器，其中，还包括在所述有效谐振区域外形成的至少一个共面线路。

49. 根据权利要求 41 所述的电介质谐振器，其中，所述电介质谐振器还包括在所述有效谐振区域内形成的至少一个共面线路。

25

50. 根据权利要求 41 所述的电介质谐振器，其中，所述电介质谐振器还包括在形成了所述耦合元件的区域内形成的至少一个共面线路。

30

51. 根据权利要求 41 所述的电介质谐振器，其中，所述电介质谐振器，还包括在所述耦合元件存在的区域内形成、以与所述至少一个槽邻接的至少一个信号导体层，所述至少一个信号导体层构成至少一个共面线路。

5

52. 根据权利要求 51 所述的电介质谐振器，其中，所述至少一个信号导体层，还与所述至少一个补片导体区域邻接。

10

53. 根据权利要求 51 所述的电介质谐振器，其中，所述至少一个信号导体层，进一步与所述至少一个补片导体区域至少部分重叠。

54. 根据权利要求 41 所述的电介质谐振器，其中，所述至少一个耦合元件，经由至少一个导电性接点连接至负电阻生成电路。

15

55. 根据权利要求 54 所述的电介质谐振器，其中，所述导电性接点由导电性凸起构成。

20

56. 一种集成电路，包括：电介质谐振器，该电介质谐振器包括：电介质基板；第一导体层，在所述电介质基板的第一面上形成；第二导体层，在所述电介质基板的第二面上形成；多个贯通插塞，埋藏在多个通孔中，该多个通孔，以谐振频率中电磁波波长的 $1/2$ 或 $1/2$ 以下的间隔、从上述电介质基板的平面看环状不连续地被配置，且贯通所述电介质基板；有效谐振区域，由所述第一及第二导体层和所述多个埋藏导体划定，封闭电磁波并具有三维扩展；和至少一个耦合元件，

25

在所述有效谐振区域内，在所述第一导体层上形成，进而，所述至少一个耦合元件，包括在所述第一导体层上形成的至少一个槽、和与所述至少一个槽邻接的至少一个补片导体区域；以及

振荡电路，在第一电路基板上形成，并且经由导电性凸起连接至所述至少一个耦合元件。

30

57. 根据权利要求 56 所述的集成电路，其中，所述振荡电路还包括在所述第一电路基板上形成的变容二极管，所述至少一个耦合元件，由经由第一导电性凸起连接至所述第一传送线路的第一耦合元件、和经由第二导电性凸起连接至所述变容二极管的第二耦合元件构成。

58. 根据权利要求 57 所述的集成电路，其中，所述第一传送线路的第一端部与所述振荡电路连接，所述第一传送线路的第二端部与终端电阻连接。

59. 根据权利要求 57 所述的集成电路，其中，所述至少一个耦合元件，由经由第一导电性凸起及所述第一传送线路连接至所述振荡电路的输出侧的第一耦合元件、和经由第二导电性凸起及所述第一传送线路连接至终端电阻的第二耦合元件构成。

60. 根据权利要求 57 所述的集成电路，其中，所述至少一个耦合元件，由经由第一导电性凸起及所述第一传送线路连接至所述振荡电路的输出侧的第一耦合元件、和经由第二传送线路连接至所述振荡电路的输出侧的第二耦合元件构成。

61. 根据权利要求 57 所述的集成电路，其中，所述第一传送线路和在所述第一电路基板上形成的第三传送线路经由导电性凸起连接。

62. 根据权利要求 57 所述的集成电路，其中，所述第一传送线路和在所述第二电路基板上形成的第四传送线路经由导电性的凸起连接。

63. 根据权利要求 62 所述的集成电路，其中，在所述第二电路基板上形成凹部，在该凹部内收容搭载于所述电介质谐振器上的所述

第一电路板。

64. 根据权利要求 63 所述的集成电路，其中，通过封闭所述第二电路板及所述电介质谐振器的间隙的树脂膜，将所述第一电路板封闭在所述第二电路板的凹部内。

5

电介质谐振器、其频率调整方法及具有其的集成电路

5 技术领域

本发明涉及用于微波或毫波带的电介质谐振器、其频率调整方法及使用了该电介质谐振器的集成电路。

背景技术

10 以更为充分地说明本发明涉及的当前的技术水准为目的，在此参照在本申请中引用或特定的全部专利、专利申请、专利公报、科学论文等，从而组合所有这些说明。

在用于微波或毫波带的振荡器中，为了提高相位噪声及频率稳定度，使用电介质谐振器（DR）。图 1 是表示具有一现有例的电介质谐振器的振荡器（DRO）的结构的等效电路图。为了得到负电阻，在晶体管 FET14 的源极连接有电容性的微带线路 28b。从晶体管 FET14 的栅极延伸的微带线路 28a 与圆筒状的 TE₀₁ δ 模式的电介质谐振器 1 感应性耦合。此时，耦合度根据电介质谐振器 1 和微带线路 28a 的距离来调整。在电介质谐振器 1 的谐振频率中，来自晶体管 FET14 侧的电磁波被反射，在谐振频率以外被吸收到终端电阻 15a。因此，在谐振频率中具有大的负电阻值。在晶体管 FET14 的漏极，连接有一满足振荡条件的方式设计的匹配电路 16（由传送线路和电容器构成）。经由～数 kΩ 的电阻 15b 施加晶体管 FET14 的栅极偏压 17a，并经由匹配电路 16 施加漏极偏压 17b。此外，通过连接到与电介质谐振器 1 感应性耦合的微带线路 28c 一端的变容二极管 20，对谐振频率进行微调。为了将控制电压 17c 施加到变容二极管 20 上，在变容二极管 20 的一端，连接有在动作频率中作为低电抗的电容器 21a，在另一端连接有 DC 接地的～数 kΩ 的电阻 15c。在这种结构中，电介质谐振器 1 的谐振频率由外形尺寸决定，因此要求很高的加工精度。此外，由于耦合

度根据电介质谐振器 1 和微带线路 28a 的距离来调整，因此对于电介质谐振器 1 的对位要求很高的精度（ $\sim 0.1\text{mm}$ ）。另外，由于电磁场还扩散到谐振器的外侧，因此存在实际安装到组件时振荡频率容易变化的问题。

5

因此，作为电介质谐振器和传送线路的连接结构，在特开平 11-145709 号公报中提出了图 2 所示的结构。图 2 是表示另一现有例的电介质谐振器和传送线路的耦合结构的分解透视图。电介质谐振器 1 由电介质基板 30 和导电板 29a、29b 构成。在电介质基板 30 的上部和下部的两面，形成具有圆形状相向的开口部的导体层 31a、31b。在导体层 31a 上部由薄膜形成技术形成电介质层 32。进而，在电介质层 32 的上部形成信号导体层 33。在这种结构中，形成了电介质基板 30 的开口部的区域，作为谐振器而动作。该专利文献 1 的情况，也和图 1 的结构一样，耦合度根据谐振器和信号导体层 33 的距离来调整，但通过使用薄膜形成技术可以对信号导体层 33 的位置进行高精度的控制，因此耦合度的偏差很小。

10

15

但是，在上述特开平 11-145709 号公报的例中，与圆筒状的电介质谐振器相比，虽然扩散到谐振器外部的电磁场很少，但向上部及下部方向同样进行扩散，因此需要使构成振荡器的其他线路、晶体管 FET 等从谐振器远离进行配置。即在上部及下部无法配置。其结果，存在电路变大的问题。此外，由于电屏蔽，因此如图 2 所示，存在另外需要覆盖谐振器部的导电板 29a、29b 的问题。

20

25 发明内容

本发明的目的在于提供一种没有上述问题的电介质谐振器。

本发明的其他目的在于提供一种具有没有上述问题的电介质谐振器的集成电路。

30

根据本发明的一个侧面，提供一种电介质谐振器，具备封闭电磁波并具有三维扩展的有效谐振区域，其中，所述电介质谐振器至少包含一个耦合元件，进而所述至少一个耦合元件，包括：至少一个槽，在所述有效谐振区域的周围面的至少一部分上具有二维扩展并延伸的至少一个导体面上形成；和至少一个补片导体区域，与所述至少一个槽邻接。

优选的是，所述有效谐振区域内部由电介质构成，另一方面，所述有效谐振区域的周围，由具有二维的扩展并延伸的导体结构体构成，以不形成超过谐振频率中电磁波波长的 $1/2$ 尺寸的间隙，所述至少一个导体面构成所述导体结构体的一部分。

进一步优选的是，在所述有效谐振区域的周围延伸的所述导体结构，由在电介质基板的第一面上延伸的第一导体层、在所述电介质基板的第二面上延伸的第二导体层、和埋藏在所述电介质基板中的至少一个埋藏导体构成。

进一步优选的是，所述至少一个埋藏导体，从所述电介质基板的平面看，由环状不连续地延伸的多个埋藏导体构成，所述多个埋藏导体间的距离为所述波长的 $1/2$ 或 $1/2$ 以下。

进一步优选的是，所述多个埋藏导体，是在贯通所述电介质基板的多个通孔中形成的多个贯通插塞、以连接所述第一及第二导体层间，所述多个贯通插塞的间隔为所述波长的 $1/2$ 或 $1/2$ 以下。

所述至少一个埋藏导体，从所述电介质基板的平面看，可以由环状连续地延伸的埋藏导体构成。

所述至少一个槽可以在所述第一及第二导体层的至少一个上形成。

优选的是，所述至少一个导体面由所述第一导体层构成，相对于所述第一导体层上的所述至少一个耦合元件存在的区域，在从所述电介质基板的平面看对应的所述第二导体层的区域上形成至少一个开口部。所述至少一个开口部也可以由尺寸不均的多个开口部构成。此外，所述多个开口部也可以被配置在同心圆上。所述至少一个开口部也可以由导电性材料填充在其中。

所述槽可以至少部分包围所述补片导体区域。所述槽也可以完全包围所述补片区域。

所述至少一个耦合元件可以由多个耦合元件构成。所述多个耦合元件可以由同一种类的多个耦合元件构成。所述多个耦合元件也可以由不同种类的多个耦合元件构成。

所述电介质谐振器，还可以包括在所述有效谐振区域外形成的至少一个共面线路。

所述电介质谐振器还可以包括在所述有效谐振区域内形成的至少一个共面线路。

所述电介质谐振器还可以包括在形成了所述耦合元件的区域内形成的至少一个共面线路。

优选的是，所述电介质谐振器，还包括在所述耦合元件存在的区域内形成、以与所述至少一个槽邻接的至少一个信号导体层，所述至少一个信号导体层构成至少一个共面线路。所述至少一个信号导体层，还可以与所述至少一个补片导体区域邻接。所述至少一个信号导体层，可以进一步与所述至少一个补片导体区域至少部分重叠。

所述至少一个耦合元件，可以经由至少一个导电性接点连接至负电阻生成电路。所述导电性接点可以由导电性凸起构成。

5 根据本发明的第二侧面，提供一种集成电路，包括：电介质谐振器，具备封闭电磁波并具有三维扩展的有效谐振区域，其中，所述电介质谐振器至少包含一个耦合元件，进而所述至少一个耦合元件，包括：至少一个槽，在所述有效谐振区域的周围面的至少一部分上具有二维扩展并延伸的至少一个导体面上形成；和至少一个补片导体区域，与所述至少一个槽邻接；以及负电阻生成电路，经由至少一个导电性接点连接至所述至少一个耦合元件。

10

所述导电性接点可以由导电性凸起构成。

所述至少一个负电阻生成电路包括第一传送线路，可以在第一电路基板上形成，并且直接与所述至少一个导电性接点连接。

15

优选的是，所述至少一个负电阻生成电路还包括在所述第一电路基板上形成的变容二极管，所述至少一个耦合元件，由经由第一导电性接点连接至所述第一传送线路的第一耦合元件、和经由第二导电性接点连接至所述变容二极管连接的第二耦合元件构成。

20

所述至少一个负电阻生成电路可以构成包括至少一个振荡电路的有源元件。

25 优选的是，所述至少一个导电性接点被连接至所述第一传送线路的中央部，所述第一传送线路的第一端部与所述有源元件连接，所述第一传送线路的第二端部与终端电阻连接。此外，所述至少一个耦合元件，可以由经由第一导电性接点及所述第一传送线路连接至所述有源元件的输出侧的第一耦合元件、和经由第二导电性接点及所述第一传送线路连接至终端电阻的第二耦合元件构成。此外，所述至少一个

30

耦合元件，可以由经由第一导电性接点及所述第一传送线路连接至所述有源元件的输出侧的第一耦合元件、和经由第二传送线路连接至所述有源元件的输出侧的第二耦合元件构成。

5 所述第一传送线路和在所述第一电路基板上形成的第三传送线路可以经由导电性凸起连接。

 所述第一传送线路和在所述第二电路基板上形成的第四传送线路可以经由导电性的凸起连接。

10

 可以在所述第二电路基板上形成凹部，在该凹部内收容搭载于所述电介质谐振器上的所述第一电路基板。可以通过封闭所述第二电路基板及所述电介质谐振器的间隙的树脂膜，将所述第一电路基板封闭在所述第二电路基板的凹部内。

15

 优选的是，所述有效谐振区域内部由电介质构成，另一方面，所述有效谐振区域的周围，由具有二维的扩展并延伸的导体结构体构成，以不形成超过谐振频率中电磁波波长的 $1/2$ 尺寸的间隙，所述至少一个导体面构成所述导体结构体的一部分。

20

 在所述有效谐振区域的周围延伸的所述导体结构，可以由在电介质基板的第一面上延伸的第一导体层、在所述电介质基板的第二面上延伸的第二导体层、和埋藏在所述电介质基板中的至少一个埋藏导体构成。

25

 优选的是，所述至少一个埋藏导体，从所述电介质基板的平面看，由环状不连续地延伸的多个埋藏导体构成，所述多个埋藏导体间的距离为所述波长的 $1/2$ 或 $1/2$ 以下。

30

 优选的是，所述多个埋藏导体，是在贯通所述电介质基板的多个

通孔中形成的多个贯通插塞、以连接所述第一及第二导体层间，所述多个贯通插塞的间隔为所述波长的 $1/2$ 或 $1/2$ 以下。

5 根据本发明的第三侧面，提供一种电介质谐振器，包括：电介质基板；第一导体层，在所述电介质基板的第一面上形成；第二导体层，在所述电介质基板的第二面上形成；多个贯通插塞，埋藏在多个通孔中，该多个通孔，以谐振频率中电磁波波长的 $1/2$ 或 $1/2$ 以下的间隔、以上述电介质基板的平面看环状不连续地被配置，且贯通所述电介质基板；有效谐振区域，由所述第一及第二导体层和所述多个埋藏导体
10 划定，封闭电磁波并具有三维扩展；和至少一个耦合元件，在所述有效谐振区域内，在所述第一导体层上形成，进而，所述至少一个耦合元件，包括在所述第一导体层上形成的至少一个槽、和与所述至少一个槽邻接的至少一个补片导体区域。

15 优选的是，所述至少一个导体面由所述第一导体层构成，相对于所述第一导体层上的所述至少一个耦合元件存在的区域，在从所述电介质基板的平面看对应的所述第二导体层的区域上形成至少一个开口部。所述至少一个开口部可以由尺寸不均的多个开口部构成。所述多个开口部可以被配置在同心圆上。所述至少一个开口部可以由导电性
20 材料埋藏在其中。

所述至少一个耦合元件可以由同一种类的多个耦合元件构成。

所述至少一个耦合元件可以由不同种类的多个耦合元件构成。

25

还可以包括在所述有效谐振区域外形成的至少一个共面线路。

所述电介质谐振器还可以包括在所述有效谐振区域内形成的至少一个共面线路。

30

所述电介质谐振器还可以包括在形成了所述耦合元件的区域内形成的至少一个共面线路。

5 所述电介质谐振器，还可以包括在所述耦合元件存在的区域内形成、与至少一个槽邻接的至少一个信号导体层，所述至少一个信号导体层构成至少一个共面线路。所述至少一个信号导体层，还可以与至少一个补片导体区域邻接。所述至少一个信号导体层，可以进一步与至少一个补片导体区域至少部分重叠。

10 所述至少一个耦合元件，可以经由至少一个导电性接点连接至负电阻生成电路。所述导电性接点可以由导电性凸起构成。

根据本发明的第四侧面，提供一种集成电路，包括：电介质谐振器，该电介质谐振器包括：电介质基板；第一导体层，在所述电介质基板的第一面上形成；第二导体层，在所述电介质基板的第二面上形成；多个贯通插塞，埋藏在多个通孔中，该多个通孔，以谐振频率中电磁波波长的 $1/2$ 或 $1/2$ 以下的间隔、以上述电介质基板的平面看环状不连续地被配置，且贯通所述电介质基板；有效谐振区域，由所述第一及第二导体层和所述多个埋藏导体划定，封闭电磁波并具有三维扩展；和至少一个耦合元件，在所述有效谐振区域内，在所述第一导体层上形成，进而，所述至少一个耦合元件，包括在所述第一导体层上形成的至少一个槽、和与至少一个槽邻接的至少一个补片导体区域；以及振荡电路，在第一电路基板上形成，并且经由导电性凸起连接至所述至少一个耦合元件。

25

优选的是，所述振荡电路还包括在所述第一电路基板上形成的变容二极管，所述至少一个耦合元件，由经由第一导电性凸起连接至所述第一传送线路的第一耦合元件、和经由第二导电性凸起连接至所述变容二极管的第二耦合元件构成。优选的是，所述第一传送线路的第一端部与所述振荡电路连接，所述第一线路的第二端部与终端电阻连

30

接。

此外，所述至少一个耦合元件，可以由经由第一导电性凸起及所述第一传送线路连接至所述振荡电路的输出侧的第一耦合元件、和经由第二导电性凸起及所述第一传送线路连接至终端电阻的第二耦合元件构成。

此外，所述至少一个耦合元件，可以由经由第一导电性凸起及所述第一传送线路连接至所述振荡电路的输出侧的第一耦合元件、和经由第二传送线路连接至所述振荡电路的输出侧的第二耦合元件构成。

所述第一传送线路和在所述第一电路基板上形成的第三传送线路可以经由导电性凸起连接。

所述第一传送线路和在所述第二电路基板上形成的第四传送线路可以经由导电性的凸起连接。

可以在所述第二电路基板上形成凹部，在该凹部内收容搭载于所述电介质谐振器上的所述第一电路板。可以通过封闭所述第二电路板及所述电介质谐振器的间隙的树脂膜，将所述第一电路板封闭在所述第二电路基板的凹部内。

附图说明

图 1 是表示具有一现有例的电介质谐振器的振荡器（DRO）的结构等效电路图。

图 2 是表示其他现有例的电介质谐振器和传送线路的耦合结构的分解透视图。

图 3A 是表示本发明的实施方式 1 的第一结构例中的电介质谐振器的透视图。

图 3B 是表示具有图 3A 的点划线 A-A' 中的电介质谐振器的振荡

器 (DRO) 的纵向剖面图。

图 3C 是表示具有图 3A 的电介质谐振器的振荡器 (DRO) 的等效电路图。

5 图 4A 是表示本发明的实施方式 1 的第二结构例中的谐振器部的俯视图。

图 4B 是表示具有图 4A 的电介质谐振器的振荡器 (DRO) 的等效电路图。

图 5 是表示本发明的实施方式 1 的第三结构例的谐振器部的俯视图。

10 图 6A 是表示本发明的实施方式 2 的第一结构例中的电介质谐振器的俯视图。

图 6B 是具有图 6A 的电介质谐振器的振荡器 (DRO) 的等效电路图。

15 图 7A 是表示本发明的实施方式 3 的第一结构例中的电介质谐振器的俯视图。

图 7B 是具有图 7A 的电介质谐振器的振荡器 (DRO) 的等效电路图。

图 8 是表示本发明的实施方式 3 的第二结构例中的电介质谐振器的俯视图。

20 图 9 是表示具有本发明的实施方式 4 的第一结构例中的电介质谐振器的振荡器 (DRO) 的纵向剖面图。

图 10 是表示具有本发明的实施方式 4 的第二结构例中的电介质谐振器的振荡器 (DRO) 的纵向剖面图。

25 图 11A 是表示本发明的实施方式 5 的第一结构例中的电介质谐振器的透视图。

图 11B 是表示具有图 11A 的点划线 B-B' 中倒装片安装的电介质谐振器的振荡器 (DRO) 的纵向剖面图。

图 12A 是表示相对形成于本发明的电介质谐振器的开口数谐振频率的变化的计算结果的图。

30 图 12B 是表示相对形成于本发明的电介质谐振器的开口数空载 Q

的变化的计算结果的图。

具体实施方式

接下来，参照附图对本发明的实施方式进行详细说明。

5

(实施方式 1)

图 3A 是表示本发明的实施方式 1 的第一结构例中的电介质谐振器的透视图。图 3B 是表示具有图 3A 的点划线 A-A' 中的电介质谐振器的振荡器 (DRO) 的纵向剖面图。图 3C 是具有图 3A 的电介质谐振器的振荡器 (DRO) 的等效电路图。电介质谐振器 1，在电介质基板 2 的两面形成接地导体层 3a、3b，并由在环状配列于两导体层间的通孔 4a 内填充的插塞式 (plug) 导体 4b 连接。为了抑制源于通孔间的泄漏，通孔 4a 的间隔优选的是，电介质基板内的波长的 1/2 以下，更优选的是 1/4 以下。包围在该通孔及接地导体层 3a、3b 内的区域被称为有效谐振区域。在此，电介质谐振器 1，在基本动作下成为 TE₁₁₀ 模式谐振器。由接地导体层 3a 中央部的槽 (slot) 5a 和被槽 5a 包围的补片 (patch) 6a 构成的耦合元件 7a 与电介质谐振器 1 感应性耦合。耦合度通过槽 5a 的宽度、补片 6a 的尺寸、形成补片 6a 的位置来调整。由于耦合元件 7a 利用平板印刷等形成，因此耦合度的控制性很高。在本实施方式中，电磁波几乎被封闭在电介质基板 2 的有效谐振区域内。因此，可以不对谐振器的特性产生影响，就如图 3B 所示，在谐振器上部倒装片式安装振荡电路 9，可以小型化。

15

25

30

接下来，对具有本实施方式的电介质谐振器的振荡器 (DRO) 进行说明。补片 6a 和振荡电路 9 上的传送线路 13a 经由凸起 (bump) 8 连接。具体地说，进行倒装片安装。传送线路 13a 经由终端电阻 15a 接地。因此，仅谐振频率被反射，其他频率的电磁波由终端电阻 15a 吸收。在振荡电路 MMIC9 上，传送线路 13a 被连接至作为有源元件的晶体管 FET14 的栅极。在晶体管 FET14 上，为了得到负电阻，连接有施加正反馈的电容性的传送线路 13b。晶体管 FET14 的漏极，经

由由传送线路和电容器构成的匹配电路 16 连接至输出用的传送线路 13c。经由~数 k Ω 的电阻 15b 施加晶体管 FET14 的栅极偏压 17a，并经由匹配电路 16 施加漏极偏压 17b。振荡电路 9 的输出用的传送线路 13c 凸起连接到共面线路 12a，该共面线路 12a，由在电介质谐振器 1 的基板端形成的信号导体层 11a、和夹着槽 10a 配置的接地导体层 3a 构成。由此，从共面线路 12a 输出振荡器 (DRO) 的信号。如此，在本实施方式的结构中，输出用的共面线路 12a，被设置在由通孔列 4a 包围的电介质基板的有效谐振区域的外侧区域。因此，在谐振器上，开口部仅位于耦合元件 7a 上，可以将由开口部的电磁场的紊乱引起的谐振器的 Q 的降低限制最小。

图 4A 是表示本发明的实施方式 1 的第二结构例的谐振器部的俯视图。图 4B 是具有图 4A 的电介质谐振器的振荡器 (DRO) 的等效电路图。耦合元件，如图 4A 所示，也可以是在补片 6b 上连接了两个共面线路 19 的耦合元件 7b，该共面线路 19 由信号导体层 18a、和夹着槽 5b 配置的接地导体层 3a 构成。此时，如图 4B 所示，耦合元件 7b，相对于连接至晶体管 FET14 栅极的传送线路 13a 串连连接。因此，与经由具有电感成分的凸起分路连接的情况 (耦合元件 7a) 相比，容易得到大的耦合度。进而，由于在耦合元件 7b 连接有共面线路 19，因此在将振荡电路 MMIC9 安装到电介质谐振器 1 之前，具有容易进行晶圆 (on-wafer) 评价的优点。

图 5 是表示本发明实施方式 1 的第三结构例中的谐振器部的俯视图。耦合元件，如图 5 所示，也可以是通过在接地导体层 3a 上形成槽 5c 而设置补片 6c 构成的耦合元件 7c。在补片 6c 上，也可以连接与接地导体层 3a 一起构成共面线路的信号导体层 18b。在该耦合元件 7c 的情况下，在全部频率均反射，因此虽然需要注意不要发生在不需要的频率的振荡，但不需要终端电阻 15a。

在此，表示了 TE₁₁₀ 模式的谐振器的情况，但当然也可以是利用

了 TE210 模式等高级别模式的谐振器。

(实施方式 2)

图 6A 是表示本发明实施方式 2 的第一结构例中的电介质谐振器的俯视图。图 6B 是具有图 6A 的电介质谐振器的振荡器 (DRO) 的等效电路图。作为本发明的实施方式 2, 表示可以电调整具有电介质谐振器的振荡器 (DRO) 的频率的结构。在接地导体层 3a 上形成两个耦合元件 7d、7e。耦合元件 7d 被连接至从晶体管 FET14 的栅极延伸的传送线路 13a, 耦合元件 7e 被连接至在振荡电路 MMIC9 上形成的变容二极管 20。为了对变容二极管 20 施加控制电压 17c, 使耦合元件 7e 侧经由~数 k Ω 的电阻 15c 而 DC 接地。此外, 在与耦合元件 7e 相反的一侧, 连接有在动作频率中低电抗的电容器 21a。可以通过使控制电压 17c 变化, 变容二极管 20 的电容变化, 调整谐振器的谐振频率 (振荡频率)。可以使传送线路介于耦合元件 7e 和变容二极管 20 之间。此外, 在此, 作为与变容二极管 20 的耦合元件, 例举了使用耦合元件 7e, 但也可以使用耦合元件 7c。此时, 由于变容二极管 20 的耦合元件 7c 侧变为接地电位, 因此具有不需要电阻 15c 的优点。当然, 也可以选用耦合元件 7b 的构成替代耦合元件 7d。

(实施方式 3)

图 7A 是表示本发明实施方式 3 的第一结构例中的电介质谐振器的俯视图。图 7B 是具有图 7A 的电介质谐振器的振荡器 (DRO) 的等效电路图。振荡电路 9 的输出, 经由在切断 DC 偏压的动作频率具有低电抗的电容器 21b, 连接至通过在接地导体层 3a 形成槽 5e 而构成的耦合元件 7f。进一步, 通过形成槽 5e 而在接地导体层 3a 上设置耦合元件 7g。耦合元件 7g, 跨越谐振器的内侧和外侧, 与共面线路 12b 连接, 该共面线路 12b 由信号导体层 11b、和夹着槽 10b 配置的接地导体层 3a 构成。此时, 电介质谐振器 1, 仅输出谐振频率, 谐振频率以外均被反射。在本实施方式的结构中, 振荡电路 9 部的结构为基本的振荡器的结构, 电路设计变得容易。

图 8 是表示本发明实施方式 3 的第二结构例中的电介质谐振器的俯视图。输出用的共面线路，也可以如图 8 所示设置两个。此时，经由耦合元件 7h 输入到电介质谐振器 1 的信号，一部分经由耦合元件 7i 被输出到共面线路 12c，剩余部分经由耦合元件 7j 被输出到共面线路 12d。如此，电介质谐振器 1 具有 2 分配的功能，例如，在外差方式的情况下，可以作为发送机及接收机的局部振荡器用的信号源使用。在此，例举了 2 分配的例子，但也可以通过增加耦合元件的数量，使之成为 3 分配或 3 分配以上的多分配。

10

(实施方式 4)

图 9 是表示具有本发明实施方式 4 的第一结构例中的电介质谐振器的振荡器 (DRO) 的纵向剖面图。由于电磁波几乎完全被封闭在电介质谐振器 1 内，因此期待即使将倒装片安装了振荡电路 9 的电介质谐振器 1，进一步倒装片安装到如图 9 所示的组件等安装基板 22 上，振荡频率也不发生变化。在安装基板 22 上形成凹坑 23，在该凹坑 23 内内置振荡电路 9。在安装基板 22 的背面形成接地导体层 3d，在表面除去了信号导体层 24 的部分形成接地导体层 3c。电介质谐振器 1 上的共面线路 12a，通过凸起 8 连接至由安装基板 22 上的信号导体层 24 和接地导体层 3c 构成的共面线路。接地导体层 3c 和 3d，通过沿着凹坑 23 的外周配列、埋设在通孔 4c 内的插塞式导体 4d 连接。由此，内置有振荡电路 9 的凹坑 23 内被电磁性屏蔽。

15

20

图 10 是具有本发明实施方式 4 的第二结构例中的电介质谐振器的振荡器 (DRO) 的纵向剖面图。如图 10 所示，也可以通过热固化性的树脂 25 等增强电介质谐振器 1 的外周部。在本发明的结构中，由于在安装基板 22 上设置有凹坑 23，因此即使在外周部涂布了树脂 25 的情况下，树脂 25 也难以进入振荡电路 MMIC9 部。因此，可以期待由于使用树脂 25 而引起的振荡特性的变化几乎没有。

25

30

(实施方式 5)

图 11A 是表示本发明实施方式 5 的第一结构例中的电介质谐振器的透视图。图 11B 是表示具有图 11A 的点划线 B-B' 中倒装片安装的电介质谐振器的振荡器 (DRO) 的纵向剖面图。将电介质谐振器 1 倒装片安装到安装基板 22 上时, 电介质谐振器 1 的背面面对空气层。如图 11A 所示, 在电介质基板 1 背面的接地导体层 3b 形成多个开口 26。通过使用导电膏 27a 或焊线 27b 等埋藏在该开口 26 内, 可以调整电介质谐振器 1 的谐振频率。

图 12A 是表示相对在本发明的电介质谐振器上形成的开口数量谐振频率变化的计算结果的图。在 38GHz 带谐振器中, 表示计算了开口 26 的数量变化时谐振频率的变化。可知能通过改变开口 26 的个数, 阶段性地调整谐振频率。相对于谐振器的中心将开口配置为同心圆状时, 对于同心圆上的开口, 每 1 个对应的谐振频率的调整量几乎相同, 容易调整。此外, 通过改变开口 26 的尺寸, 可以改变每 1 个对应的谐振频率的调整量。形成了多个尺寸时, 可以形成每 1 个对应的调整量不同的开口, 可以进行谐振频率的微调整。

图 12B 是表示相对在本发明的电介质谐振器上形成的开口数、空载 Q 的变化的计算结果。表示图 12A 的情况下的空载 Q 的计算结果, 但看不到特别劣化。在此, 例举了预先形成开口 26、逐个埋藏的示例, 但也可以例如使用激光、依次形成开口 26、调整谐振频率。

以上对优选实施方式进行了说明, 但本发明并不限于上述实施方式, 在不脱离本发明主旨的范围内可以进行适当的变更。在实施方式中, 作为有源元件例举了场效应型晶体管 FET, 但也可以使用双极晶体管等。此外, 连接基板两面的接地导体层 3a、3b 及 3c、3d, 利用插塞式导体 4b、4d, 但也可以利用仅在电镀通孔这种通孔内壁面形成了导体层的结构。

根据本发明，将振荡电路倒装片连接到通过在电介质谐振器上部的接地导体层形成槽而构成的耦合元件，从而在使用了电介质谐振器的振荡器中，可以提高耦合的控制性和再现性，并且可以使电路小型化。此外，根据在耦合元件相反的接地导体层上形成多个尺寸不同的开口的实施方式，可以通过调整其数量进行高精度的频率调整。根据5 本发明，在作为负电阻生成电路的一例的振荡电路上连接了电介质谐振器，但不限于振荡电路，只要是生成负电阻的电路，通过连接本发明的电介质谐振器就可以得到本发明的效果。此外，作为连接负电阻生成电路和电介质谐振器的设备列举了凸起，但如布线这样有距离的虽然不是很优选，但不需要一定限定于凸起，也可以是作为接点起作用的设备。10

产业上的利用可能性

本发明涉及用于微波或毫波带的电介质谐振器、其频率调整方法及使用了该电介质谐振器的集成电路，可以适用于所有设备，在其利用可能性中并没有任何限定。15

参照了几个优选实施方式及实施例对本发明进行了说明，但这些实施方式及实施例仅仅是例举实例说明本发明，因此可以理解没有限定的意思。读了本说明书后，对本领域技术人员来说可以明白容易利用等效的结构要素及技术进行很多变更及置换，但可知这种变更及置换应该在权利要求范围及其主旨之内。20

图1

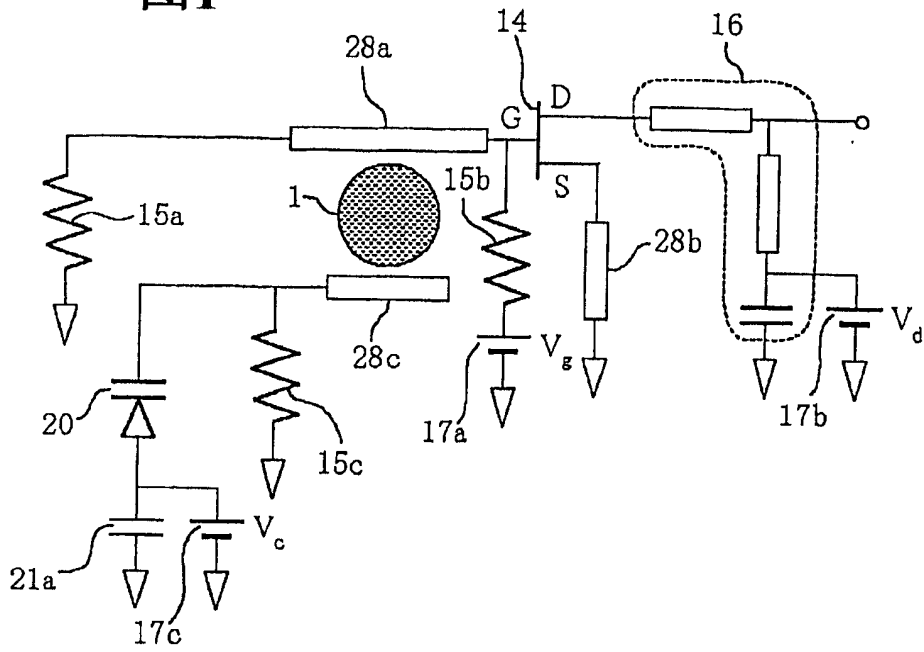


图2

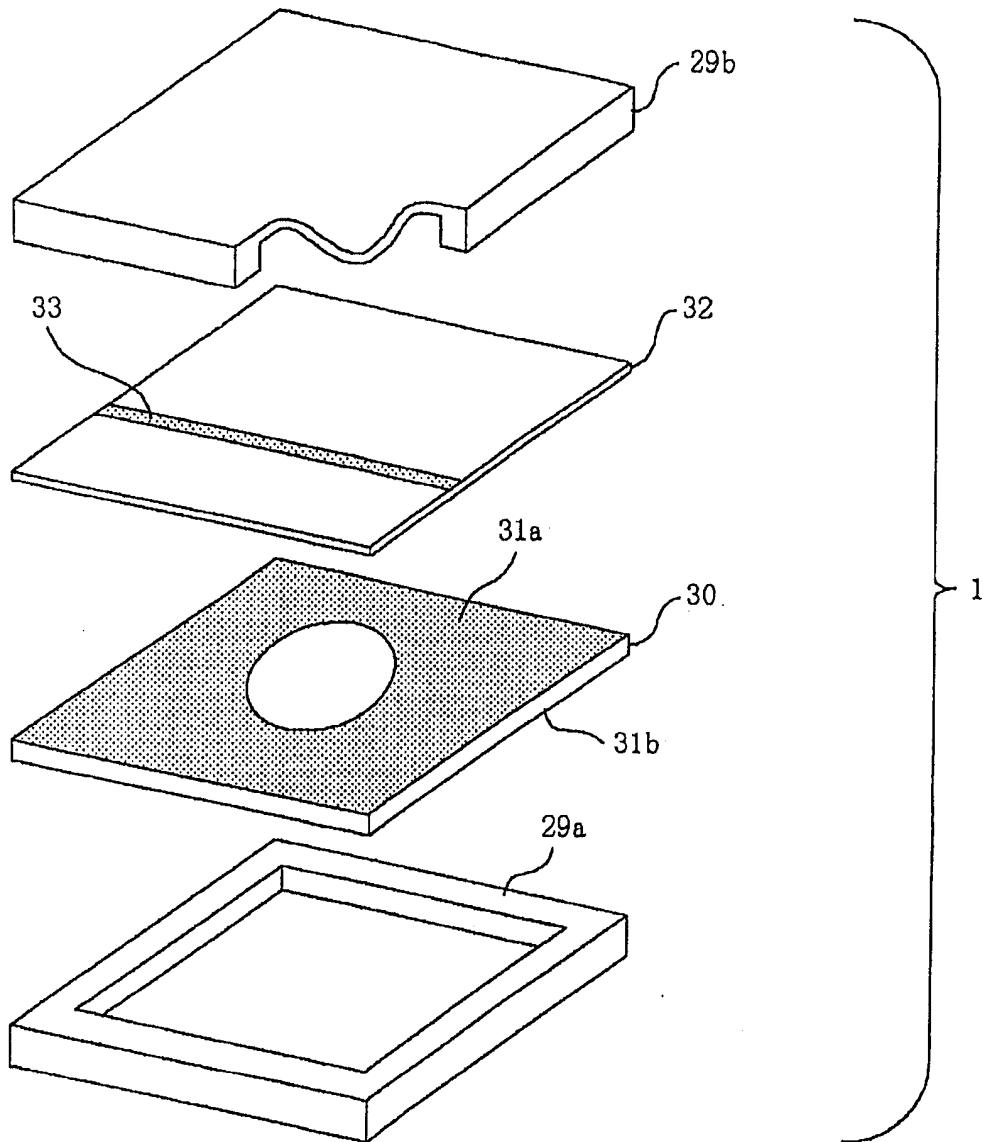


图3A

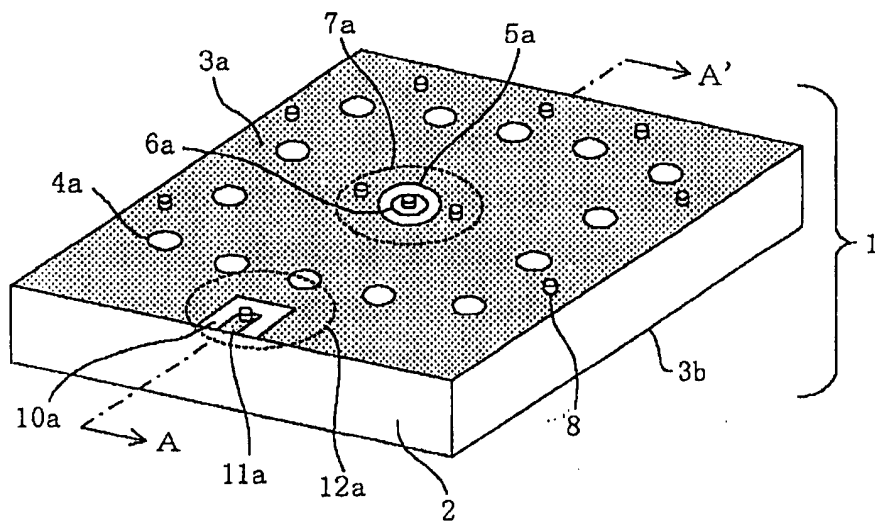


图3B

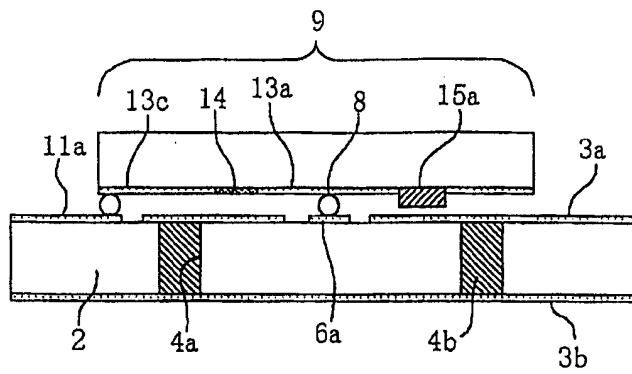


图3C

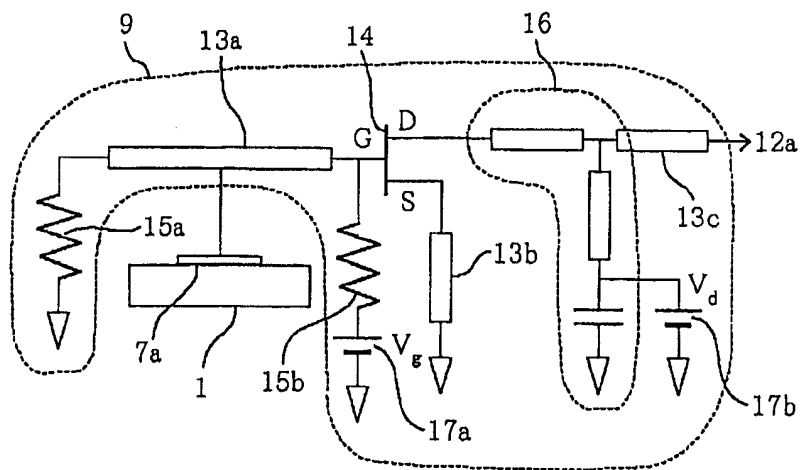


图4A

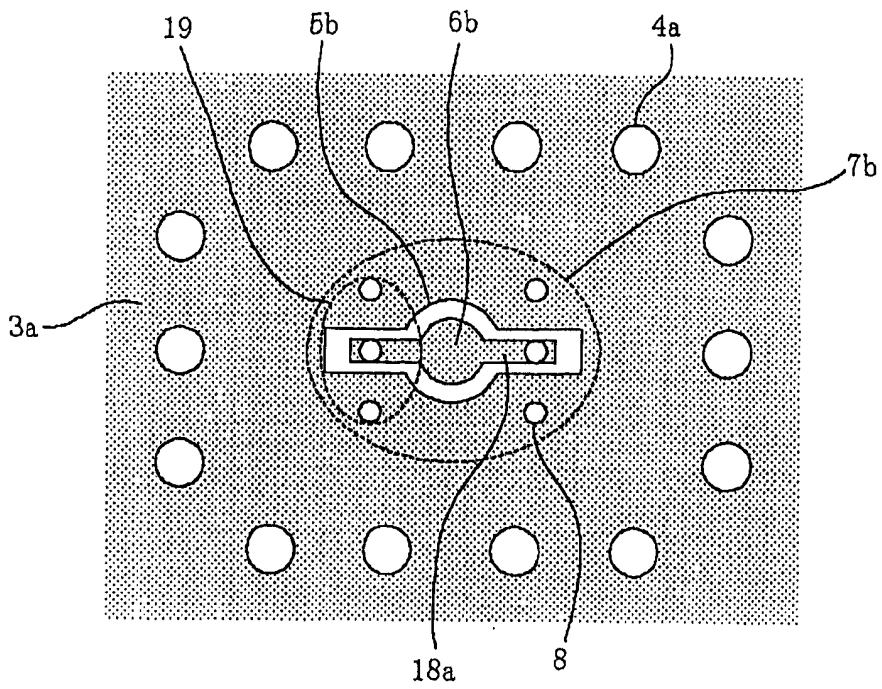


图4B

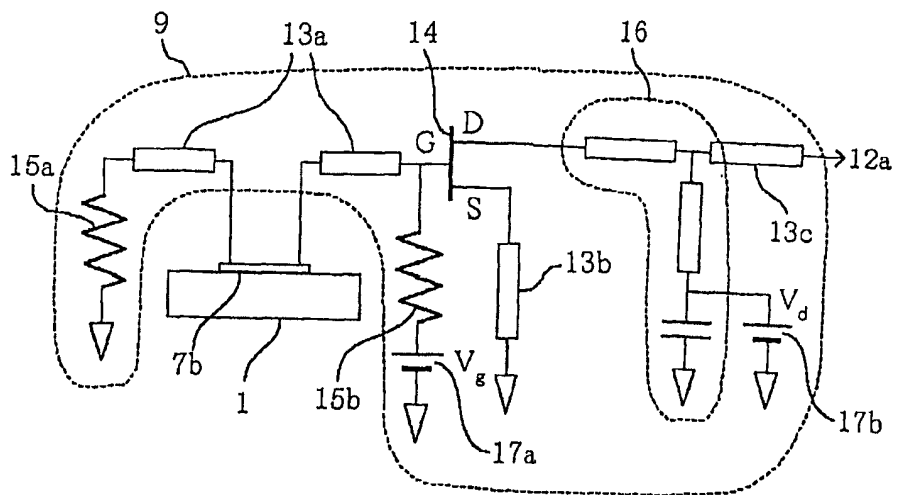


图5

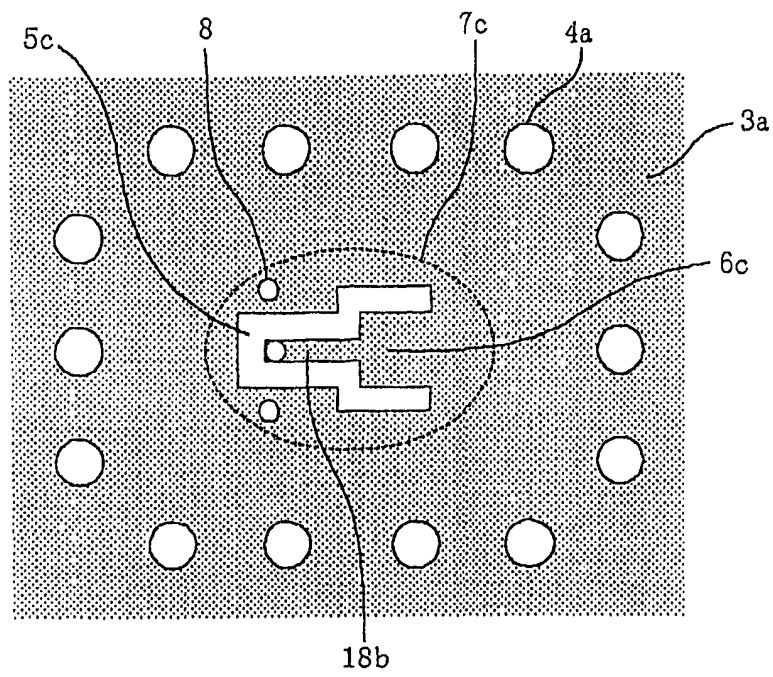


图6A

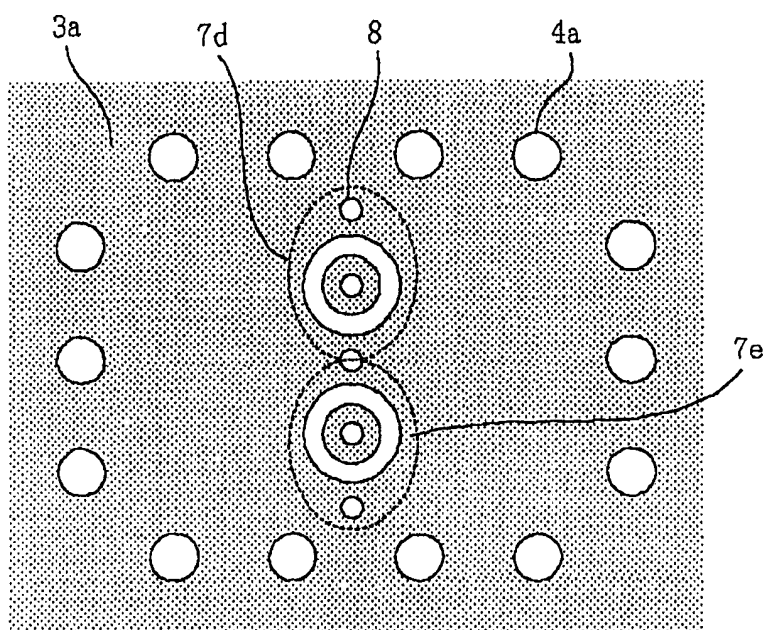


图6B

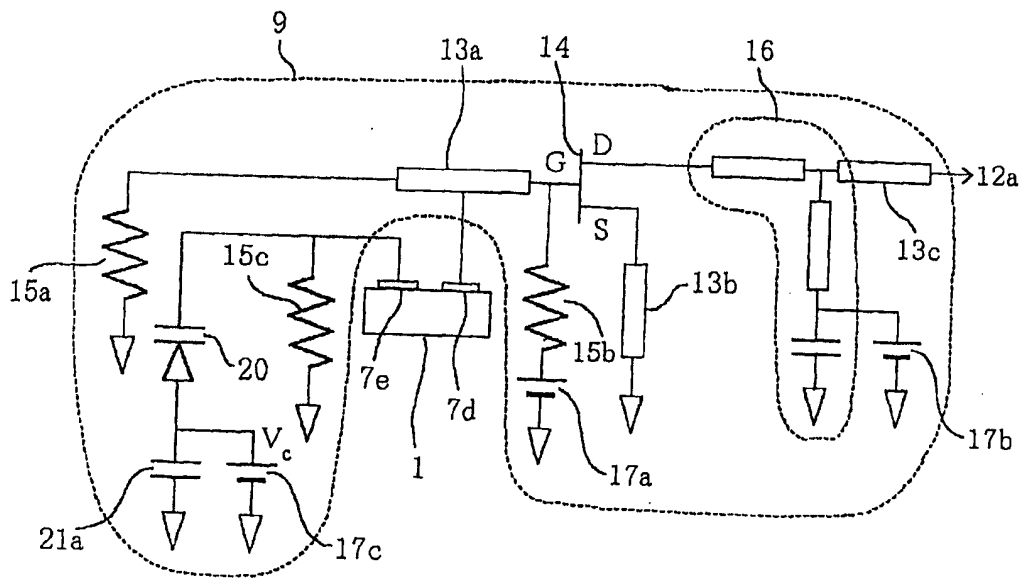


图7A

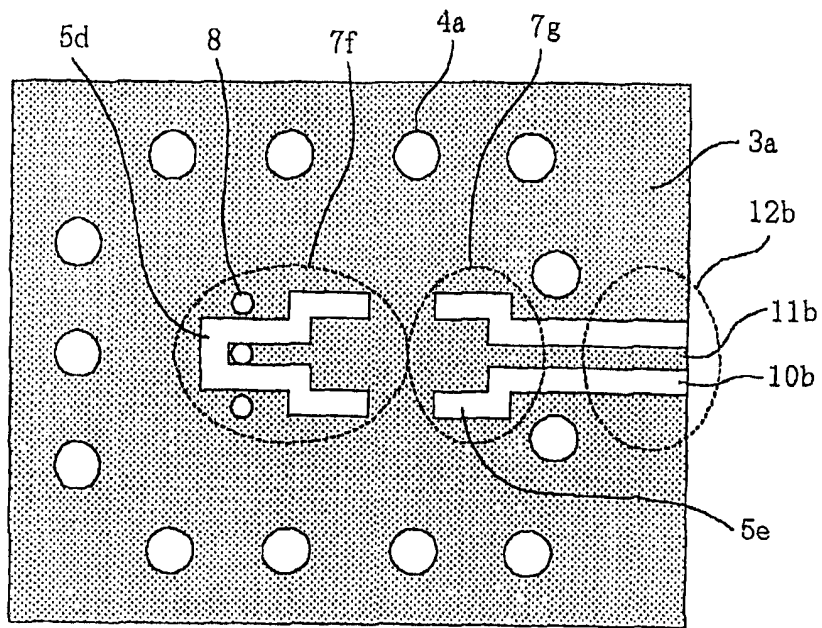


图7B

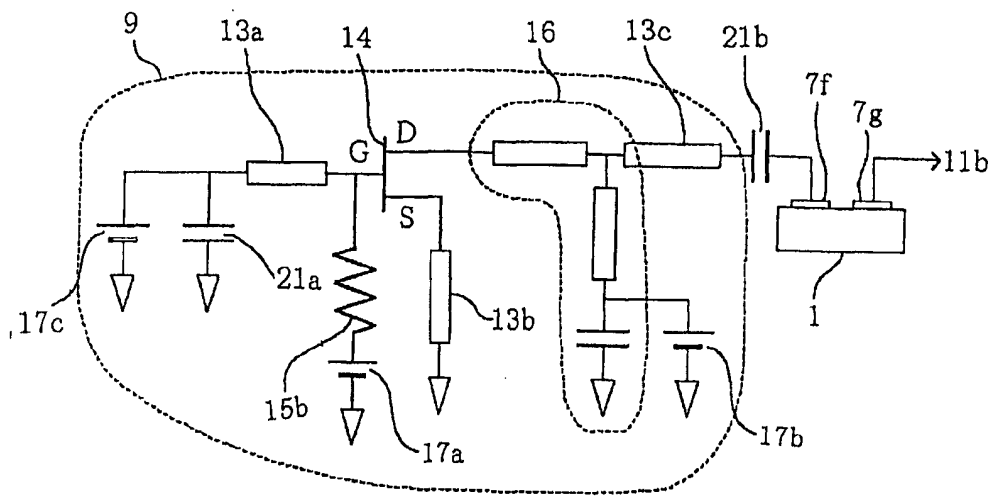


图8

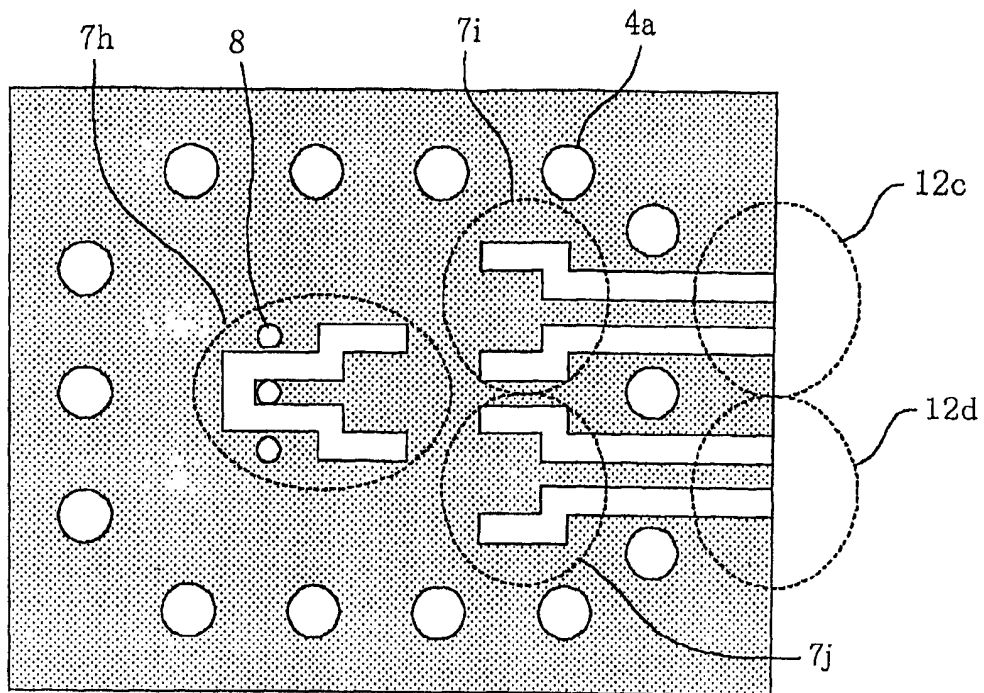


图9

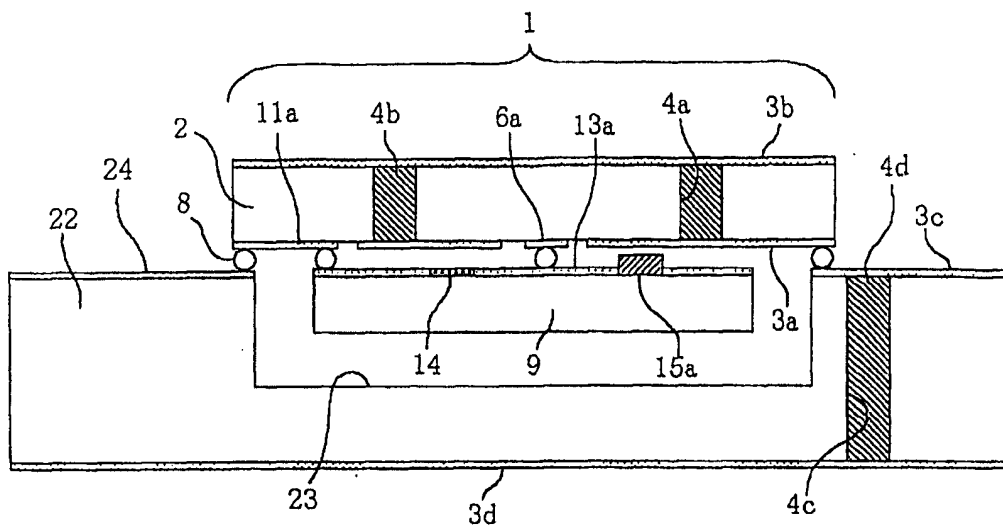


图10

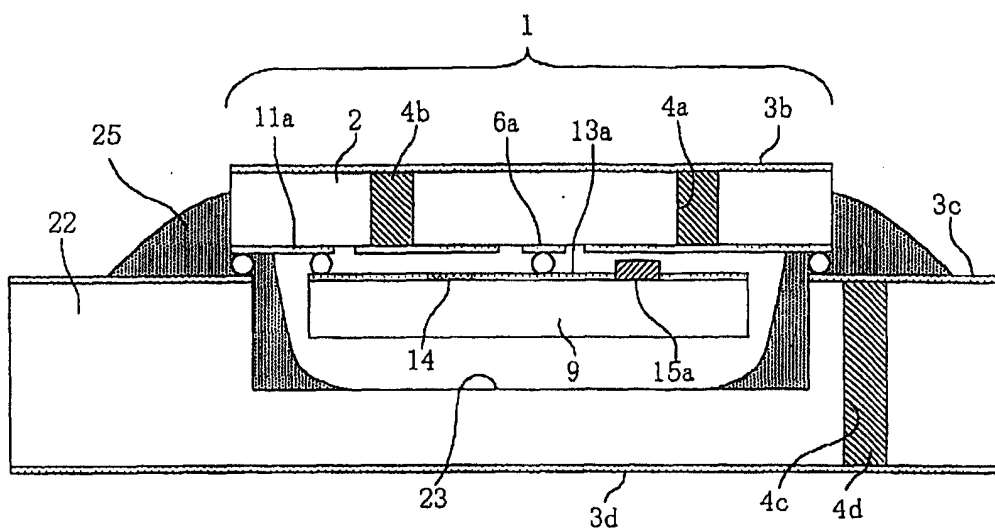


图11A

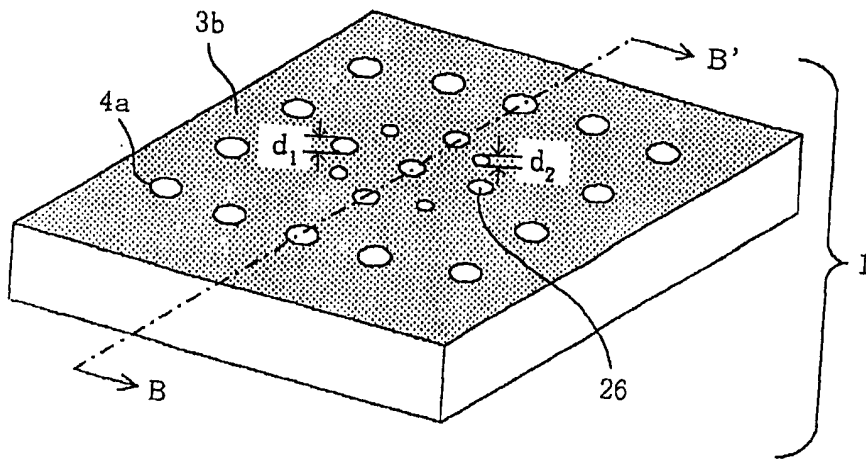


图11B

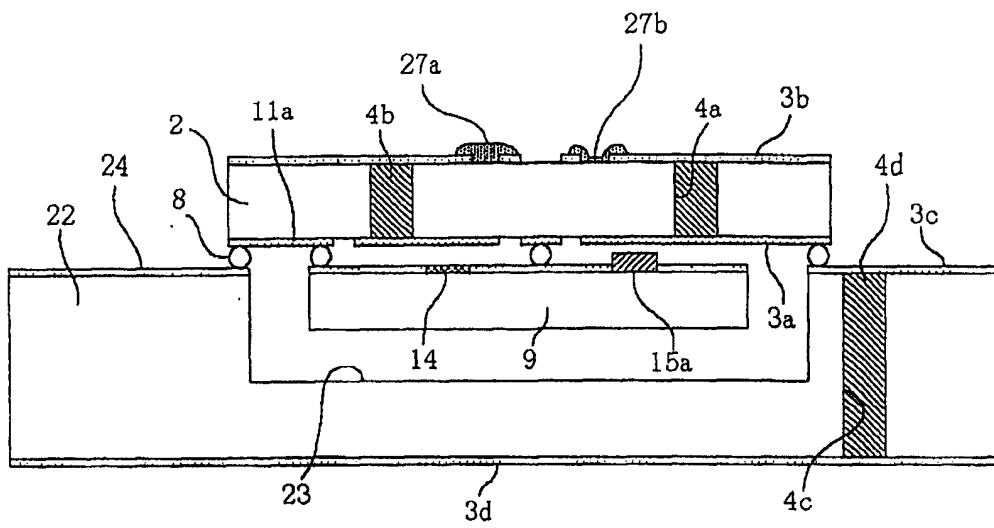


图12A

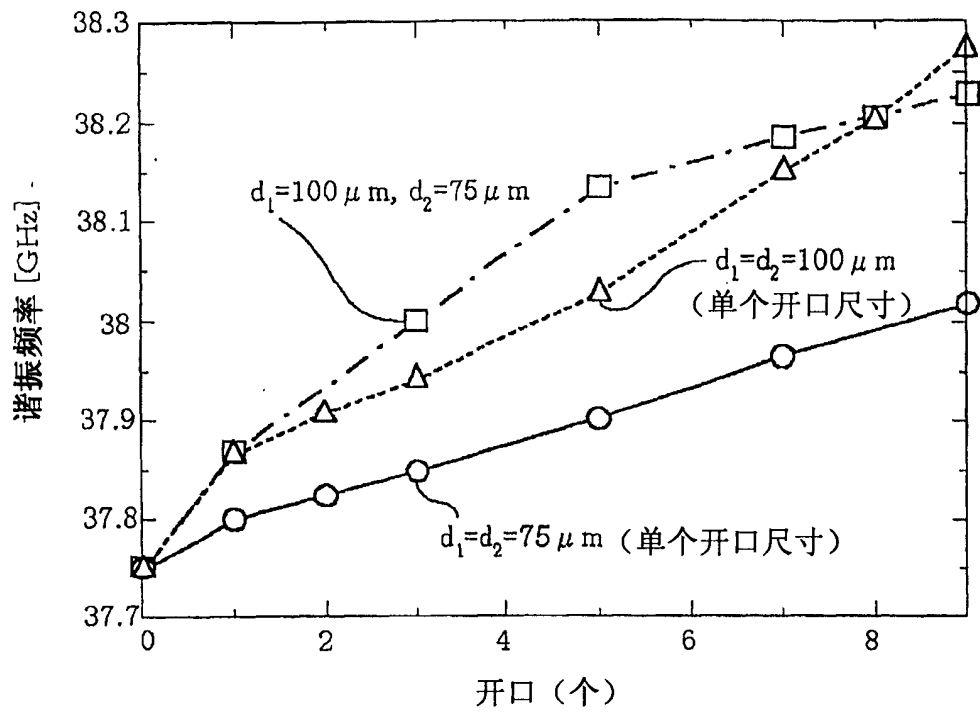


图12B

