

發明專利說明書

200529302

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：93120802

※申請日期：93.7.12

※IPC 分類：

H01L 21/28
21/02

一、發明名稱：(中文/英文)

矽化金屬閘極之製造方法

A METHOD TO FORM A METAL SILICIDE GATE DEVICE

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

台灣積體電路製造股份有限公司

TAIWAN SEMICONDUCTOR MANUFACTURING CO., LTD.

代表人：(中文/英文) 張 忠 謀 / CHANG, CHUNGMOU

住居所或營業所地址：(中文/英文)

新竹科學工業園區新竹市力行六路八號

NO.8, LI HSIN RD. 6, SCIENCE-BASED

INDUSTRIAL PARK, HSINCHU, TAIWAN, R.O.C.

國 籍：(中文/英文) 中華民國 / R.O.C.

三、發明人：(共 4 人)

姓 名：(中文/英文)

1. 詹博文 CHAN, BORWEN

2. 王志豪 WANG, CHIHHAO

3. 許呈鏘 HSU, LAWRENCE

4. 陶宏遠 TAO, HUNJAN

國 籍：(中文/英文)

1. 中華民國 / R.O.C.

2. 中華民國 / R.O.C.

3. 中華民國 / R.O.C.

4. 中華民國 / R.O.C.

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

US、2004/2/17、10/780,513

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明

【發明所屬之技術領域】

本發明是有關於一種積體電路的製造方法，且特別是有關於一種在積體電路的製程中形成矽化金屬閘極裝置之方法。

【先前技術】

積體電路的技術領域經常使用金屬-氧化物-半導體(MOS)之裝置。相較於雙極性電晶體裝置而言，金屬-氧化物-半導體(MOS)具有許多優點，例如可於積體電路的表面上形成達數百萬個 MOS 之裝置，而且所需要的閘極電流非常低。典型高密度 MOS 產品的閘極由多晶矽組成。以製程及電路元件的角度來看，使用多晶矽作為閘極材質雖然有許多好處，然而隨著元件尺寸的微縮，多晶矽的缺點已經引起廣泛的注意。相較於金屬材質，多晶矽的電阻值較高，在小尺寸的 MOS 裝置或是在高速的應用中，閘極電阻(即使是使用重摻雜的多晶矽)會嚴重影響元件裝置的效能。此外，多晶矽會引起須使用臨限佈植來補償之空乏效應。在低電壓的產品中，空乏效應更進一步限制以多晶矽為閘極材質之應用。

習知技術以調整或是取代多晶矽材質的方式來改善 MOS 電晶體的效能，其中一種方式係利用如第 1-4 圖所示之材質取代多晶矽層。參考第 1 圖，其繪示一部份完成的積體電路裝置之剖視圖。此積體電路裝置包含設有一連串

臨時閘極之半導體基材 10。利用覆蓋於基材 10 上之圖案化多晶矽層 18 形成每一閘極，且多晶矽層 18 與基材 10 之間設有閘介電層 14，然後形成源極及汲極區域 22，接著形成輕摻雜區域及重摻雜區域的一部份之間隙壁 26。之後形成罩幕層或是覆蓋層 30 覆蓋每個多晶矽閘極 18，最後形成絕緣層 34 覆蓋基材 10 及電性絕緣每個閘極。

上述製程中，顯示具有多晶矽閘極 18 之 MOS 裝置，然而在此製程中，閘極 18 為暫時性的結構並且作為以鑲嵌製程所形成之永久性金屬閘極的邊界。參考第 2 圖，移除覆蓋層 30、多晶矽層 18 及介電層 14，以曝露閘極開口 38。接著參考第 3 圖，先在閘極開口內的基材表面上形成介電層 42，然後沉積金屬層 46 以填滿閘極開口。最後參考第 4 圖，研磨閘極之間多餘的金屬層 46，使金屬層 46 材質侷限於閘極開口內。所形成的金屬層 46 之效能優於多晶矽閘極，特別是可減少閘極的電阻值。然而上述製程需要重新形成閘極介電層，並且需要進行研磨製程。

許多有關於矽化金屬閘極之方法與裝置，如 Xiang 等人所提出之第 6,465,309B1 號美國專利，揭露一種矽化金屬閘極的製造方法，先沉積一非晶矽層，再完全移除暫時的多晶矽閘極。另外，Lin 等人所提出的第 6,475,908B1 號美國專利，揭露一種矽化金屬閘極之 MOS 電晶體的製造方法，其中一實施例係形成暫時性的閘極再移除掉，並且在開口中形成金屬/氧化物之閘極，其中利用矽佈植製程及熱製程使金屬形成矽化金屬。另一篇由 Tseng 所提出的專利中，揭

露一種自行對準矽化金屬閘極，將一部分的多晶閘極轉換成矽化金屬。

【發明內容】

本發明之主要目的為提供一種矽化金屬閘極之 MOS 裝置的製造方法。

本發明再一目的為提供一種矽化金屬閘極之 MOS 裝置的製造方法，以節省重新形成閘極介電層的步驟。

本發明另一目的為提供一種在鑲嵌金屬內連線的製程步驟之前進行矽化金屬閘極之 MOS 裝置的製程。

本發明又一目的為提供一種矽化金屬閘極之 MOS 裝置的製造方法，以相容於雙厚度閘氧化層的製程。

本發明另一目的為提供一種矽化金屬閘極之 MOS 裝置的製造方法，以節省金屬研磨之製程步驟。

本發明另一目的為提供一種矽化金屬閘極之 MOS 裝置的製造方法，即使是在低電壓的產品中，亦可藉由臨限佈植步驟輕易地調整 MOS 裝置的臨限電壓值。

本發明另一目的為提供一種具有較佳效能的矽化金屬閘極之 MOS 裝置。

根據上述目的，本發明提供一種用於積體電路之矽化金屬閘極的製造方法，先形成覆蓋於基材之多晶矽線路，其中多晶矽線路與基材之間設有介電層。接著形成覆蓋於基材及多晶矽線路側壁之第一絕緣層，其中第一絕緣層介於每一多晶矽線路之間，但並不覆蓋在多晶矽線路的上表

面。然後蝕刻一部分的多晶矽線路，使得多晶矽線路的上表面低於第一絕緣層的上表面。之後沉積覆蓋於多晶矽線路上之金屬層。接著進行熱回火製程，以將多晶矽線路轉化成矽化金屬層。最後移除未反應的金屬層，以形成積體電路。

本發明提供一種矽化金屬閘極之 MOS 裝置，包含矽化金屬閘極及間隙壁。矽化金屬閘極覆蓋於基材上，其中基材與矽化金屬閘極之間設有介電層。間隙壁設於矽化金屬閘極的側壁上，且間隙壁高於矽化金屬閘極。

【實施方式】

本發明之較佳實施例揭露一種在積體電路製程中形成矽化金屬閘極之 MOS 裝置的方法。先移除一部份的閘極，然後形成矽化金屬。熟習此項技術者應知本發明適用於其他領域，而不脫離本發明之申請專利範圍。

參考第 5-18 圖，其繪示依據本發明之較佳實施例。本發明之重要特徵將於下文討論。參考第 5 圖，其顯示一部分的積體電路剖視圖，先提供一基材 50，例如半導體材質，以單結晶矽為較佳。半導體材質 50 亦可摻雜雜質離子，形成 n 型或是 p 型基材。

接著形成覆蓋於基材 50 之介電層 54a、54b，在一實施例中，介電層 54a、54b 包含絕緣材質，例如氧化材質作為介電材質，以熱氧化製程形成覆蓋於基材 50 之介電層 54a、54b 為較佳。另一實施例中，利用化學氣相沉積(CVD)法形

成氧化矽層 54a、54b，亦可使用金屬氧化物或是金屬氮氧化物作為絕緣材質。較佳實施例中，介電層 54a、54b 具有兩種不同的厚度，在邏輯電路元件核心區域(CORE)形成具有較薄的閘介電層 54a 之積體電路，而在輸出/輸入(I/O)元件區域形成較厚的閘介電層 54b。以此種方式，在設有薄閘介電層 54a 之核心區域形成高速 MOS 電晶體，而在設有厚閘介電層 54b 的 I/O 元件區域形成可承受高電壓的 MOS 電晶體。上述方式亦適用於形成多重厚度之閘介電層，然而使用多重厚度之閘介電層並非是本發明必要的結構。

參考第 6 圖，形成覆蓋於介電層 54a、54b 之多晶矽層 58。較佳實施例中，以化學氣相沉積(CVD)，如低壓化學氣相沉積(CVD)法形成多晶矽層 58，且多晶矽層 58 的厚度介於 200 至 5000 埃之間。由於多晶矽層 58 在轉換成矽化金屬之前被移除一部分，所以多晶矽層 58 的厚度相當重要。因此，多晶矽層 58 須有足夠的厚度，以避免被後續的蝕刻製程蝕刻穿透。雖然在後續形成閘極電阻製程中，完全的矽化層製程造成摻雜效應不明顯，但是多晶矽層 58 仍可為摻雜或是不摻雜之材質。

沉積覆蓋於多晶矽層 58 之硬罩幕層 62，其中硬罩幕層 62 用於對多晶矽層 58 進行圖案化，並且在後續的製程中保護多晶矽層 58 的表面。相較於多晶矽層 58，可對硬罩幕層 62 進行蝕刻。較佳實施例中，利用 CVD 法沉積氮化矽層，以形成硬罩幕層 62，其中硬罩幕層 62 的厚度介於 100 至 1000 埃之間。

參考第 7 圖，對硬罩幕層 62 進行圖案化。利用圖案化光阻層 72 進行圖案化步驟，例如使用光阻層 72 覆蓋於硬罩幕層 62 上，然後將光阻層 72 透過一光罩曝露於光源下，使得一部分的光阻聚合物 72 形成交錯連結(Cross-linked)，而其他剩餘的部分形成非交錯連結。接著對光阻層 72 進行顯影製程，以清除一部分的光阻層 72，而另一部分的光阻層 72 形成罩幕圖案。然後以圖案化的光阻層 72 為罩幕蝕刻硬罩幕層 62 上的光阻的罩幕圖案轉移至硬罩幕層 62 上。本發明之蝕刻步驟可為乾化學蝕刻法或是溼化學蝕刻法。在蝕刻硬罩幕層 62 之後，剝除光阻層 72。

參考第 8 圖，其顯示本發明之一重要特徵。對多晶矽層 58 進行圖案化，以形成 MOS 裝置之閘極。而且圖案化的硬罩幕層 62 作為蝕刻製程的罩幕，以使硬罩幕層 62 的圖案轉移至多晶矽層 58 上。本發明使用溼蝕刻製程或是乾蝕刻製程，較佳實施例中使用乾蝕刻製程蝕刻多晶矽層 58，例如使用反應式離子蝕刻法蝕刻多晶矽層 58，其中蝕刻製程可移除一部分的硬罩幕層 62 而形成圓弧形狀。

參考第 9 圖，進行離子佈植製程，以於基材 50 上形成第一摻雜區域 70，其中圖案化的多晶矽層 58 線路防止佈植離子進入位於該線路下方的基材 50 中。此種方式中，第一摻雜區域 70 鄰接於多晶矽層 58，或是與多晶矽層 58 自行對準。第一摻雜區域 70 的淺摻雜型式與基材 50 相反，例如使用淺摻雜汲極(LDD)結構。

參考第 10 圖，於多晶矽層 58 的側壁形成間隙壁 74。

間隙壁 74 的材質包括絕緣材質，例如氧化物或是氮化物，以氮化矽為較佳。較佳實施例中使用覆蓋於基材 50 及多晶矽層 58 之間隙薄膜形成間隙壁，接著以垂直方向對間隙薄膜進行蝕刻步驟，直至移除水平表面的間隙薄膜，而留下鄰接於多晶矽層 58 邊緣的間隙壁 74。所形成的間隙壁 74 之寬度介於 200 至 1000 埃之間。

參考第 11 圖，進行第二離子佈植製程 78，將離子植入沒有被多晶矽層 58 或是間隙壁 74 覆蓋的基材 50 區域內。此種方式中，第二摻雜區域 82 鄰接於間隙壁 74，或是與間隙壁 74 自行對準。第二摻雜區域 82 作為源極與汲極區域，且其重摻雜之型式與基材 50 相反。

參考第 12 及 13 圖，其顯示本發明之另一重要特徵，在第二重摻雜區域(源極/汲極區域)82 形成矽化金屬層 90，以減少源極/汲極區域 82 的電阻值。參考第 12 圖，形成覆蓋於基材 50 之金屬層 86，金屬層 86 包含可與矽產生反應之金屬，例如鈷、鎳或是鈦。之後進行熱回火製程，以使基材的矽材質與金屬層 86 產生大量反應，所產生的生成物為矽化金屬(MSi_x)。參考第 13 圖，由於間隙壁 74 及硬罩幕層 62 保護多晶矽線路 58，免於曝露在反應的金屬 86 中，所以只會在曝露的基材 50 上形成矽化金屬層 90，然後移除未反應的金屬 86。在製程中，多晶矽線路 58 作為支持物，使源極/汲極區域 82、第一摻雜區域(LDD)70、矽化金屬層 90 及間隙壁 74 對準。

參考第 14 圖，形成覆蓋於基材 50 之第一絕緣層 98，

並且在多晶矽線路 58 之間形成絕緣材質。在沉積第一絕緣層 98 之前，先形成覆蓋於基材 50、間隙壁 74 及硬罩幕層 62 之接觸停止層 94，接觸停止層 94 係作為後續金屬內連線製程之接觸開口蝕刻步驟所需之蝕刻停止層，較佳實施例中，接觸停止層 94 例如可為氮化矽。第一絕緣層 98 包括氧化層，例如使用 CVD 所形成之氧化矽材質，另一實施例中，第一絕緣層 98 的材質亦可為旋塗玻璃材質或是有機材質。較佳實施例中，第一絕緣層 98 的厚度可填滿多晶矽線路 58 之間的間隙，然後對第一絕緣層 98 進行平坦化步驟，移除多餘的第一絕緣層 98，使得第一絕緣材質 98 侷限於多晶矽線路 58 之間的間隙，平坦化步驟例如可為化學機械研磨(CMP)。硬罩幕層 62 保護多晶矽線路 58 的上表面，以避免被研磨，並且作為平坦化步驟的停止層。

參考第 15 圖，其顯示本發明之一重要特徵，蝕刻移除一部分的多晶矽線路 58，使形成的多晶矽線路 58' 之上表面低於第一絕緣層 98 的上表面。先蝕刻移除硬罩幕層 62，然後形成多晶矽線路 58'，例如使用乾蝕刻製程，以選擇性蝕刻多晶矽。較佳實施例中，多晶矽線路 58' 與第一絕緣層 98 的上表面之距離 D 介於 300 至 1000 埃之間，另一實施例中，剩餘的多晶矽線路 58' 之厚度介於 100 至 500 埃之間。更重要的是，多晶矽線路 58' 覆蓋並保護介電層 54a、54b，且多晶矽線路 58' 的厚度夠薄，使得後續的金屬矽化製程可完全地將多晶矽線路 58' 轉換成矽化金屬。

參考第 16 圖，其顯示本發明另一重要特徵，沉積覆蓋

於多晶矽線路 58' 及第一絕緣層 98 上之金屬層 100。金屬層 100 包括可與多晶矽線路 58' 進行反應之金屬，以形成矽化金屬。金屬層 100 的材質例如可為以物理氣相沉積法形成之鈷或是鎳。接著進行熱回火製程，以催化金屬層 100 與多晶矽線路 58' 的反應，例如整個元件裝置處於 150°C 至 800°C 的環境中回火 0.5 至 10 分中。此種處理方式將使多晶矽線路 58' 完全轉換成矽化金屬 (MSi_x) 層，如第 17 圖所示，之後移除未反應的金屬層 100，以形成厚度介於 100 至 900 埃之矽化金屬閘極 102。

參考第 18 圖，進行另一沉積製程，以形成覆蓋於矽化金屬閘極 102 及第一絕緣層 98 之第二絕緣層 106。在第二絕緣層 106 進行圖案化步驟，以形成接觸開口，然後沉積另一金屬層 110，以填入接觸開口中，並形成內連線之圖案。

繼續參考第 17 圖，說明本發明之矽化金屬閘極之 MOS 裝置。MOS 裝置包含以介電層 54a、54b 覆蓋於基材 50 之金屬閘極 102，位於金屬閘極 102 的側壁之間隙壁 74，且間隙壁 74 高於金屬閘極 102。MOS 裝置亦包括源極/汲極區域 82 以及輕摻雜區域 (LDD) 70，在源極/汲極區域 82 的基材 50 中形成矽化金屬層 90。

本發明之優點包括以有效、可行的製程方法形成矽化金屬閘極之 MOS 裝置，而且矽化金屬閘極之 MOS 裝置的製程不需要重新形成閘介電層。本發明係於鑲嵌金屬內連線的製程步驟之前進行矽化金屬閘極之 MOS 裝置的製程。另外，本發明之矽化金屬閘極之 MOS 裝置的製造方法相容

於雙厚度閘氧化層的製程。本發明之矽化金屬閘極之 MOS 裝置的製造方法並不需要金屬研磨步驟。此外，本發明之矽化金屬閘極之 MOS 裝置的製造方法，即使用在低電壓的產品中，亦可藉由臨限佈植步驟輕易地調整 MOS 裝置的臨限電壓值。而且，本發明之矽化金屬閘極之 MOS 裝置藉由幾少閘極的電阻值來改善 MOS 裝置的效能。

如上所述，相較於習知技術，本發明提供一種有效且可行的製程方法。

雖然本發明已用較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，特舉較佳實施例，並配合所附圖式，作詳細說明如下：

第 1-4 圖係繪示習知技術形成具有金屬閘極之 MOS 裝置。

第 5-18 圖係繪示依據本發明之較佳實施例。

【主要元件符號說明】

- | | |
|---------|----------|
| 10 基材 | 14 介電層 |
| 18 多晶矽層 | 22 源極/汲極 |

26 間隙壁	30 覆蓋層
34 絕緣層	38 開口
42 介電層	46 金屬層
50 基材	54a、54b 介電層
58 介電層	58' 多晶矽線路
62 硬罩幕層	70 第一摻雜區域
72 光阻層	74 間隙壁
82 第二摻雜區域	86 金屬層
90 矽化金屬層	94 接觸停止層
98 第一絕緣層	100 金屬層
102 矽化金屬閘極	106 第二絕緣層
110 另一金屬層	

五、中文發明摘要

矽化金屬閘極之製造方法

本發明提供一種用於積體電路之矽化金屬閘極的製造方法，先形成覆蓋於基材之多晶矽線路，其中多晶矽線路與基材之間設有介電層。接著形成覆蓋於基材及多晶矽線路側壁之第一絕緣層，其中第一絕緣層介於每一多晶矽線路之間，但並不覆蓋在多晶矽線路的上表面。然後蝕刻一部分的多晶矽線路，使得多晶矽線路的上表面低於第一絕緣層的上表面。之後沉積覆蓋於多晶矽線路上之金屬層。接著進行熱回火製程，以將多晶矽線路轉化成矽化金屬層。最後移除未反應的金屬層，以形成積體電路。

六、英文發明摘要

A METHOD TO FORM A METAL SILICIDE GATE DEVICE

A new method to form metal silicide gates in the fabrication of an integrated circuit device is achieved. The method comprises forming polysilicon lines overlying a substrate with a dielectric layer therebetween. A first isolation layer is formed overlying the substrate and the sidewalls of the polysilicon lines. The first isolation layer does not overlie the top surface of the polysilicon lines. The polysilicon lines are partially etched down such that the top surface of the first isolation layer. A metal layer is

deposited overlying the polysilicon lines. A thermal anneal is used to completely convert the polysilicon lines to metal silicide gates. The unreacted metal layer is removed to complete the device.

十、申請專利範圍

1. 一種用於積體電路裝置之矽化金屬閘極的製造方法，該製造方法至少包含下列步驟：

形成覆蓋於一基材之複數多晶矽線路，其中該多晶矽線路設有介電側壁；

形成覆蓋於該基材及該介電側壁之一第一絕緣層，其中該第一絕緣層介於每一該些多晶矽線路之間，但並不覆蓋於該些多晶矽線路的上表面；

蝕刻一部分的該些多晶矽線路，使得該些多晶矽線路的上表面低於該介電側壁的上表面；

沉積覆蓋於該些多晶矽線路上之一金屬層；

進行熱回火製程，以將該些多晶矽線路完全轉化成矽化金屬層；以及

移除未反應的該金屬層，以形成該積體電路裝置。

2. 如申請專利範圍第 1 項所述之矽化金屬閘極的製造方法，其中形成該些多晶矽線路的步驟中，至少包含下列步驟：

形成覆蓋於該基材之一介電層；

沉積覆蓋於該介電層之一多晶矽層；

沉積覆蓋於該多晶矽層之一硬罩幕層；

對該硬罩幕層進行圖案化步驟；以及

對該多晶矽層進行圖案化步驟，以依據該硬罩幕層之

圖案形成該些多晶矽線路。

3. 如申請專利範圍第 2 項所述之矽化金屬閘極的製造方法，其中在蝕刻一部分的該些多晶矽線路步驟之前，移除該硬罩幕層。

4. 如申請專利範圍第 1 項所述之矽化金屬閘極的製造方法，其中形成該第一絕緣層的步驟中，更包含下列步驟：

沉積覆蓋於該基材及該些多晶矽線路之一內介電層；以及

對該內介電層進行平坦化步驟。

5. 如申請專利範圍第 1 項所述之矽化金屬閘極的製造方法，其中形成該第一絕緣層的步驟之前，更包含對該基材進行離子佈植製程，以於該基材中及鄰接於該些多晶矽線路形成一第一摻雜區域。

6. 如申請專利範圍第 1 項所述之矽化金屬閘極的製造方法，更包含下列步驟：

沉積覆蓋於該基材及該些多晶矽線路之一間隙壁層；

蝕刻該間隙壁層，以形成複數間隙壁於該些多晶矽線路的該介電側壁上；以及

佈植離子於基材中，以於該基材中及鄰接於該些間隙

壁形成一第二摻雜區域。

7. 如申請專利範圍第 6 項所述之矽化金屬閘極的製造方法，其中在蝕刻一部分的該些多晶矽線路步驟之前，以一硬罩幕層覆蓋於該些多晶矽線路，並且包含下列步驟：

在蝕刻一部分的該些多晶矽線路步驟之前，沉積覆蓋於該基材、該些間隙壁及該硬罩幕層之一第二金屬層；

進行熱回火製程，以將一部分在第二摻雜區域的該基材轉化成矽化金屬；以及

移除未反應的該第二金屬層。

8. 如申請專利範圍第 6 項所述之矽化金屬閘極的製造方法，其中該些間隙壁厚度介於 200 至 1000 埃之間。

9. 如申請專利範圍第 1 項所述之矽化金屬閘極的製造方法，其中用於該矽化金屬閘極的第一族群之該介電層設有第一厚度，用於該矽化金屬閘極的第二族群之該介電層設有第二厚度，且該第一厚度與該第二厚度不相同。

10. 如申請專利範圍第 1 項所述之矽化金屬閘極的製造方法，其中蝕刻一部分的該些多晶矽線路的步驟所形成的多晶矽線路之厚度介於 100 至 500 埃之間。

11. 如申請專利範圍第 1 項所述之矽化金屬閘極的製造方法，其中該矽化金屬閘極的厚度介於 180 至 900 埃之間。

12. 一種用於積體電路之矽化金屬閘極的製造方法，該製造方法至少包含下列步驟：

形成覆蓋於該基材之一介電層；

沉積覆蓋於該介電層之一多晶矽層；

沉積覆蓋於該多晶矽層之一硬罩幕層；

對該硬罩幕層進行圖案化步驟；

對該多晶矽層進行圖案化步驟，以依據該硬罩幕層之圖案形成該些多晶矽線路；

形成覆蓋於該基材及該些多晶矽線路之一第一絕緣層，其中該第一絕緣層介於每一該些多晶矽線路之間，但並不覆蓋於該些多晶矽線路的上表面；

移除該硬罩幕層；

蝕刻一部分的該些多晶矽線路，使得該些多晶矽線路的上表面低於該第一絕緣層的上表面；

沉積覆蓋於該些多晶矽線路上之一金屬層；

進行熱回火製程，以將該些多晶矽線路完全轉化成矽化金屬層；以及

移除未反應的該金屬層，以形成該積體電路裝置。

13. 如申請專利範圍第 12 項所述之矽化金屬閘極的

製造方法，其中形成該第一絕緣層的步驟中，更包含下列步驟：

沉積覆蓋於該基材及該些多晶矽線路之一內介電層；以及

對該內介電層進行平坦化步驟。

14. 如申請專利範圍第 12 項所述之矽化金屬閘極的製造方法，其中形成該第一絕緣層的步驟中，更包含下列步驟：

沉積覆蓋於該基材及該些多晶矽線路之一間隙壁層；以及

蝕刻該間隙壁層，以形成複數間隙壁於該些多晶矽線路的側壁上。

15. 如申請專利範圍第 12 項所述之矽化金屬閘極的製造方法，其中形成該第一絕緣層的步驟之前，更包含對該基材進行離子佈植製程，以於該基材中及鄰接於該些多晶矽線路形成一第一摻雜區域。

16. 如申請專利範圍第 15 項所述之矽化金屬閘極的製造方法，其中形成該第一絕緣層的步驟中，更包含下列步驟：

沉積覆蓋於該基材及該些多晶矽線路之一間隙壁層；
蝕刻該間隙壁層，以形成複數間隙壁於該些多晶矽線

路的該介電側壁上；以及

佈植離子於基材中，以於該基材中及鄰接於該些間隙壁形成一第二摻雜區域。

17. 如申請專利範圍第 16 項所述之矽化金屬閘極的製造方法，更包含下列步驟：

沉積覆蓋於該基材、該些間隙壁及該硬罩幕層之一第二金屬層；

進行熱回火製程，以將一部分在第二摻雜區域的該基材轉化成矽化金屬；以及

移除未反應的該第二金屬層。

18. 如申請專利範圍第 12 項所述之矽化金屬閘極的製造方法，其中用於該矽化金屬閘極的第一族群之該介電層設有第一厚度，用於該矽化金屬閘極的第二族群之該介電層設有第二厚度，且該第一厚度與該第二厚度不相同。

19. 如申請專利範圍第 12 項所述之矽化金屬閘極的製造方法，其中蝕刻一部分的該些多晶矽線路之步驟所形成的多晶矽線路之厚度介於 100 至 500 埃之間。

20. 如申請專利範圍第 12 項所述之矽化金屬閘極的製造方法，其中該矽化金屬閘極的厚度介於 180 至 900 埃之間。

21. 一種矽化金屬閘極之 MOS 裝置，至少包含：

覆蓋於一基材之一矽化金屬閘極，其中該基材與該矽化金屬閘極之間設有一介電層；以及

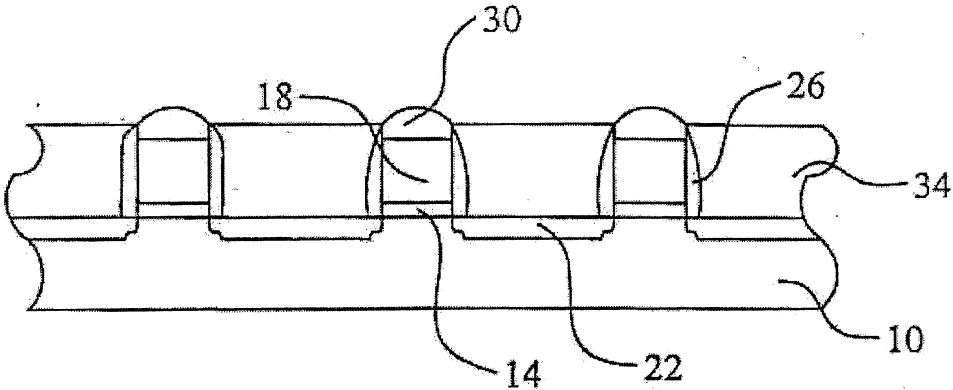
設於該矽化金屬閘極的側壁上之複數間隙壁，其中該間隙壁高於該矽化金屬閘極。

22. 如申請專利範圍第 21 項所述之矽化金屬閘極之 MOS 裝置，更包含該基材中之一第一摻雜區域，其中該第一摻雜區域鄰接於該矽化金屬閘極的邊緣。

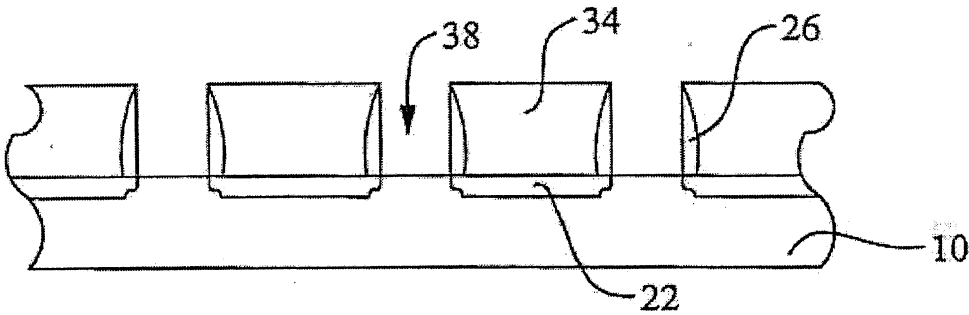
23. 如申請專利範圍第 22 項所述之矽化金屬閘極之 MOS 裝置，更包含該基材中之一第二摻雜區域，其中該第二摻雜區域鄰接於該間隙壁。

24. 如申請專利範圍第 21 項所述之矽化金屬閘極之 MOS 裝置，更包含該基材中之一矽化金屬區域，其中該矽化金屬區域鄰接於該間隙壁。

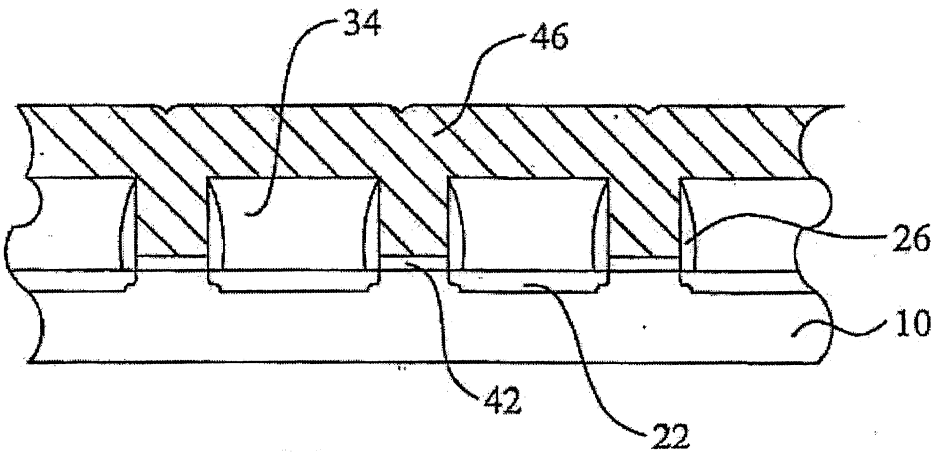
25. 如申請專利範圍第 21 項所述之矽化金屬閘極之 MOS 裝置，其中該矽化金屬閘極的厚度介於 100 至 900 埃之間。



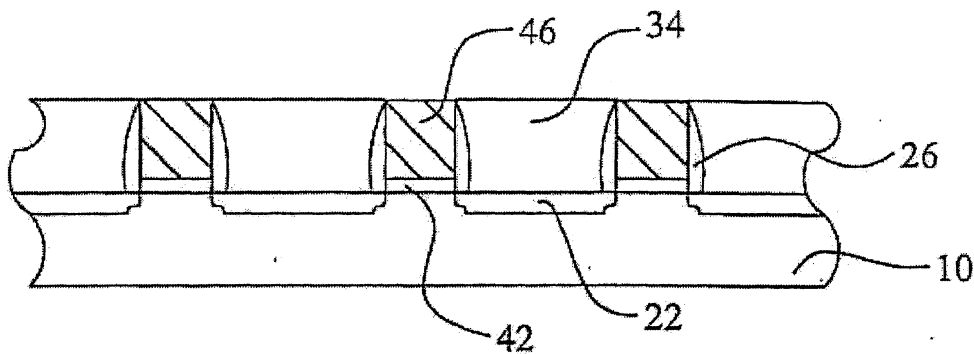
第1圖



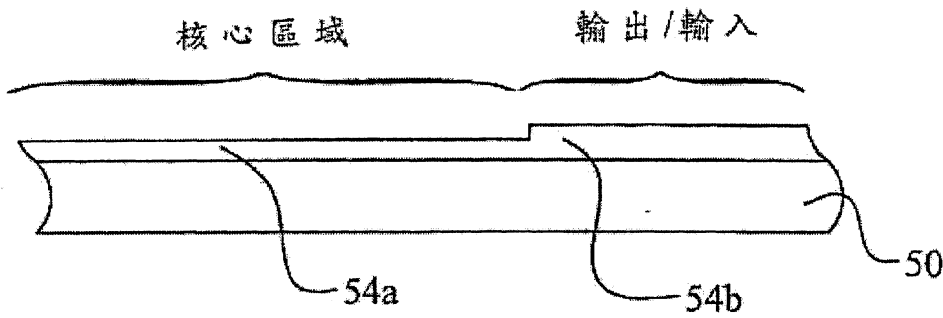
第2圖



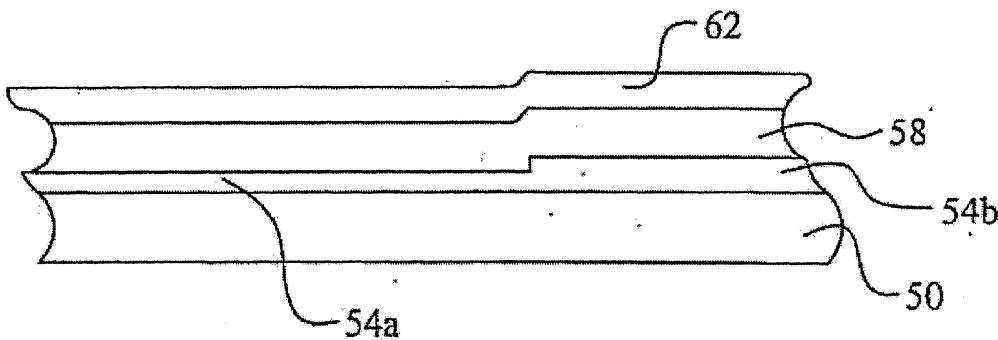
第3圖



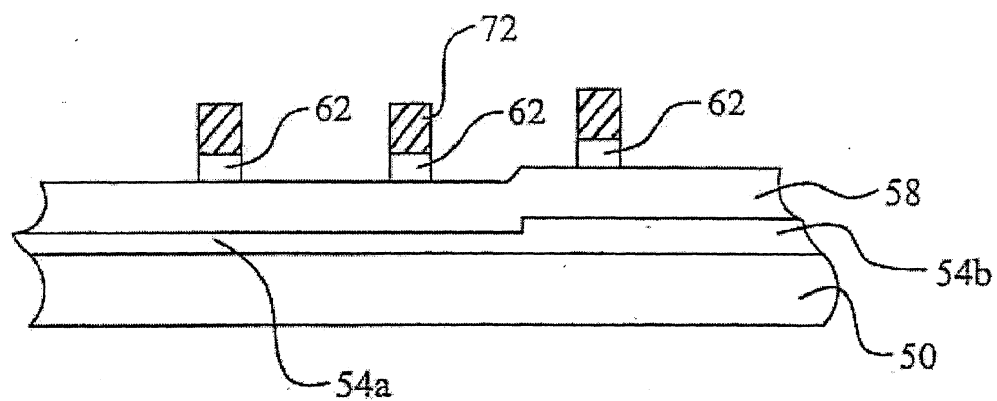
第4圖



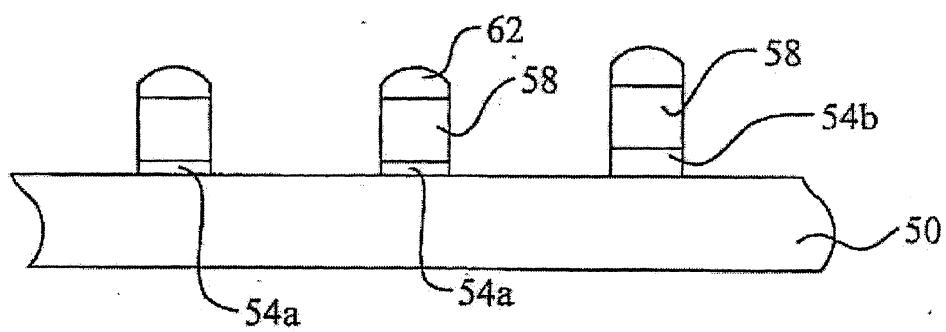
第5圖



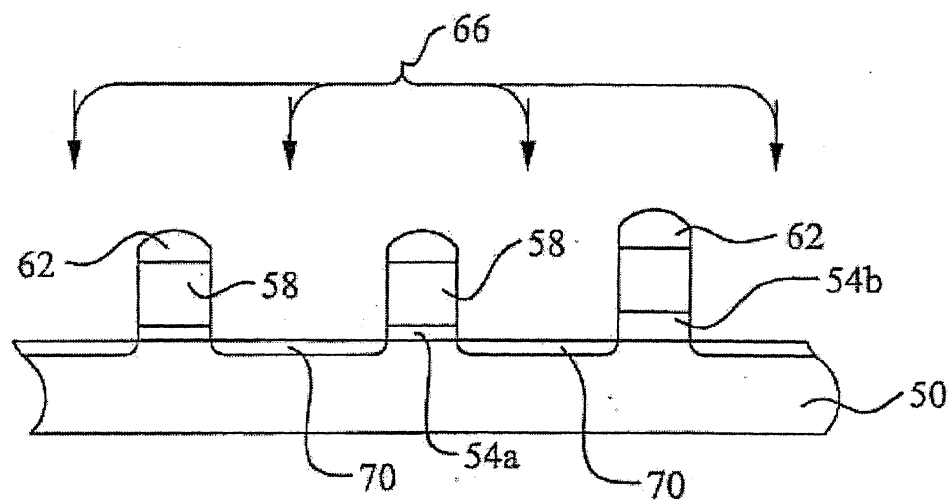
第6圖



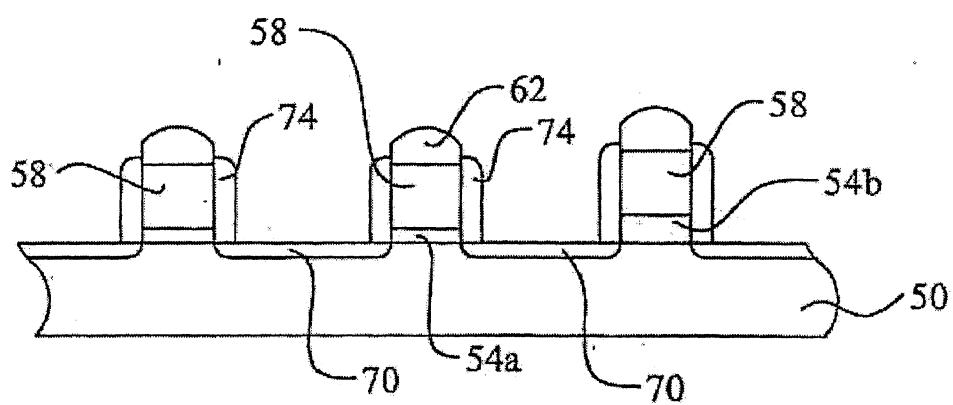
第7圖



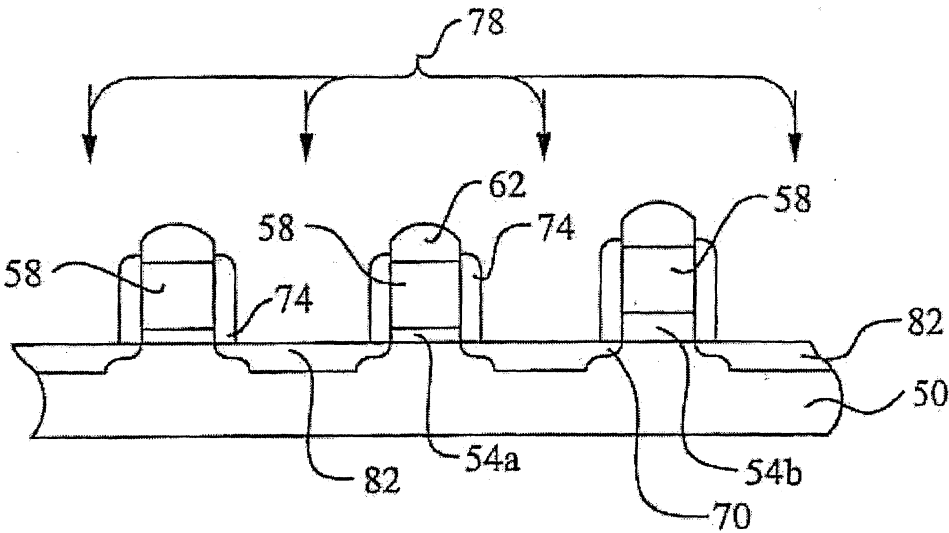
第8圖



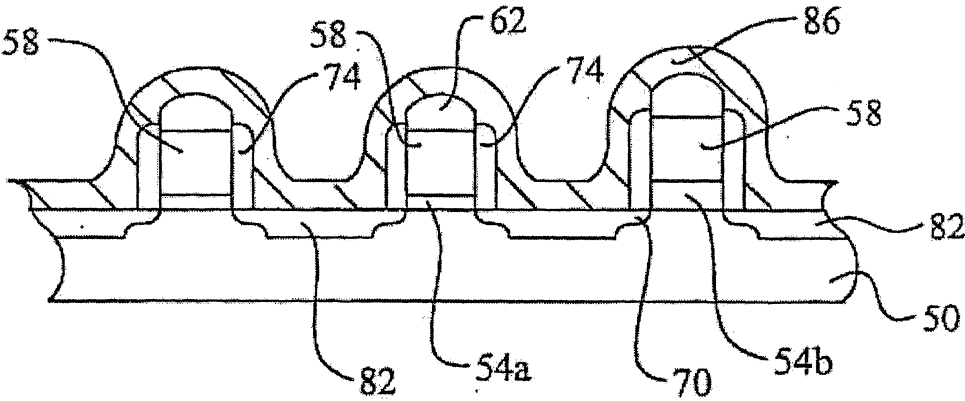
第9圖



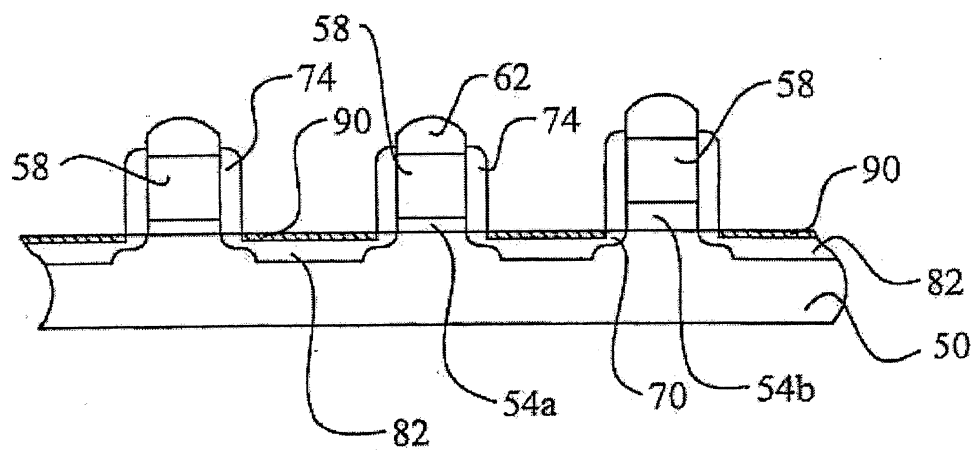
第10圖



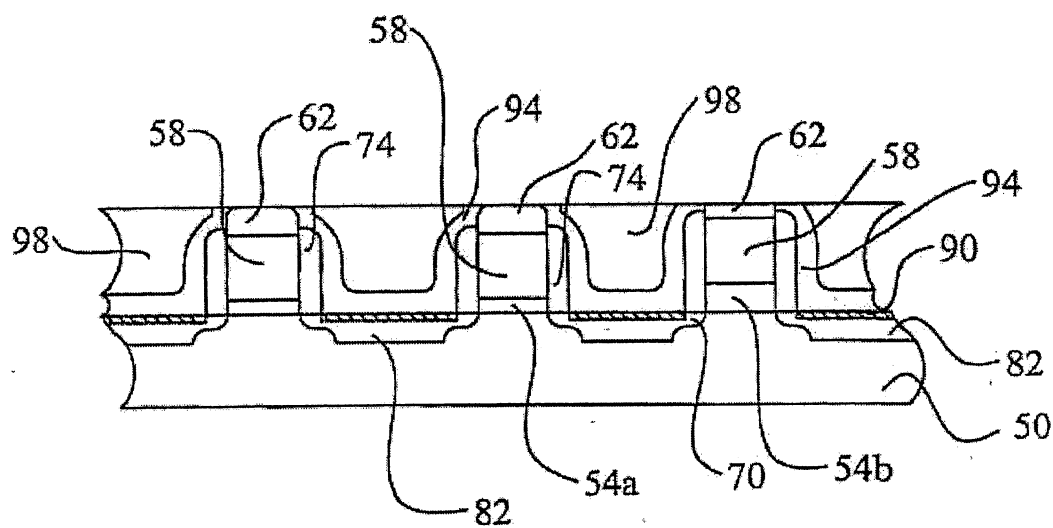
第11圖



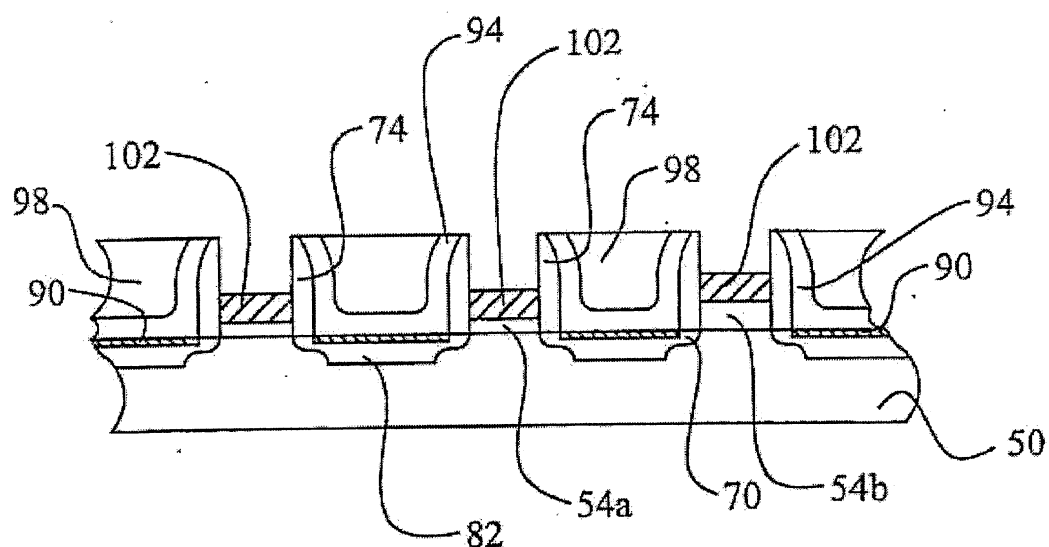
第12圖



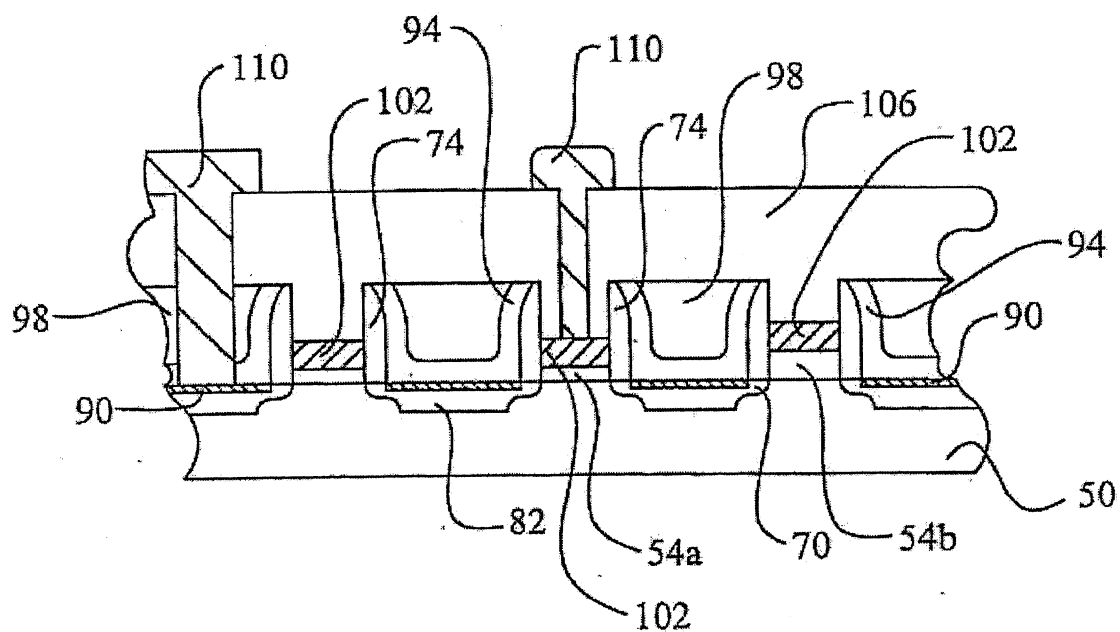
第13圖



第14圖



第17圖



第18圖

七、(一)、本案指定代表圖為：第 18 圖

(二)、本代表圖之元件代表符號簡單說明：

50 基材

54a、54b 介電層

70 第一摻雜區域

74 間隙壁

82 第二摻雜區域

90 矽化金屬層

94 接觸停止層

98 第一絕緣層

102 矽化金屬閘極

106 第二絕緣層

110 另一金屬層

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：