



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년12월12일
 (11) 등록번호 10-1092995
 (24) 등록일자 2011년12월06일

(51) Int. Cl.
G11C 11/4093 (2006.01) *G11C 11/4096* (2006.01)
G11C 7/10 (2006.01)
 (21) 출원번호 10-2009-0038528
 (22) 출원일자 2009년04월30일
 심사청구일자 2009년04월30일
 (65) 공개번호 10-2010-0119422
 (43) 공개일자 2010년11월09일
 (56) 선행기술조사문헌
 KR100328673 B1*
 KR1020050123003 A*
 KR1020050123003 A*
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
 주식회사 하이닉스반도체
 경기 이천시 부발읍 아미리 산136-1
 (72) 발명자
 노영규
 경기도 성남시 분당구 야탑동 장미마을현대아파트
 802-1208
 (74) 대리인
 특허법인 신성

전체 청구항 수 : 총 6 항

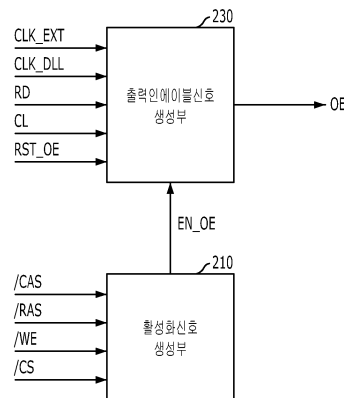
심사관 : 장진환

(54) 반도체 메모리 장치와 그의 구동 방법

(57) 요약

본 발명은 출력인에이블 리셋신호에 응답하여 리셋되고, DLL 클럭신호와 외부 클럭신호를 카운팅하여 읽기명령과 동작 주파수에 대응하는 출력인에이블 신호를 생성하기 위한 출력인에이블신호 생성수단, 및 쓰기 동작 구간에서 상기 출력인에이블신호 생성수단을 비활성화시키기 위한 활성화신호를 생성하는 활성화신호 생성수단을 구비하는 반도체 메모리 장치를 제공한다.

대표도 - 도2



특허청구의 범위

청구항 1

삭제

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

출력인에이블 리셋신호를 제1 클럭신호에 동기화시켜 DLL클럭카운터 리셋신호를 생성하기 위한 리셋신호 생성수단;

상기 DLL클럭카운터 리셋신호에 응답하여 리셋되고, 상기 제1 클럭신호를 초기 카운팅 값에서부터 카운팅하기 위한 DLL클럭 카운팅수단;

상기 DLL클럭카운터 리셋신호를 모델링된 시간만큼 지연시키고, 제2 클럭신호에 동기화시켜 외부클럭카운터 리셋신호를 출력하기 위한 지연모델수단;

상기 외부클럭카운터 리셋신호에 응답하여 리셋되고, 제2 클럭신호를 카운팅하기 위한 외부클럭 카운팅수단;

읽기명령에 응답하여 상기 외부클럭 카운팅수단의 출력 값을 래칭하기 위한 래칭수단;

상기 DLL클럭 카운팅수단의 출력 값과 상기 래칭수단의 출력 값을 비교하여 상기 출력인에이블 신호를 출력하기 위한 비교수단; 및

DLL 클럭신호와 외부 클럭신호를 입력받고, 쓰기 동작시 활성화되는 활성화신호에 응답하여 상기 DLL 클럭신호에 대응하는 상기 제1 클럭신호와 상기 외부 클럭신호에 대응하는 상기 제2 클럭신호를 비활성화시키기 위한 클럭제어수단

을 구비하는 출력 인에이블 신호 생성회로.

청구항 8

제7항에 있어서,

외부 명령에 응답하여 상기 활성화신호를 생성하기 위한 활성화신호 생성수단을 더 구비하는 출력 인에이블 신호 생성회로.

청구항 9

제7항에 있어서,

동작 주파수에 대응하는 카스 레이턴시에 응답하여 상기 초기 카운팅 값을 상기 DLL클럭 카운팅수단에 제공하기

위한 초기화수단을 더 구비하는 출력 인에이블 신호 생성회로.

청구항 10

제7항 내지 제9항 중 어느 한 항에 있어서,

상기 클럭제어수단은,

상기 DLL 클럭신호에 대응하여 출력되는 상기 제1 클럭신호의 토글링 동작을 상기 활성화신호에 응답하여 제어하기 위한 제1 클럭제어부; 및

상기 외부 클럭신호에 대응하여 출력되는 상기 제2 클럭신호의 토글링 동작을 상기 활성화신호에 응답하여 제어하기 위한 제2 클럭제어부를 구비하는 것을 특징으로 하는 출력 인에이블 신호 생성회로.

청구항 11

출력인에이블 리셋신호에 응답하여 리셋되고, DLL 클럭신호와 외부 클럭신호를 카운팅하는 단계;

읽기 동작시 활성화되는 읽기명령에 응답하여 상기 외부 클럭신호를 카운팅한 값을 래칭하는 단계;

상기 래칭하는 단계에서 래칭된 값과 상기 DLL 클럭신호를 카운팅한 값을 비교하여 동작 주파수에 대응하는 출력인에이블 신호를 생성하는 단계; 및

쓰기명령에 응답하여 상기 DLL 클럭신호와 상기 외부 클럭신호의 카운팅을 제한하면서 쓰기 동작을 수행하는 단계를 포함하되,

상기 쓰기 동작을 수행하는 단계는,

쓰기 동작 구간에서 활성화되는 활성화신호를 생성하는 단계; 및

상기 활성화신호에 응답하여 상기 DLL 클럭신호와 상기 외부 클럭신호의 토글링 동작을 비활성화시키는 단계를 포함하는 것을 특징으로 하는 반도체 메모리 장치의 구동 방법.

청구항 12

삭제

청구항 13

제11항에 있어서,

상기 활성화신호는 상기 쓰기 동작 구간에서 활성화되는 외부 명령에 응답하여 활성화되는 것을 특징으로 하는 반도체 메모리 장치의 구동 방법.

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 반도체 설계 기술에 관한 것으로, 특히 출력인에이블 신호를 생성하고, 이를 이용하여 데이터의 입출력 동작을 수행하는 반도체 메모리 장치에 관한 것이다.

배경기술

[0002] 일반적으로, DDR SDRAM(Double Data Rate Synchronous DRAM)을 비롯한 반도체 메모리 장치는 읽기 동작시 외부 클럭신호에 동기화된 읽기명령을 입력받고, 내부 클럭신호에 동기화된 데이터를 외부로 출력한다. 즉, 반도체 메모리 장치 내부에서는 데이터를 출력하는데 있어서 외부 클럭신호가 아닌 내부 클럭신호를 이용한다. 때문에,

읽기 동작에는 외부 클럭신호에 동기화된 읽기명령을 내부 클럭신호로 동기화시키는 동작을 수반해야 한다. 읽기명령 입장에서 동기화되는 클럭신호가 외부 클럭신호에서 내부 클럭신호로 바뀌는 것이다. 이와 같이 동기화 대상이 되는 신호가 어떤 클럭신호에서 다른 클럭신호로 바뀌는 것을 "도메인 크로싱(domain crossing)"이라 한다.

- [0003] 반도체 메모리 장치 내에는 이러한 도메인 크로싱 동작을 수행하기 위한 여러 가지 회로가 구비되어 있으며, 이러한 회로 중에는 출력인에이블신호 생성회로가 있다. 출력인에이블신호 생성회로는 외부 클럭신호에 동기화되어 전달된 읽기명령을 내부 클럭신호에 동기화시켜 출력인에이블 신호로서 출력한다. 이때, 도메인 크로싱 동작이 완료된 출력인에이블 신호는 카스 레이턴시(CAS Latency, CL) 정보를 포함하게 된다. 반도체 메모리 장치는 이러한 출력인에이블 신호를 이용하여 출력될 데이터가 읽기 명령 이후 원하는 시점에 마치 외부 클럭신호에 동기화되어 출력될 수 있도록 동작을 수행한다. 참고로, 카스 레이턴시는 외부 클럭신호의 한 주기를 단위 시간으로 읽기명령이 인가되는 시점에서 데이터가 출력되어야 하는 시점까지의 시간 정보를 가지고 있으며, 카스 레이턴시는 일반적으로 반도체 메모리 장치 내에 구비되는 모드 레지스터 셋(mode register set)에 저장되어 있다. 여기서, 카스 레이턴시는 반도체 메모리 장치의 동작 주파수를 가늠하는 지표로 사용될 수 있다.
- [0004] 한편, 외부 클럭신호와 내부 클럭신호 사이에는 반도체 메모리 장치 내의 지연 요소로 인하여 스누프가 발생할 수 있으며, 반도체 메모리 장치 내에는 이를 보상해주기 위한 내부 클럭신호 생성회로를 구비하고 있다. 내부 클럭신호 생성회로에는 대표적으로 위상 고정 루프(Phase Locked Loop)와 지연 고정 루프(Delay Locked Loop)등이 있다. 본 명세서에는 내부 클럭신호로 지연 고정 루프에서 생성되는 DLL 클럭신호를 일례로 사용하기로 한다.
- [0005] 도 1은 기존 반도체 메모리 장치의 출력인에이블신호 생성회로를 설명하기 위한 블록도이다.
- [0006] 도 1을 참조하면, 출력인에이블신호 생성회로는 카운터 리셋신호 생성부(110)와, 초기화부(120)와, DLL클럭 카운팅부(130)와, 지연 모델부(140)와, 외부클럭 카운팅부(150), 래칭부(160), 및 비교부(170)를 구비한다.
- [0007] 카운터 리셋신호 생성부(110)는 출력인에이블 리셋신호(RST_OE)를 DLL 클럭신호(CLK_DLL)에 동기화시켜 DLL클럭 카운터 리셋신호(RST_DLL)를 생성한다. 여기서, 출력인에이블 리셋신호(RST_OE)는 출력인에이블신호 생성회로를 리셋시키고자 할 때 반도체 메모리 장치의 외부 명령 또는 내부 신호에 의하여 활성화되는 신호이다.
- [0008] 초기화부(120)는 카스 레이턴시(CL)에 대응하는 초기 카운팅 값을 DLL클럭 카운팅부(130)에 제공한다. 즉, 초기화부(120)는 카스 레이턴시(CL)에 대응하는 출력신호(S<0:2>)로 DLL클럭 카운팅부(130)의 초기 카운팅 값을 설정해 준다.
- [0009] DLL클럭 카운팅부(130)는 DLL클럭카운터 리셋신호(RST_DLL)에 응답하여 리셋되고, 초기화부(120)의 출력신호(S<0:2>)에 대응하는 초기 카운팅 값에서부터 DLL 클럭신호(CLK_DLL)를 카운팅한다. 즉, DLL클럭 카운팅부(130)는 카스 레이턴시(CL)에 따라 설정된 초기 카운팅 값에서부터 DLL 클럭신호(CLK_DLL)를 카운팅한 DLL클럭 카운팅 값(CNT_DLL<0:2>)을 생성한다.
- [0010] 지연 모델부(140)는 도메인 크로싱 회로에서 사용되는 외부 클럭신호(CLK_EXT)와 DLL 클럭신호(CLK_DLL) 사이의 지연 차이 값을 모델링(modeling)한 것으로, DLL클럭카운터 리셋신호(RST_DLL)를 비동기(asynchronous) 지연 시간만큼 지연시키고 외부 클럭신호(CLK_EXT)에 동기화시켜 외부클럭카운터 리셋신호(RST_EXT)를 생성한다.
- [0011] 외부클럭 카운팅부(150)는 외부클럭카운터 리셋신호(RST_EXT)에 응답하여 리셋되고 외부 클럭신호(CLK_EXT)를 카운팅한다. 일반적으로, 외부클럭 카운팅부(150)의 초기 카운팅 값은 0 으로 셋팅된다.
- [0012] 래칭부(160)는 읽기명령(RD)에 응답하여 외부클럭 카운팅부(150)의 출력신호인 외부클럭 카운팅 값(CNT_EXT<0:2>)를 래칭(latching)하고, 이를 래칭된 외부클럭 카운팅 값(CNT_LAT<0:2>)으로서 출력한다.
- [0013] 비교부(170)는 DLL클럭 카운팅 값(CNT_DLL<0:2>)과 래칭된 외부클럭 카운팅 값(CNT_LAT<0:2>)을 비교하여 두 값이 동일해 지는 시점에 출력인에이블 신호(OE)를 활성화시킨다. 이때, 출력되는 출력인에이블 신호(OE)는 DLL 클럭신호(CLK_DLL)에 동기화된 신호이고 카스 레이턴시(CL) 정보를 포함하게 된다. 참고로, 출력인에이블 신호(OE)는 이후 버스트 랭스(burst length) 정보와 함께 데이터를 출력하는데 사용된다.
- [0014] 여기서, 카운터 리셋신호 생성부(110)와, 초기화부(120)와, DLL클럭 카운팅부(130)와, 지연모델부(140)와, 외부클럭 카운팅부(150)와, 래칭부(160), 및 비교부(170)는 설명의 편의를 위하여 출력인에이블신호 생성부로 통칭하기로 한다. 결국, 출력인에이블신호 생성부는 출력인에이블 리셋신호(RST_OE)에 응답하여 리셋되고, DLL 클럭신호(CLK_DLL)와 외부 클럭신호(CLK_EXT)를 카운팅하여 읽기명령(RD)과 카스 레이턴시(CL)에 대응하는 출력인에

이블 신호(OE)를 생성한다.

[0015] 한편, 반도체 메모리 장치는 고집적화, 고속화, 및 저전력화를 이루기 위한 방향으로 발전하고 있으며, 이와 더불어 회로 동작시 소모되는 전력을 최소화하기 위한 노력들이 진행 중이다. 기존의 출력인에이블신호 생성부의 경우 DLL 클럭신호(CLK_DLL)를 카운팅하기 위한 DLL클럭 카운팅부(130)와 외부 클럭신호(CLK_EXT)를 카운팅하기 위한 외부클럭 카운팅부(150)를 구비하고 있다. 일반적으로 DLL클럭 카운팅부(130)와 외부클럭 카운팅부(150)는 다수의 플립-플롭(flip-flop)으로 구성된 카운터(counter)로 구성될 수 있으며, 해당 클럭신호에 응답하여 카운팅 동작을 수행한다. 여기서, 카운팅 동작은 필연적으로 전력 소모를 수반한다.

[0016] 기존의 DLL클럭 카운팅부(130)와 외부클럭 카운팅부(150)는 반도체 메모리 장치의 뱅크가 액티브(active)된 이후 읽기 및 쓰기 동작에 상관없이 프리차지(precharge) 될 때까지 카운팅 동작을 수행한다. 즉, 반도체 메모리 장치는 읽기 및 쓰기 동작시 카운팅 동작을 수행하며, 이에 따라 전력을 소모한다. 이하, 설명될 본 발명에서는 카운팅 동작 시 소모되는 전력을 최소화할 수 있는 반도체 메모리 장치를 제시한다.

발명의 내용

해결 하고자하는 과제

[0017] 본 발명은 상기와 같은 문제점을 해결하기 위해 제안된 것으로, 반도체 메모리 장치의 쓰기 동작 구간에서 카운팅 동작을 제한할 수 있는 반도체 메모리 장치를 제공하는데 그 목적이 있다.

과제 해결수단

[0018] 상기 목적을 달성하기 위한 본 발명의 일 측면에 따른 반도체 메모리 장치는, 출력인에이블 리셋신호에 응답하여 리셋되고, DLL 클럭신호와 외부 클럭신호를 카운팅하여 읽기명령과 동작 주파수에 대응하는 출력인에이블 신호를 생성하기 위한 출력인에이블신호 생성수단; 및 쓰기 동작 구간에서 상기 출력인에이블신호 생성수단을 비활성화시키기 위한 활성화신호를 생성하는 활성화신호 생성수단을 구비한다.

[0019] 상기 목적을 달성하기 위한 본 발명의 다른 일 측면에 따른 출력 인에이블 신호 생성회로는, 출력인에이블 리셋신호를 제1 클럭신호에 동기화시켜 DLL클럭카운터 리셋신호를 생성하기 위한 리셋신호 생성수단; 상기 DLL클럭 카운터 리셋신호에 응답하여 리셋되고, 상기 제1 클럭신호를 초기 카운팅 값에서부터 카운팅하기 위한 DLL클럭 카운팅수단; 상기 DLL클럭카운터 리셋신호를 모델링된 시간만큼 지연시키고, 제2 클럭신호에 동기화시켜 외부클럭카운터 리셋신호를 출력하기 위한 지연모델수단; 상기 외부클럭카운터 리셋신호에 응답하여 리셋되고, 제2 클럭신호를 카운팅하기 위한 외부클럭 카운팅수단; 읽기명령에 응답하여 상기 외부클럭 카운팅수단의 출력 값을 래칭하기 위한 래칭수단; 상기 클럭카운팅부의 출력 값과 상기 래칭수단의 출력 값을 비교하여 상기 출력인에이블 신호를 출력하기 위한 비교수단; 및 DLL 클럭신호와 외부 클럭신호를 입력받고, 쓰기 동작시 활성화되는 활성화신호에 응답하여 상기 DLL 클럭신호에 대응하는 상기 제1 클럭신호와 상기 외부 클럭신호에 대응하는 상기 제2 클럭신호를 비활성화시키기 위한 클럭제어수단을 구비한다.

[0020] 상기 목적을 달성하기 위한 본 발명의 다른 일 측면에 따른 반도체 메모리 장치의 구동 방법은, 출력인에이블 리셋신호에 응답하여 리셋되고, DLL 클럭신호와 외부 클럭신호를 카운팅하는 단계; 읽기 동작시 활성화되는 읽기명령에 응답하여 상기 외부 클럭신호를 카운팅한 값을 래칭하는 단계; 상기 래칭하는 단계에서 래칭된 값과 상기 DLL 클럭신호를 카운팅한 값을 비교하여 동작 주파수에 대응하는 출력인에이블 신호를 생성하는 단계; 및 쓰기명령에 응답하여 상기 DLL 클럭신호와 상기 외부 클럭신호의 카운팅을 제한하면서 쓰기 동작을 수행하는 단계를 포함한다.

[0021] 기존의 출력인에이블신호 생성부는 반도체 메모리 장치의 읽기 및 쓰기 동작시 카운팅 동작을 수행하며, 이로 인한 전력 소모가 발생하였다. 하지만, 출력인에이블 신호는 반도체 메모리 장치의 읽기 동작 시에만 사용되는 신호이기 때문에, 쓰기 동작 구간에서는 필요하지 않다. 즉, 쓰기 동작 구간에서는 출력인에이블신호 생성부가 비활성화되어도 상관이 없다. 본 발명에서는 쓰기 동작 구간에서 비활성화되는 출력인에이블신호 생성부를 제공함으로써, 반도체 메모리 장치에서 소모되는 전력을 최소화하는 것이 가능하다.

효 과

[0022] 본 발명은 쓰기 동작 구간에서 출력인에이블신호 생성회로를 비활성화시켜 줌으로써, 반도체 메모리 장치에서 소모되는 전력을 최소화할 수 있는 효과를 얻을 수 있다.

발명의 실시를 위한 구체적인 내용

[0023] 이하, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시 예를 첨부 도면을 참조하여 설명하기로 한다.

[0024] 도 2 는 본 발명에 따른 반도체 메모리 장치의 일부 구성을 설명하기 위한 블록도이다.

[0025] 도 2 를 참조하면, 반도체 메모리 장치는 활성화신호 생성부(210)와 출력인에이블신호 생성부(230)를 구비한다.

[0026] 활성화신호 생성부(210)는 쓰기 동작시 출력인에이블신호 생성부(230)를 비활성화시키기 위한 활성화신호(EN_OE)를 생성하기 위한 것으로, 컬럼 어드레스 스트로브 신호(Column Address Strobe, /CAS)와, 로우 어드레스 스트로브 신호(Row Address Strobe, /RAS),와 칩 셀렉트 신호(Chip Select, /CS), 및 라이트 인에이블 신호(Write Enable, /WE)에 응답하여 활성화신호(EN_OE)를 생성한다. 여기서, 컬럼 어드레스 스트로브 신호(/CAS)와, 로우 어드레스 스트로브 신호(/RAS)와, 칩 셀렉트 신호(/CS), 및 라이트 인에이블 신호(/WE)는 외부 명령신호로서 반도체 메모리 장치는 이러한 외부 명령신호에 따라 액티브 동작, 읽기 동작, 쓰기 동작, 및 프리차지 동작을 수행한다. 본 발명에 따른 활성화신호(EN_OE)는 특히, 쓰기 동작시 활성화되어 출력인에이블신호 생성부(230)를 비활성화시킨다.

[0027] 출력인에이블신호 생성부(230)는 출력인에이블 리셋신호(RST_OE)에 응답하여 리셋되고, DLL 클럭신호(CLK_DL L)와 외부 클럭신호(CLK_EXT)를 카운팅하여 읽기명령(RD)과 동작 주파수에 대응하는 출력인에이블 신호(OE)를 생성한다. 여기서, 동작 주파수는 카스 레이턴시(CL)에 대응될 수 있다.

[0028] 본 발명에 따른 출력인에이블신호 생성부(230)는 쓰기 동작 구간에서 활성화신호(EN_OE)에 응답하여 비활성화되기 때문에, 출력인에이블신호 생성부(230)에서 소모되는 전력을 최소화하는 것이 가능하다. 이하, 실시예를 통해 더욱 자세하게 살펴보기로 한다.

[0029] 도 3 은 도 2 의 출력인에이블신호 생성부(230)를 설명하기 위한 블록도이다.

[0030] 도 3 을 참조하면, 출력인에이블신호 생성부(230)는 클럭 제어부(310)와, 카운터 리셋신호 생성부(320)와, 초기 화부(330)와, DLL클럭 카운팅부(340)와, 지연 모델부(350)와, 외부클럭 카운팅부(360), 래칭부(370), 및 비교부(380)를 구비한다.

[0031] 클럭 제어부(310)는 DLL 클럭신호(CLK_DLL)와 외부 클럭신호(CLK_EXT)를 입력받고, 쓰기 동작시 활성화되는 활성화신호(EN_OE)에 응답하여 제1 출력클럭신호(OUT1)와 제2 출력클럭신호(OUT2)를 생성한다. 여기서, 제1 및 제 2 출력클럭신호(OUT1, OUT2)는 활성화신호(EN_OE)에 응답하여 출력되는 클럭 신호로서, DLL 클럭신호(CLK_DLL)와 외부 클럭신호(CLK_EXT)에 각각 대응된다.

[0032] 카운터 리셋신호 생성부(320)는 출력인에이블 리셋신호(RST_OE)를 제1 출력클럭신호(OUT1)에 동기화시켜 DLL클럭카운터 리셋신호(RST_DLL)를 생성한다. 여기서, 출력인에이블 리셋신호(RST_OE)는 출력인에이블신호 생성부(230)를 리셋시키고자 할 때 반도체 메모리 장치의 외부 명령 또는 내부 신호에 의하여 활성화되는 신호이다.

[0033] 초기화부(330)는 카스 레이턴시(CL)에 대응하는 초기 카운팅 값을 DLL클럭 카운팅부(340)에 제공한다. 즉, 초기 화부(330)는 카스 레이턴시(CL)에 대응하는 출력신호(S<0:2>)로 DLL클럭 카운팅부(340)의 초기 카운팅 값을 설정해 준다.

[0034] DLL클럭 카운팅부(340)는 DLL클럭카운터 리셋신호(RST_DLL)에 응답하여 리셋되고, 초기화부(330)의 출력신호(S<0:2>)에 대응하는 초기 카운팅 값에서부터 제1 출력클럭신호(OUT1)를 카운팅한다. 즉, DLL클럭 카운팅부(340)는 카스 레이턴시(CL)에 따라 설정된 초기 카운팅 값에서부터 제1 출력클럭신호(OUT1)를 카운팅한 DLL클럭 카운팅 값(CNT_DLL<0:2>)을 생성한다.

- [0035] 지연 모델부(350)는 도메인 크로싱 회로에서 사용되는 외부 클럭신호(CLK_EXT)와 DLL 클럭신호(CLK_DLL) 사이의 지연 차이 값을 모델링한 것으로, DLL클럭카운터 리셋신호(RST_DLL)를 비동기 지연 시간만큼 지연시키고 제2 출력클럭신호(OUT2)에 동기화시켜 외부클럭카운터 리셋신호(RST_EXT)를 생성한다.
- [0036] 외부클럭 카운팅부(360)는 외부클럭카운터 리셋신호(RST_EXT)에 응답하여 리셋되고 제2 출력클럭신호(OUT2)를 카운팅한다. 일반적으로, 외부클럭 카운팅부(360)의 초기 카운팅 값은 0 으로 셋팅된다.
- [0037] 래칭부(370)는 읽기명령(RD)에 응답하여 외부클럭 카운팅부(360)의 출력신호인 외부클럭 카운팅 값(CNT_EXT<0:2>)를 래칭하고, 이를 래칭된 외부클럭 카운팅 값(CNT_LAT<0:2>)으로서 출력한다.
- [0038] 비교부(380)는 DLL클럭 카운팅 값(CNT_DLL<0:2>)과 래칭된 외부클럭 카운팅 값(CNT_LAT<0:2>)을 비교하여 두 값이 동일해 지는 시점에 출력인에이블 신호(OE)를 활성화시킨다. 이때, 출력되는 출력인에이블 신호(OE)는 DLL 클럭신호(CLK_DLL)에 대응되는 제1 출력클럭신호(OUT1)에 동기화된 신호이고 카스 레이턴시(CL) 정보를 포함하게 된다. 참고로, 출력인에이블 신호(OE)는 이후 버스트 랭스 정보와 함께 데이터를 출력하는데 사용된다.
- [0039] 도 4 는 도 3 의 클럭 제어부(310)를 설명하기 위한 회로도이다.
- [0040] 도 4 를 참조하면, 클럭 제어부(310)는 DLL 클럭신호(CLK_DLL)와 활성화신호(EN_OE)에 응답하여 제1 출력클럭신호(OUT1)를 생성하는 제1 클럭제어부(410)와, 외부 클럭신호(CLK_EXT)와 활성화신호(EN_OE)에 응답하여 제2 출력클럭신호(OUT2)를 생성하는 제2 클럭제어부(430)를 구비한다.
- [0041] 제1 클럭제어부(410)는 DLL 클럭신호(CLK_DLL)에 대응하여 출력되는 제1 출력클럭신호(OUT1)의 토글링 동작을 활성화신호(EN_OE)에 응답하여 제어하기 위한 것으로, DLL 클럭신호(CLK_DLL)와 활성화신호(EN_OE)를 입력받는 제1 부정 논리합 게이트(NOR1)와, 제1 부정 논리합 게이트(NOR1)의 출력신호를 입력받아 제1 출력클럭신호(OUT1)를 출력하는 제1 인버터(INV1)를 구비한다.
- [0042] 제2 클럭제어부(430)는 외부 클럭신호(CLK_EXT)에 대응하여 출력되는 제2 출력클럭신호(OUT2)의 토글링 동작을 활성화신호(EN_OE)에 응답하여 제어하기 위한 것으로, 외부 클럭신호(CLK_EXT)와 활성화신호(EN_OE)를 입력받는 제2 부정 논리합 게이트(NOR2)와, 제2 부정 논리합 게이트(NOR2)의 출력신호를 입력받아 제2 출력클럭신호(OUT2)를 출력하는 제2 인버터(INV2)를 구비한다.
- [0043] 이후, 도 5 에서 활성화신호(EN_OE)의 논리 레벨 값에 대하여 살펴보겠지만, 활성화신호(EN_OE)는 쓰기 동작 구간에서 예컨대, 논리'하이(high)'로 활성화된다. 따라서, 활성화신호(EN_OE)가 논리'로우(low)'인 경우 제1 클럭제어부(410)는 DLL 클럭신호(CLK_DLL)에 대응하여 토글링하는 제1 출력클럭신호(OUT1)를 출력하고, 활성화신호(EN_OE)가 논리'하이'인 경우 제1 출력클럭신호(OUT1)의 토글링 동작은 제한된다. 제2 클럭제어부(430) 역시 제1 클럭제어부(410)와 마찬가지로 활성화신호(EN_OE)에 따라 제2 출력클럭신호(OUT2)가 외부 클럭신호(CLK_EXT)에 대응하여 토글링하거나 토글링 동작이 제한된다.
- [0044] 다시 도 3 과 도 4 를 통해 본 발명에 따른 반도체 메모리 장치의 간단한 동작을 살펴보기로 한다.
- [0045] 우선, 반도체 메모리 장치에서 출력인에이블 신호(OE)를 필요로 하는 동작 구간, 특히 읽기 동작 구간에서는 활성화신호(EN_OE)가 논리'로우'가 되어 DLL 클럭신호(CLK_DLL)에 대응하여 토글링하는 제1 출력클럭신호(OUT1)가 생성되고 외부 클럭신호(CLK_EXT)에 대응하여 토글링하는 제2 출력클럭신호(OUT2)가 생성된다. 따라서, DLL클럭 카운팅부(340)와 외부클럭 카운팅부(360)는 해당하는 출력클럭신호에 따라 카운팅 동작을 수행하고, 읽기명령(RD)과 카스 레이턴시(CL)에 대응하는 출력인에이블 신호(OE)를 생성한다.
- [0046] 한편, 반도체 메모리 장치에서 출력인에이블 신호(OE)를 필요로 하지 않는 동작 구간, 특히 쓰기 동작 구간에서는 활성화신호(EN_OE)가 논리'하이'가 되어 제1 출력클럭신호(OUT1)와 제2 출력클럭신호(OUT2)는 더 이상 토글링하지 않게 된다. 따라서, 제1 및 제2 출력클럭신호(OUT1, OUT2)가 토글링하지 않기 때문에 DLL클럭 카운팅부(340)와 외부클럭 카운팅부(360)는 더 이상 카운팅 동작을 수행하지 않게 된다. 이는 DLL클럭 카운팅부(340)와 외부클럭 카운팅부(360)의 카운팅 동작 여부가 활성화신호(EN_OE)에 의하여 결정된다고 볼 수 있다. 즉, DLL클럭 카운팅부(340)와 외부클럭 카운팅부(360)는 활성화신호(EN_OE)가 논리'하이'인 경우 카운팅 동작이 비활성화되고, 활성화신호(EN_OE)가 논리'로우'인 경우 카운팅 동작을 수행한다.
- [0047] 도 5 는 본 발명에 따른 반도체 메모리 장치의 일부 동작 타이밍을 설명하기 위한 타이밍도이다. 설명의 편의를 위하여 외부클럭 카운팅부(360)의 카운팅 동작을 대표로 설명하기로 한다. 그리고, 도 4 에서 설명한 바와 같이 활성화신호(EN_OE)가 논리'로우'인 경우 제2 출력클럭신호(OUT2)는 외부 클럭신호(CLK_EXT)에 대응하여 토글링하며, 활성화신호(EN_OE)가 논리'하이'인 경우 제2 출력클럭신호(OUT2)는 외부 클럭신호(CLK_EXT)와 상관없이

토글링하지 않는다. 즉, 도 5 에는 제2 출력클럭신호(OUT2)가 도시되어 있지는 않지만 제2 출력클럭신호(OUT2)는 활성화신호(EN_OE)에 따라 토글링 동작 여부 즉, 활성화 여부가 결정된다.

[0048] 도 3 내지 도 5 를 참조하면, 활성화신호(EN_OE)는 액티브 동작 이후 쓰기 동작을 수행할 때 논리'로우'에서 논리'하이'로 천이한다. 도면에서 볼 수 있듯이, 활성화신호(EN_OE)가 논리'하이'로 천이하기 전에는 외부클럭 카운팅부(360)가 외부 클럭신호(CLK_EXT)에 대응하는 제2 출력클럭신호(OUT2)에 응답하여 카운팅 동작을 수행하며, 활성화신호(EN_OE)가 논리'하이'로 천이하면 외부클럭 카운팅부(360)가 토글링하지 않는 제2 출력클럭신호(OUT2)에 응답하여 카운팅 동작을 수행하지 않게 된다. 여기서, 외부클럭 카운팅부(360)는 활성화신호(EN_OE)가 논리'하이'인 구간에서 카운팅 동작을 중지한 시점의 외부클럭 카운팅 값(CNT_EXT<0:2>)을 유지하는 것이 바람직하다.

[0049] 이어서, 활성화신호(EN_OE)가 논리'하이'인 구간에서 쓰기 동작에 대응하는 데이터(DAT)가 입력되고 이후 활성화신호(EN_OE)는 논리'로우'가 된다. 외부클럭 카운팅부(360)는 활성화신호(EN_OE)에 응답하여 다시 카운팅 동작을 수행하며, 외부 클럭신호(CLK_EXT)에 대응하는 제2 출력클럭신호(OUT2)에 응답하여 카운팅되는 외부클럭 카운팅 값(CNT_EXT<0:2>)을 생성한다. 여기서, 활성화신호(EN_OE)가 논리'로우'로 비활성화되는 시점은 설계에 따라 달라질 수 있으며, 여기서는 쓰기 동작에 대응하는 데이터(DAT)가 모두 인가된 이후 비활성화되는 것을 일례로 하였다. 만약, 반도체 메모리 장치가 이보다 빠른 시점에 카운팅 동작을 원하는 경우 활성화신호(EN_OE)는 도 5 의 비활성화 시점 이전에 논리'로우'로 비활성화되는 것도 가능할 것이다. 한편, 이러한 동작은 DLL클럭 카운팅부(340)도 마찬가지로 수행할 수 있으며, 이에 대한 타이밍도 및 동작 설명은 생략하기로 한다.

[0050] 전술한 바와 같이, 본 발명에 따른 반도체 메모리 장치는 쓰기 동작 구간에서 출력인에이블신호 생성부(230)를 비활성화시켜 줌으로써, 출력인에이블신호 생성부(230)에서 소모되는 전력을 최소화하는 것이 가능하다. 특히, 출력인에이블신호 생성부(230)의 DLL클럭 카운팅부(340)와 외부클럭 카운팅부(360)의 카운팅 동작을 쓰기 동작 구간에서 제한해 줌으로써, 카운팅 동작을 통해 전력 소모를 줄여주는 것이 가능하다.

[0051] 한편, 활성화신호(EN_OE)를 생성하기 위한 회로는 다양하게 설계될 수 있다. 예컨대, 외부 명령을 디코딩하여 쓰기 동작시 활성화되는 활성화신호(EN_OE)를 생성하는 것도 가능하며, 반도체 메모리 장치 내에 구비되는 입력 버퍼(input buffer)의 활성화 동작을 제어하는 신호와 연동하여 설계하는 것도 가능하다. 참고로 입력 버퍼의 경우 반도체 메모리 장치의 읽기 동작시에만 동작하는 것이 가능하며 이를 제어하는 신호를 이용하여 본 발명에 따른 활성화신호(EN_OE)를 생성하는 것도 가능하다.

[0052] 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 이상에서 설명한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 여러 가지 치환, 변형 및 변경으로 다양한 실시예가 가능함을 이해할 수 있을 것이다.

[0053] 또한, 본 발명의 실시예에서는 초기화부(330)의 출력신호(S<0:2>)와, DLL클럭 카운팅 값(CNT_DLL<0:2>)와, 외부클럭 카운팅 값(CNT_EXT<0:2>), 및 래칭된 외부클럭 카운팅 값(CNT_LAT<0:2>)이 각각 3 비트로 이루어지는 것을 일례로 들었지만, 이는 동작 주파수에 따라 설계가 달라질 수 있다.

[0054] 뿐만 아니라, 전술한 실시예에서 예시한 논리 게이트 및 트랜지스터는 입력되는 신호의 극성에 따라 그 위치 및 종류가 다르게 구현되어야 할 것이다.

도면의 간단한 설명

[0055] 도 1은 기존 반도체 메모리 장치의 출력인에이블신호 생성회로를 설명하기 위한 블록도.

[0056] 도 2 는 본 발명에 따른 반도체 메모리 장치의 일부 구성을 설명하기 위한 블록도.

[0057] 도 3 은 도 2 의 출력인에이블신호 생성부(230)를 설명하기 위한 블록도.

[0058] 도 4 는 도 3 의 클럭 제어부(310)를 설명하기 위한 회로도.

[0059] 도 5 는 본 발명에 따른 반도체 메모리 장치의 일부 동작 타이밍을 설명하기 위한 타이밍도.

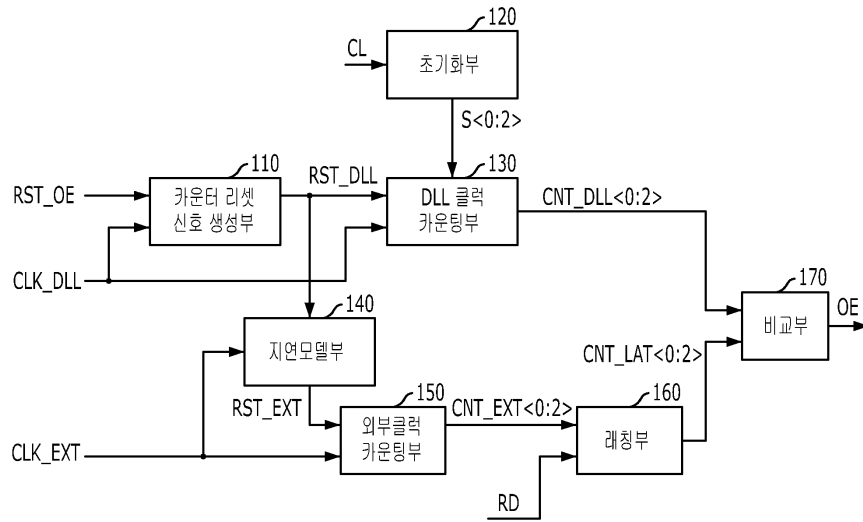
[0060] * 도면의 주요 부분에 대한 부호의 설명

[0061] 210 : 활성화신호 생성부

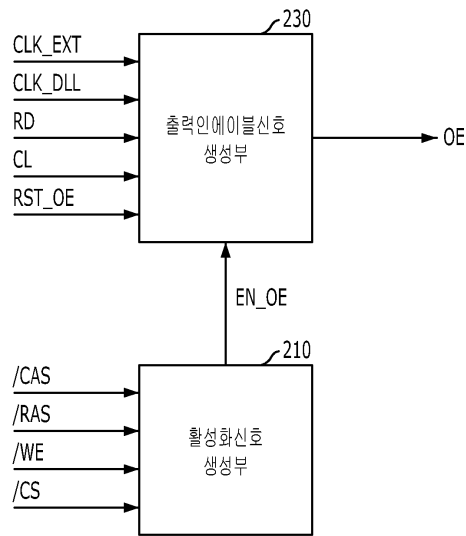
[0062] 230 : 출력인에이블신호 생성부

도면

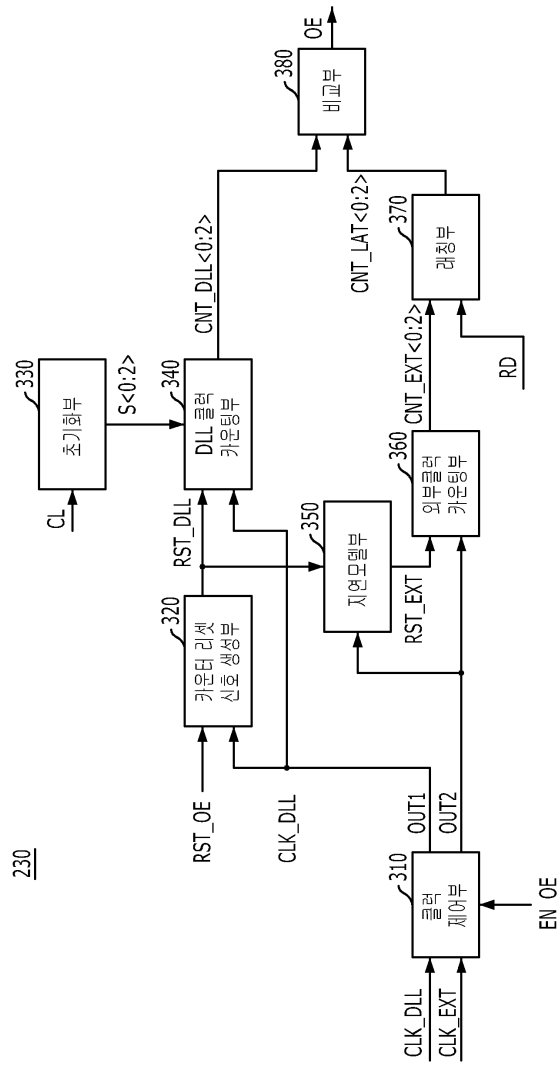
도면1



도면2

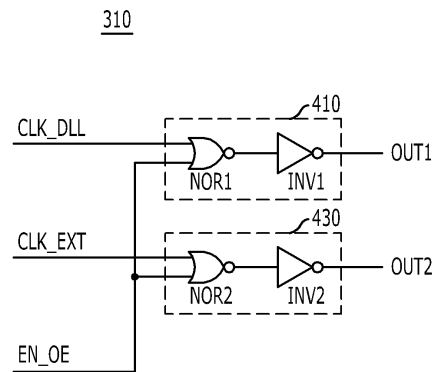


도면3



230

도면4



310

도면5

