

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5146571号
(P5146571)

(45) 発行日 平成25年2月20日 (2013. 2. 20)

(24) 登録日 平成24年12月7日 (2012.12.7)

(51) Int. Cl.	F I				
HO4B 3/04	(2006.01)	HO4B	3/04	A	
HO3H 21/00	(2006.01)	HO3H	21/00		
HO4L 25/03	(2006.01)	HO4L	25/03	C	

請求項の数 2 (全 22 頁)

(21) 出願番号	特願2011-156582 (P2011-156582)	(73) 特許権者	000005223
(22) 出願日	平成23年7月15日 (2011. 7. 15)		富士通株式会社
(62) 分割の表示	特願2009-245020 (P2009-245020) の分割		神奈川県川崎市中原区上小田中4丁目1番 1号
原出願日	平成17年3月18日 (2005. 3. 18)	(74) 代理人	100092152
(65) 公開番号	特開2011-259460 (P2011-259460A)		弁理士 服部 毅巖
(43) 公開日	平成23年12月22日 (2011.12.22)	(72) 発明者	山口 久勝
審査請求日	平成23年7月15日 (2011. 7. 15)		神奈川県川崎市中原区上小田中4丁目1番 1号 富士通株式会社内
		審査官	前田 典之

最終頁に続く

(54) 【発明の名称】 データ受信装置および適応等化回路

(57) 【特許請求の範囲】

【請求項1】

データ信号の波形整形を行うデータ受信装置において、
伝送線路から前記データ信号を受信する、前記データ信号の波形整形を行う等化器を具備した複数の受信回路と、

前記受信回路の全部または2以上の所定数ずつに対して1つ設けられ、対応した前記受信回路の前記等化器の等化係数を算出する適応等化回路と、を備え、

前記適応等化回路は、対応した前記受信回路のうちの1つの前記等化器の等化係数を算出し、対応した残りの全ての前記受信回路に出力することを特徴とするデータ受信装置。

【請求項2】

データ信号の波形整形を行う適応等化回路において、

伝送線路から前記データ信号を受信する、前記データ信号の波形整形を行う等化器を具備した複数の受信回路の全部または2以上の所定数ずつに対して1つ設けられ、対応した前記受信回路の前記等化器の等化係数を算出し、

対応した前記受信回路のうちの1つの前記等化器の等化係数を算出し、対応した残りの全ての前記受信回路に出力することを特徴とする適応等化回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明はデータ受信装置および適応等化回路に関し、特にデータ信号の波形整形を行う

データ受信装置および適応等化回路に関する。

【背景技術】

【0002】

LSI間のデータ送受信、チップ内の複数の素子間や回路ブロック間でのデータ送受信、ボード間や筐体間でのデータ送受信において、伝送線路の損失が大きい場合、信号に歪みが生じてしまう。そのためこれらには、受信回路によって受信されたデータ信号の歪みを検出し、適正な信号波形となるようにする適応等化回路が適用される。

【0003】

図18は、データ受信装置の構成例を示した図である。図には、LSI (Large Scale Integration) 141, 142の例が示してある。LSI 141は、送信回路141a ~ 141dを有している。LSI 142は、受信回路142a ~ 142dおよび適応等化回路143a ~ 143dより構成されたデータ受信装置を有している。送信回路141a ~ 141dおよび受信回路142a ~ 142dは、伝送線路によってポイントツーポイント接続されている。なお、図に示す点線の枠は、クロックドメインの境界を示している。つまり、各枠内において、回路は同期して動作している。

10

【0004】

受信回路142a ~ 142dは、伝送線路からデータDT0 ~ DT3を受信する。受信回路142a ~ 142dのそれぞれは、図示していないが等化器(イコライザ)を搭載している。適応等化回路143a ~ 143dのそれぞれは、受信回路142a ~ 142dから波形整形するためのNビットのデータをそれぞれ受けて、データDT0 ~ DT3の信号波形の歪みを補正するように、等化器の等化係数EQ0 ~ EQ3を調整する。

20

【0005】

このように、適応等化回路143a ~ 143dが、受信回路142a ~ 142dの等化器の等化係数EQ0 ~ EQ3を調整することによって、データDT0 ~ DT3の信号波形を整形する。これによって、受信回路142a ~ 142dは、例えば、波形が歪んだデータDT0 ~ DT3から、0, 1の判定を適正にすることができるようになる。

【0006】

なお、受信機の前段に、デジタル通信系に存在する符号間干渉や雑音による劣化を補償するための等化器を2段構成にした無線通信システムがある(例えば、特許文献1参照)

30

【先行技術文献】

【特許文献】

【0007】

【特許文献1】特開平7-66739号公報

【発明の概要】

【発明が解決しようとする課題】

【0008】

しかし、複数の受信回路のそれぞれに対して適応等化回路を設けることは、回路規模が大きくなり、消費電力も大きいという問題点があった。

本発明はこのような点に鑑みてなされたものであり、複数の受信回路の全部または一部に対して1つの適応等化回路を設け、回路規模を抑制し、消費電力を低減するデータ受信装置および適応等化回路を提供することを目的とする。

40

【課題を解決するための手段】

【0009】

本発明では上記問題を解決するために、データ信号の波形整形を行うデータ受信装置において、伝送線路から前記データ信号を受信する、前記データ信号の波形整形を行う等化器を具備した複数の受信回路と、前記受信回路の全部または2以上の所定数ずつに対して1つ設けられ、対応した前記受信回路の前記等化器の等化係数を算出する適応等化回路と、を備え、前記適応等化回路は、対応した前記受信回路のうちの1つの前記等化器の等化係数を算出し、対応した残りの全ての前記受信回路に出力することを特徴とするデータ受

50

信装置が提供される。

【0010】

このようなデータ受信装置によれば、複数の受信回路の全部または2以上の所定数ずつに対して1つの適応等化回路が設けられる。適応等化回路は、対応した受信回路のうちの1つの等化器の等化係数を算出し、対応した残りの全ての受信回路に出力する。これにより、回路規模を抑制することができ、消費電力を低減することができる。

【発明の効果】

【0011】

本発明のデータ受信装置では、複数の受信回路の全部または2以上の所定数ずつに対して1つの適応等化回路が設けられ、適応等化回路は、対応した受信回路のうちの1つの等化器の等化係数を算出し、対応した残りの全ての受信回路に出力するようにした。これにより、回路規模を抑制することができ、消費電力を低減することができる。

10

【図面の簡単な説明】

【0012】

【図1】データ受信装置の概要を示した図である。

【図2】第1の実施の形態に係るデータ受信装置の適用例を示した図である。

【図3】適応等化回路による波形整形を説明する図である。

【図4】データ受信装置の回路構成を示した図である。

【図5】受信回路の回路図である。

【図6】等化器および伝送線路のユニットパルス応答を示した図である。

20

【図7】適応等化演算回路の回路図である。

【図8】適応等化制御回路の回路図である。

【図9】FIFOの回路図である。

【図10】図9のFIFOの動作を示したタイミングチャートである。

【図11】第2の実施の形態に係るデータ受信装置の回路構成を示した図である。

【図12】データ有効信号と等化係数算出データの波形を示した図である。

【図13】レジスタの回路図である。

【図14】図13のレジスタの動作を示したタイミングチャートである。

【図15】受信回路の等化係数算出データとデータ有効信号を生成する回路の回路図である。

30

【図16】図15の受信回路の動作を示したタイミングチャートである。

【図17】第3の実施の形態に係るデータ受信装置の回路構成を示した図である。

【図18】データ受信装置の構成例を示した図である。

【発明を実施するための形態】

【0013】

以下、本発明の原理を図面を参照して詳細に説明する。

図1は、データ受信装置の概要を示した図である。図には、データ受信装置を適用したLSI1と送信回路5a~5bを有したLSI4の例が示してある。データ受信装置は、受信回路2a~2dおよび適応等化回路3より構成されている。LSI4は、送信回路5a~5dおよび受信回路2a~2dは、伝送線路によってポイントツーポイント接続されている。

40

【0014】

複数の受信回路2a~2dは、伝送線路を介し、送信回路5a~5dからデータ信号を受信する。受信回路2a~2dは、受信したデータ信号の波形を整形するための等化器を具備している。

【0015】

適応等化回路3は、複数の受信回路2a~2dの全部または2以上の所定数ずつに対して1つ設けられる。そして、適応等化回路3は、対応した受信回路2a~2dの等化器の、波形整形をするための等化係数を算出し、対応した受信回路2a~2dに出力する。図1の例では、適応等化回路3は、受信回路2a~2dの全部に対して1つ設けられている

50

が、受信回路 2 a ~ 2 d の 2 以上の所定数ずつ、例えば、受信回路 2 a , 2 b と受信回路 2 c , 2 d のそれぞれに対して、1 つの適応等化回路を設けるようにしてもよい。

【 0 0 1 6 】

このように、複数の受信回路 2 a ~ 2 d の全部または 2 以上の所定数ずつに対して 1 つの適応等化回路 3 を設け、対応する受信回路 2 a ~ 2 d の等化器の等化係数を算出するようにした。これによって、回路規模を抑制することができ、消費電力を低減することができる。

【 0 0 1 7 】

次に、本発明の第 1 の実施の形態を図面を参照して詳細に説明する。

図 2 は、第 1 の実施の形態に係るデータ受信装置の適用例を示した図である。図には、通信装置が示してある。通信装置は、光信号を電気信号に、電気信号を光信号に変換するとともにその他所定の処理を行っている。

10

【 0 0 1 8 】

通信装置は、図に示すようにバックボード 1 1 および基板 1 2 ~ 1 4 から構成されている。基板 1 2 ~ 1 4 は、バックボード 1 1 に実装され、バックボード 1 1 を介して、互いに通信を行っている。

【 0 0 1 9 】

基板 1 2 には、L S I 1 2 a が実装されている。L S I 1 2 a は、複数の送信回路を具備している。基板 1 3 には、L S I 1 3 a が実装されている。L S I 1 3 a は、複数の受信回路と 1 つの適応等化回路を有したデータ受信装置を具備している。L S I 1 2 a , 1 3 a の送信回路と受信回路は、バックボード 1 1 の伝送線路によってポイントツーポイント接続されている。

20

【 0 0 2 0 】

L S I 1 3 a の複数の受信回路は、L S I 1 2 a の複数の送信回路からデータを受信する。L S I 1 3 a の適応等化回路は、複数の受信回路から、波形整形するためのデータを受信し、受信回路のそれぞれが具備している等化器の等化係数を調整する。

【 0 0 2 1 】

このように、1 つの適応等化回路によって、受信回路の等化器を調整し、受信回路が適正に受信データの判定を行えるようにする。なお、データ受信回路は、複数の受信回路と 1 つの適応等化回路を有するとしたが、2 以上の所定数ずつの受信回路に対して 1 つ適応等化回路を設けるようにしてもよい。

30

【 0 0 2 2 】

次に、適応等化回路による波形整形について説明する。

図 3 は、適応等化回路による波形整形を説明する図である。図には、データを送信する送信回路 2 1、データを伝送する伝送線路 2 2、データを受信する受信回路 2 3、および受信回路 2 3 の波形整形を調整する適応等化回路 2 4 が示してある。受信回路 2 3 は、等化器 2 3 a および受信データの 0 , 1 (- 1 , 1) を判定するデータ判定回路 2 3 b を有している。なお、図 3 のシステムを図 2 の通信装置に対応させるとすると、図 3 の送信回路 2 1 と受信回路 2 3 は、図 2 の L S I 1 2 a が具備する送信回路の 1 つと L S I 1 3 a が具備する受信回路の 1 つに対応し、伝送線路 2 2 は、バックボード 1 1 の伝送線路に対応する。適応等化回路 2 4 は、L S I 1 3 a が具備する適応等化回路に対応する。

40

【 0 0 2 3 】

波形 W 1 1 は、温度が 2 0 の場合における、伝送線路 2 2 から出力されるデータのアイパターンを示している。波形 W 1 2 は、温度が 2 0 の場合における、受信回路 2 3 の等化器 2 3 a から出力されるデータのアイパターンを示している。波形 W 1 1 , W 1 2 に示すように、伝送線路 2 2 によって振幅が小さくなったデータは、等化器 2 3 a および適応等化回路 2 4 によって、振幅が回復される。

【 0 0 2 4 】

波形 W 1 3 は、温度が 8 5 の場合における、伝送線路 2 2 から出力されるデータのアイパターンを示している。波形 W 1 4 は、温度が 8 5 の場合における、受信回路 2 3 の

50

等化器 2 3 a から出力されるデータのアイパターンを示している。波形 W 1 1 , W 1 3 に示すように温度が高くなると、データの振幅はより小さくなってしまふ。しかし、波形 W 1 2 , W 1 4 に示すように等化器 2 3 a および適応等化回路 2 4 によって、温度が 2 0 の場合と同様に、データの振幅は回復される。

【 0 0 2 5 】

このように、伝送線路 2 2 によって、データの波形が歪んでも、適応等化回路 2 4 および等化器 2 3 a によって、波形が整形される。これによって、受信回路 2 3 のデータ判定回路 2 3 b は、適正にデータの判定を行うことができる。

【 0 0 2 6 】

次に、データ受信装置の回路構成について詳細に説明する。

図 4 は、データ受信装置の回路構成を示した図である。図に示すようにデータ受信装置は、受信回路 3 2 a ~ 3 2 d、F I F O (F I F O (First In First Out) 方式のメモリ) 3 3 a ~ 3 3 d、および適応等化回路 3 4 より構成されている。枠 3 1 a ~ 3 1 d、3 7 のそれぞれは、クロックドメインを表している。つまり、枠 3 1 a ~ 3 1 d、3 7 のそれぞれの回路は、非同期で動作している。なお、図 4 のデータ受信装置を図 2 の通信装置に対応させるとすると、図 4 の受信回路 3 2 a ~ 3 2 d は、図 2 の L S I 1 3 a が具備する受信回路に対応し、適応等化回路 3 4 は、L S I 1 3 a が具備する適応等化回路に対応する。また、受信回路 3 2 a ~ 3 2 d は、バックボード 1 1 の伝送線路を介して、L S I 1 2 a の送信回路にポイントツーポイント接続されることになる。

【 0 0 2 7 】

受信回路 3 2 a ~ 3 2 d のそれぞれは、伝送線路を介しデータ D T 0 ~ D T 3 を受信する。適応等化回路 3 4 は、適応等化制御回路 3 5 および適応等化演算回路 3 6 を有している。

【 0 0 2 8 】

受信回路 3 2 a ~ 3 2 d のそれぞれは、図示していないが等化器を有している。適応等化回路 3 4 は、受信回路 3 2 a ~ 3 2 d から所定のデータを受信し、そのデータに基づいて、等化器がデータ D T 0 ~ D T 3 の波形を適正に整形できるように、等化器の等化係数を算出する。そして、算出した等化係数を各受信回路 3 2 a ~ 3 2 d に出力する。

【 0 0 2 9 】

適応等化回路 3 4 は、複数の受信回路 3 2 a ~ 3 2 d に対し、1 つ設けられている。受信回路 3 2 a ~ 3 2 d のそれぞれは、独立してデータ D T 0 ~ D T 3 を受信して処理を行うため、動作タイミングが異なる (動作クロックの周波数は同じであるが、位相が異なる)。そのため、1 つの適応等化回路 3 4 が、受信回路 3 2 a ~ 3 2 d の全てとデータの送受信を行えるには、これらのデータを適応等化回路 3 4 の動作タイミングに同期させる必要がある。そこで、受信回路 3 2 a ~ 3 2 d ごとに F I F O 3 3 a ~ 3 3 d を設け、受信回路 3 2 a ~ 3 2 d が F I F O 3 3 a ~ 3 3 d にデータを書き込み、適応等化回路 3 4 がそれを読み出すことにより、データの送受信を行えるようにしている。

【 0 0 3 0 】

受信回路 3 2 a ~ 3 2 d は、クロック A R X _ C L K 0 ~ A R X _ C L K 3 を F I F O 3 3 a ~ 3 3 d に出力する。クロック A R X _ C L K 0 ~ A R X _ C L K 3 は、周波数は同じであるが、受信回路 3 2 a ~ 3 2 d が独立して動作しているため、位相は異なっている。また、受信回路 3 2 a ~ 3 2 d は、クロック A R X _ C L K 0 ~ A R X _ C L K 3 に同期して、等化器の等化係数算出のために必要な M ビットの等化係数算出データ A R X _ D T 0 ~ A R X _ D T 3 を F I F O 3 3 a ~ 3 3 d に出力する。また、受信回路 3 2 a ~ 3 2 d には、適応等化演算回路 3 6 から等化係数 E Q 0 ~ E Q 3 が入力される。受信回路 3 2 a ~ 3 2 d の等化器は、等化係数 E Q 0 ~ E Q 3 に応じてデータ D T 0 ~ D T 3 の波形整形を行い、データ D T 0 ~ D T 3 が適正に判定されるようにしている。

【 0 0 3 1 】

F I F O 3 3 a ~ 3 3 d には、適応等化回路 3 4 で生成されるクロック A D P _ C L K A が入力される。F I F O 3 3 a ~ 3 3 d は、クロック A D P _ C L K A に同期して、記

10

20

30

40

50

憶しているMビットの等化係数算出データADP__DT0～ADP__DT3（受信回路32a～32dによって書き込まれた等化係数算出データARX__DT0～ARX__DT3）を、適応等化演算回路36に出力する。また、FIFO33a～33dには、スタート信号FIFO__START0～FIFO__START3が入力される。FIFO33a～33dは、スタート信号FIFO__START0～FIFO__START3が入力されて動作を開始する。また、FIFO33a～33dには、しきい値信号READ__TH0～READ__TH3が入力される。FIFO33a～33dは、しきい値信号READ__TH0～READ__TH3で指示される数の等化係数算出データARX__DT0～ARX__DT3が書き込まれると、データの読み出しが可能になったことを示すレディ信号FIFO__READY0～FIFO__READY3を適応等化制御回路35に出力する。また、FIFO33a～33dには、イネーブル信号FIFO__READ__EN0～FIFO__READ__EN3が入力される。FIFO33a～33dは、イネーブル信号FIFO__READ__EN0～FIFO__READ__EN3が入力されると、記憶している等化係数算出データADP__DT0～ADP__DT3を、適応等化演算回路36に出力する。なお、FIFO33a～33dは、受信回路32a～32dによって書き込まれた順に等化係数算出データADP__DT0～ADP__DT3（等化係数算出データARX__DT0～ARX__DT3）を出力していく。また、しきい値信号READ__TH0～READ__TH3は、例えば、CPU（Central Processing Unit）などの制御装置から出力される。

10

【0032】

適応等化回路34の適応等化制御回路35には、スタート信号STARTが入力される。適応等化制御回路35は、スタート信号STARTが入力されると、FIFO33a～33dに、スタート信号FIFO__START0～FIFO__START3を出力する。また、適応等化制御回路35には、イネーブル信号ADP__RX__EN0～ADP__RX__EN3が入力される。適応等化制御回路35は、イネーブル信号ADP__RX__EN0～ADP__RX__EN3に応じて、動作すべきFIFO33a～33dに対して、スタート信号FIFO__START0～FIFO__START3を出力する。アプリケーションによっては、動作させる必要のない受信回路32a～32dも存在するからである。また、適応等化制御回路35には、FIFO33a～33dからレディ信号FIFO__READY0～FIFO__READY3が入力される。適応等化制御回路35は、FIFO33a～33dからのレディ信号FIFO__READY0～FIFO__READY3を受けて、イネーブル信号FIFO__READ__EN0～FIFO__READ__EN3をFIFO33a～33dに出力する。また、適応等化制御回路35は、スタート信号STARTが入力されると、適応等化演算回路36を活性化させるためのイネーブル信号ADP__ENを適応等化演算回路36に出力する。スタート信号STARTおよびイネーブル信号ADP__RX__EN0～ADP__RX__EN3は、例えば、CPUなどの制御装置から出力される。

20

30

【0033】

適応等化演算回路36は、適応等化制御回路35からのイネーブル信号ADP__ENを受けて活性化する。適応等化演算回路36には、クロックADP__CLKBが入力されており、適応等化演算回路36は、このクロックADP__CLKBに同期して動作する。クロックADP__CLKBの周波数は、受信回路32a～32dが出力するクロックARX__CLK0～ARX__CLK3の周波数を、受信回路32a～32dの個数分、倍にした周波数である。図の例では、受信回路32a～32dは、4個なので、クロックADP__CLKBの周波数は、クロックARX__CLK0～ARX__CLK3の周波数を4倍した値となる。

40

【0034】

また、適応等化演算回路36は、FIFO33a～33dから等化係数算出データADP__DT0～ADP__DT3を読み出し、入力する。適応等化演算回路36は、等化係数算出データADP__DT0～ADP__DT3に基づいて、受信回路32a～32dの等化器が、データDT0～DT3の波形を整形するための等化係数EQ0～EQ3を算出する

50

。適応等化演算回路 3 6 は、算出した等化係数 $E Q 0 \sim E Q 3$ を受信回路 3 2 a ~ 3 2 d に出力する。

【 0 0 3 5 】

次に、図 4 の受信回路 3 2 a について詳細に説明する。

図 5 は、受信回路の回路図である。図に示すように受信回路 3 2 a は、等化器 4 1、A D C 4 2、データ判定回路 4 3、およびデマックス (D e m u x) 回路 4 4 を有している。等化器 4 1 は、バッファ (図中 1) 4 1 a、1 次微分器 (図中 s) 4 1 b、2 次微分器 (図中 s^2) 4 1 c、可変利得アンプ 4 1 d ~ 4 1 f、および加算器 4 1 g を有している。

【 0 0 3 6 】

1 次微分器 4 1 b は、1 次の微分器であり、信号の変化を強調して出力する。2 次微分器 4 1 c は、2 次の微分器であり、信号の変化を 1 次微分器より強調して出力する。

バッファ 4 1 a、1 次微分器 4 1 b、および 2 次微分器 4 1 c には、伝送線路からのデータ D T 0 が入力される。1 次微分器 4 1 b、および 2 次微分器 4 1 c は、入力されるデータ D T 0 の変化を強調して、可変利得アンプ 4 1 e ~ 4 1 f に出力する。

【 0 0 3 7 】

可変利得アンプ 4 1 d ~ 4 1 f には、バッファ 4 1 a、1 次微分器 4 1 b、および 2 次微分器 4 1 c から出力されるデータと、図 4 で説明した適応等化演算回路 3 6 から出力される等化係数 $E Q 0$ が入力される。等化係数 $E Q 0$ は、等化係数 $A 0 \sim A 2$ からなり、それぞれ可変利得アンプ 4 1 d ~ 4 1 f に入力される。

【 0 0 3 8 】

可変利得アンプ 4 1 d ~ 4 1 f は、等化係数 $A 0 \sim A 2$ に応じて利得を可変し、バッファ 4 1 a、1 次微分器 4 1 b、および 2 次微分器 4 1 c から出力されるデータの、変化の強調の度合いを調整し、加算器 4 1 g に出力する。加算器 4 1 g は、可変利得アンプ 4 1 d ~ 4 1 f から出力される信号を足し合わせ、データ D T 0 の振幅を回復する。このようにして、等化器 4 1 は、適応等化演算回路 3 6 から出力される等化係数 $A 0 \sim A 2$ に応じてデータ D T 0 の波形整形を行う。

【 0 0 3 9 】

A D C 4 2 は、等化器 4 1 から出力される波形整形されたデータを、アナログ - デジタル変換する。データ判定回路 4 3 は、等化器 4 1 から出力される波形整形されたデータが、1, -1 (1, 0) であるかの判定を行う。デマックス回路 4 4 は、データ判定回路 4 3 から出力される信号をデマックスする。なお、A D C 4 2 から出力されるデータ $y 0$ およびデマックス回路 4 4 から出力されるデマックスデータ $D e m u x _ D a t a 0$ は、図 4 に示す等化係数算出データ $A R X _ D T 0$ に対応する。

【 0 0 4 0 】

なお、上記では、受信回路 3 2 a について説明したが、受信回路 3 2 b ~ 3 2 d も受信回路 3 2 a と同様の構成および機能を有している。

次に、等化器 4 1 のユニットパルス応答について説明する。

【 0 0 4 1 】

図 6 は、等化器および伝送線路のユニットパルス応答を示した図である。図に示す波形 W 2 1 は、等化器 4 1 のユニットパルス応答を示し、波形 W 2 2 は、伝送線路のユニットパルス応答を示している。

【 0 0 4 2 】

伝送線路では、波形 W 2 2 に示すように、ユニットパルス応答の立ち上がりは緩やかであり、また、符号間干渉成分 (I S I) も大きい。一方、等化器 4 1 では、波形 W 2 1 に示すように、ユニットパルス応答の立ち上がりは急峻となり、I S I も小さくなる。これにより、データ信号の波形は等化器 4 1 により整形される。

【 0 0 4 3 】

次に、図 4 の適応等化演算回路 3 6 について詳細に説明する。

図 7 は、適応等化演算回路の回路図である。図に示すように適応等化演算回路 3 6 は、

10

20

30

40

50

カウンタ51、セレクタ52～54、アンプ55、減算器56、畳み込み演算部57、乗算器58～60、可変利得アンプ61～63、ssp（ステップサイズパラメータ）制御部64、および積分器65～67を有している。畳み込み演算部57には、マトリックス部68が接続されている。なお、セレクタ54、アンプ55、減算器56、畳み込み演算部57、乗算器58～60、可変利得アンプ61～63、積分器65～67、およびマトリックス部68の構成は、従来からある適応等化回路の構成と同様である。

【0044】

カウンタ51には、図4で示した適応等化制御回路35からのイネーブル信号ADP_ENが入力される。カウンタ51は、適応等化制御回路35からイネーブル信号ADP_ENが入力されると、クロックADP_CLKに同期してカウントを開始し、カウント値をセレクタ52、53へ出力する。

【0045】

セレクタ52には、図5で説明した受信回路32aから出力されるデータy0が入力される。同様に、受信回路32b～32dから出力されるデータy1～y3が入力される。セレクタ52は、カウンタ51から出力されるカウント値に応じて、入力されるデータy0～y3を選択して減算器56に出力する。

【0046】

セレクタ53には、図5で説明した受信回路32aから出力されるデマックスデータDemux_Data0が入力される。同様に、受信回路32b～32dから出力されるデマックスデータDemux_Data1～Demux_Data3が入力される。セレクタ53は、カウンタ51から出力されるカウント値に応じて、入力されるデマックスデータDemux_Data0～Demux_Data3を選択して出力する。なお、データy0とデマックスデータDemux_Data0は、等化係数算出データADP_DT0に対応し、以下同様に、データy1～y3とデマックスデータDemux_Data1～Demux_Data3のそれぞれが、等化係数算出データADP_DT1～ADP_DT3に対応する。

【0047】

セレクタ52、53には、4つの受信回路32a～32dから、データy0～y3およびデマックスデータDemux_Data0～Demux_Data3が入力されている。従って、カウンタ51は、これらのデータが順に選択され、出力されるようにカウント値をカウントする必要がある。図7の例の場合、カウンタ51は2ビットのカウントであり、0から3までの値を繰り返しセレクタ52、53に出力する。なお、前述したように、クロックADP_CLKの周波数は、受信回路32a～32dの出力するクロックARX_CLK0～ARX_CLK3の4倍の周波数である。従って、セレクタ52、53は、クロックARX_CLK0～ARX_CLK3の1クロックの間に、データy0～y3およびデマックスデータDemux_Data0～Demux_Data3を順に選択して出力することになる。

【0048】

セレクタ54は、セレクタ53から出力されるデマックスデータDemux_Data0～Demux_Data3の1ビットを選択して出力する。アンプ55は、セレクタ54から出力されるデータを所定倍増幅して、減算器56に出力する。

【0049】

ところで、データy0～y3は、受信回路32a～32dのデータ判定回路に入力されるデータの振幅を表している。アンプ55から出力されるデータdは、データ判定回路に入力されるデータの期待振幅を表している。減算器56は、このデータの振幅と期待振幅との差をとり、振幅誤差eとして乗算器58～60に出力する。

【0050】

マトリックス部68は、伝送線路と、受信回路32a～32dの等化器を構成しているバッファ、1次微分器、および2次微分器の特性を反映したユニットパルス行列のデータを記憶している。なお、マトリックス部68は、適応等化演算回路36が有していてもよ

い。

【 0 0 5 1 】

畳み込み演算部 5 7 は、セレクタ 5 3 から出力されるデマックスデータ $D e m u x _ D a t a 0 \sim D e m u x _ D a t a 3$ と、マトリックス部 6 8 のユニットパルス行列との畳み込み演算をし、入力振幅 $F 0 \sim F 2$ を出力する。この入力振幅 $F 0 \sim F 2$ は、受信回路 3 2 a ~ 3 2 d の等化器の可変利得アンプに入力される信号の振幅を予測したものである。

【 0 0 5 2 】

乗算器 5 8 ~ 6 0 は、畳み込み演算部 5 7 から出力される入力振幅 $F 0 \sim F 2$ と、減算器 5 6 から出力される振幅誤差 e の相関値を算出する。これによって、受信回路 3 2 a ~ 3 2 d の等化器の、可変利得アンプの利得が決まる。なお、入力振幅 $F 0 \sim F 2$ は、前述したように、受信回路 3 2 a ~ 3 2 d の等化器の可変利得アンプに入力される信号の振幅を予測したものである。従って、受信回路 3 2 a ~ 3 2 d の等化器の可変利得アンプに入力される信号の振幅をアナログ - デジタル変換して、乗算器 5 8 ~ 6 0 に直接入力するようにしてもよい。

10

【 0 0 5 3 】

可変利得アンプ 6 1 ~ 6 3 は、乗算器 5 8 ~ 6 0 から出力される入力振幅 $F 0 \sim F 2$ と振幅誤差 e の相関値の利得を可変し、積分器 6 5 ~ 6 7 に出力する。可変利得アンプ 6 1 ~ 6 3 の利得は、適応等化ループの収束時定数である $s s p$ を決めている。可変利得アンプ 6 1 ~ 6 3 の利得 ($s s p$) は、 $s s p$ 制御部 6 4 によって制御される。積分器 6 5 ~ 6 7 は、可変利得アンプ 6 1 ~ 6 3 から出力される信号を積算し、等化係数 $A 0 \sim A 2$ を出力する。

20

【 0 0 5 4 】

$s s p$ 制御部 6 4 は、可変利得アンプ 6 1 ~ 6 3 から出力される信号を平均化処理することにより、特定の受信回路 3 2 a ~ 3 2 d で発生したノイズ等による局所的なエラーの影響を小さくすることができる。例えば、受信回路 3 2 a ~ 3 2 d の個数は、4 個であり、 $s s p$ 制御部 6 4 は、可変利得アンプ 6 1 ~ 6 3 の利得を $1 / 4$ 倍にするように制御する。積分器 6 5 ~ 6 7 は、可変利得アンプ 6 1 ~ 6 3 から出力される信号を 4 回積算する。これによって、各受信回路 3 2 a ~ 3 2 d へ出力する等化係数を平均化することができる。

30

【 0 0 5 5 】

なお、等化係数 $A 0 \sim A 2$ を平均化することなく、受信回路 3 2 a ~ 3 2 d に出力することもできる。この場合、 $s s p$ 制御部 6 4 は、可変利得アンプ 6 1 ~ 6 3 の利得を $1 / 4$ 倍にする必要はない。そして、積分器 6 5 ~ 6 7 は、積算し、等化係数 $A 0 \sim A 2$ を出力すればよい。この場合、等化係数の収束速度は、等化係数を平均化する場合に対して 4 倍となる。

【 0 0 5 6 】

次に、適応等化制御回路 3 5 について詳細に説明する。

図 8 は、適応等化制御回路の回路図である。図に示すように適応等化制御回路 3 5 は、AND 回路 7 1 ~ 7 4 , 7 9 ~ 8 3 および一方の入力が反転入力である NAND 回路 7 5 ~ 7 8 を有している。

40

【 0 0 5 7 】

AND 回路 7 1 ~ 7 4 の入力的一方には、スタート信号 $S T A R T$ が入力され、他方には、イネーブル信号 $A D P _ R X _ E N 0 \sim A D P _ R X _ E N 3$ が入力される。AND 回路 7 1 ~ 7 4 は、スタート信号 $S T A R T$ が H 状態のとき、イネーブル信号 $A D P _ R X _ E N 0 \sim A D P _ R X _ E N 3$ に応じて、スタート信号 $F I F O _ S T A R T 0 \sim F I F O _ S T A R T 3$ を $F I F O 3 3 a \sim 3 3 d$ に出力する。これによって、動作すべき $F I F O 3 3 a \sim 3 3 d$ が選択される。

【 0 0 5 8 】

NAND 回路 7 5 ~ 7 8 の入力的一方には、イネーブル信号 $A D P _ R X _ E N 0 \sim A$

50

D P _ R X _ E N 3 が入力され、反転入力である他方には、レディ信号 F I F O _ R E A D Y 0 ~ F I F O _ R E A D Y 3 が入力される。N A N D 回路 7 5 ~ 7 8 の出力は、A N D 回路 7 9 に入力される。イネーブル信号 A D P _ R X _ E N 0 ~ A D P _ R X _ E N 3 が H 状態で、F I F O 3 3 a ~ 3 3 d から出力されるレディ信号 F I F O _ R E A D Y 0 ~ F I F O _ R E A D Y 3 が H 状態のとき、A N D 回路 7 9 からは、H 状態のイネーブル信号 A D P _ E N が出力される。これによって、図 7 で説明した適応等化演算回路 3 6 が活性化される。

【 0 0 5 9 】

A N D 回路 8 0 ~ 8 3 の入力的一方には、イネーブル信号 A D P _ E N が入力され、他方には、F I F O 3 3 a ~ 3 3 d から出力されるレディ信号 F I F O _ R E A D Y 0 ~ F I F O _ R E A D Y 3 が入力される。イネーブル信号 A D P _ E N が H 状態で、レディ信号 F I F O _ R E A D Y 0 ~ F I F O _ R E A D Y 3 が H 状態のとき、A N D 回路 8 0 ~ 8 3 は、H 状態のイネーブル信号 F I F O _ R E A D _ E N 0 ~ F I F O _ R E A D _ E N 3 を F I F O 3 3 a ~ 3 3 d に出力する。これによって、F I F O 3 3 a ~ 3 3 d は、記憶している等化係数算出データ A D P _ D T 0 ~ A D P _ D T 3 を、適応等化演算回路 3 6 に出力する。

【 0 0 6 0 】

次に、F I F O 3 3 a ~ 3 3 d について詳細に説明する。

図 9 は、F I F O の回路図である。図に示すように F I F O 3 3 a は、レジスタ 9 1、フリップフロップ (F F) 9 2 , 9 5 , 9 7、ライトカウンタ (W R T C N T R) 9 3、比較器 (C M P) 9 4、A N D 回路 9 6、およびリードカウンタ (R E A D C N T R) 9 8 を有している。

【 0 0 6 1 】

F F 9 2 には、図示していないが受信回路 3 2 a のクロック A R X _ C L K 0 が入力され、このクロック A R X _ C L K 0 に同期して、スタート信号 F I F O _ S T A R T 0 を W R T C N T R 9 3 に出力している。

【 0 0 6 2 】

W R T C N T R 9 3 には、図示していないが受信回路 3 2 a のクロック A R X _ C L K 0 が入力され、F F 9 2 からスタート信号 F I F O _ S T A R T 0 が入力される。W R T C N T R 9 3 は、F F 9 2 からスタート信号 F I F O _ S T A R T 0 が入力されると、クロック A R X _ C L K 0 に基づいてカウントを開始し、ライトアドレス W R T _ A D を生成する。ライトアドレス W R T _ A D は、レジスタ 9 1 および C M P 9 4 に出力される。

【 0 0 6 3 】

レジスタ 9 1 には、受信回路 3 2 a から出力される等化係数算出データ A R X _ D T 0 が入力される。レジスタ 9 1 は、W R T C N T R 9 3 から出力されるライトアドレス W R T _ A D に基づいて、等化係数算出データ A R X _ D T 0 を記憶していく。

【 0 0 6 4 】

C M P 9 4 には、W R T C N T R 9 3 から出力されるライトアドレス W R T _ A D と、しきい値信号 R E A D _ T H 0 が入力される。C M P 9 4 は、ライトアドレス W R T _ A D と、しきい値信号 R E A D _ T H 0 とを比較し、ライトアドレス W R T _ A D がしきい値信号 R E A D _ T H 0 以上になると、信号を F F 9 7 に出力する。

【 0 0 6 5 】

F F 9 5 には、図示していないが受信回路 3 2 a のクロック A R X _ C L K 0 が入力され、このクロック A R X _ C L K 0 に同期して、F F 9 2 から出力される信号を A N D 回路 9 6 に出力する。A N D 回路 9 6 には、F F 9 2 , 9 5 から出力される信号が入力される。

【 0 0 6 6 】

F F 9 7 には、C M P 9 4 から出力される信号と、A N D 回路 9 6 から出力される信号が入力される。F F 9 7 には、図示していないが、適応等化回路 3 4 で生成されるクロック A D P _ C L K A が入力され、このクロック A D P _ C L K A に同期して、C M P 9 4 の

10

20

30

40

50

信号をレディ信号 F I F O _ R E A D Y 0 として出力する。すなわち、レジスタ 9 1 に記憶される等化係数算出データ A R X _ D T 0 の個数が、しきい値信号 R E A D _ T H 0 の示す個数を超えると、適応等化回路 3 4 で生成されるクロック A D P _ C L K A に同期して、レディ信号 F I F O _ R E A D Y 0 を適応等化制御回路 3 5 に出力する。なお、F F 9 2 に入力されるスタート信号 F I F O _ S T A R T 0 が L 状態になると、F F 9 7 は、出力しているレディ信号 F I F O _ R E A D Y 0 をリセットする。

【 0 0 6 7 】

R E A D C N T R 9 8 には、図示していないが適応等化回路 3 4 で生成されるクロック A D P _ C L K A が入力され、適応等化制御回路 3 5 からイネーブル信号 F I F O _ R E A D _ E N 0 が入力される。R E A D C N T R 9 8 は、イネーブル信号 F I F O _ R E A D _ E N 0 が入力されると、クロック A D P _ C L K A に基づいてカウントを開始し、リードアドレス R E A D _ A D を生成する。リードアドレス R E A D _ A D は、レジスタ 9 1 に出力され、レジスタ 9 1 は、リードアドレス R E A D _ A D に基づいて、記憶している等化係数算出データ A R X _ D T 0 を等化係数算出データ A D P _ D T 0 として出力する。

10

【 0 0 6 8 】

上述したように、F F 9 2 , 9 5 および W R T C N T R 9 3 は、受信回路 3 2 a から出力されるクロック A R X _ C L K 0 に同期して動作する。F F 9 7 および R E A D C N T R 9 8 は、クロック A D P _ C L K A に同期して動作する。これにより、受信回路 3 2 a は、クロック A R X _ C L K 0 に同期して等化係数算出データ A R X _ D T 0 を F I F O 3 3 a に書き込むことができ、適応等化回路 3 4 は、自己で生成するクロック A D P _ C L K A に同期して等化係数算出データ A D P _ D T 0 を読み出すことができる。F I F O 3 3 b ~ 3 3 d も図 9 と同様の回路構成を有し、受信回路 3 2 b ~ 3 2 d は、クロック A R X _ C L K 1 ~ A R X _ C L K 3 に同期して等化係数算出データ A R X _ D T 1 ~ A R X _ D T 3 を書き込むことができ、適応等化回路 3 4 は、自己で生成するクロック A D P _ C L K A に同期して等化係数算出データ A D P _ D T 1 ~ A D P _ D T 3 を読み出すことができる。このように、F I F O 3 3 a ~ 3 3 d によってクロックのタイミングのずれを吸収することにより、受信回路 3 2 a ~ 3 2 d より少ない数の適応等化回路 3 4 によって等化係数 E Q 0 ~ E Q 3 の算出を行うことができる。

20

【 0 0 6 9 】

次に、図 9 の F I F O 3 3 a の動作を、タイミングチャートを用いて説明する。

30

図 1 0 は、図 9 の F I F O の動作を示したタイミングチャートである。図には、受信回路 3 2 a から出力されるクロック A R X _ C L K 0 および等化係数算出データ A R X _ D T 0 が示してある。また、適応等化制御回路 3 5 から出力されるスタート信号 F I F O _ S T A R T 0 、適応等化回路 3 4 で生成されるクロック A D P _ C L K A 、およびイネーブル信号 F I F O _ R E A D _ E N 0 が示してある。また、F I F O 3 3 a で生成されるライトアドレス W R T _ A D 、リードアドレス R E A D _ A D 、レディ信号 F I F O _ R E A D Y 0 、および等化係数算出データ A D P _ D T 0 が示してある。なお、F I F O 3 3 a には、2 のしきい値信号 R E A D _ T H 0 が入力されているとする。

【 0 0 7 0 】

受信回路 3 2 a からは、図に示すようにクロック A R X _ C L K 0 に同期して等化係数算出データ A R X _ D T 0 が出力される。

40

適応等化制御回路 3 5 から、図に示すようにスタート信号 F I F O _ S T A R T 0 が出力されると、F I F O 3 3 a の W R T C N T R 9 3 は、クロック A R X _ C L K 0 に同期してライトアドレス W R T _ A D を出力する。

【 0 0 7 1 】

そして、F I F O 3 3 a は、しきい値信号 R E A D _ T H 0 が 2 であるので、図に示すようにレジスタ 9 1 に等化係数算出データ A D P _ D T 0 が 2 個記憶されると（ライトアドレス W R T _ A D が 2 進むと）、適応等化回路 3 4 で生成されるクロック A D P _ C L K A に同期して、レディ信号 F I F O _ R E A D Y 0 を出力する。

50

【 0 0 7 2 】

適応等化制御回路 3 5 は、F I F O 3 3 a からのレディ信号 F I F O _ R E A D Y 0 を受けて、図に示すようにイネーブル信号 F I F O _ R E A D _ E N 0 を出力する。F I F O 3 3 a は、適応等化制御回路 3 5 からのイネーブル信号 F I F O _ R E A D _ E N 0 を受けて、図に示すようなリードアドレス R E A D _ A D を生成し、等化係数算出データ A D P _ D T 0 を出力する。このようにして、等化係数算出データ A R X _ D T 0 は F I F O 3 3 a に書き込まれ、等化係数算出データ A D P _ D T 0 として読み出される。

【 0 0 7 3 】

以下、データ受信装置の動作について説明する。

適応等化制御回路 3 5 は、F I F O 3 3 a ~ 3 3 d と適応等化演算回路 3 6 に動作指示を行う。F I F O 3 3 a ~ 3 3 d のそれぞれは、受信回路 3 2 a ~ 3 2 d のそれぞれと、適応等化制御回路 3 5 および適応等化演算回路 3 6 の位相差を吸収する。適応等化演算に用いられる受信回路 3 2 a ~ 3 2 d の等化係数算出データ A R X _ D T 0 ~ A R X _ D T 3 は、F I F O 3 3 a ~ 3 3 d に一端書き込まれた後、適応等化演算回路 3 6 によって順次読み出される。適応等化演算回路 3 6 は、F I F O 3 3 a ~ 3 3 d に書き込まれた受信回路 3 2 a ~ 3 2 d の等化係数算出データ A D P _ D T 0 ~ A D P _ D T 3 (等化係数算出データ A R X _ D T 0 ~ A R X _ D T 3) を用い、各受信回路 3 2 a ~ 3 2 d が有している等化器の等化係数 E Q 0 ~ E Q 3 を算出する。

【 0 0 7 4 】

適応等化回路 3 4 は、等化係数算出データ A D P _ D T 0 ~ A D P _ D T 3 を平均化することなく適応等化演算をする場合、図 1 8 の構成に比べ処理するデータ量が 4 倍となる。また、適応等化ループの時定数および収束速度は 4 倍となる。

【 0 0 7 5 】

一方、等化係数算出データ A D P _ D T 0 ~ A D P _ D T 3 を平均化すると、特定の受信回路 3 2 a ~ 3 2 d にて発生したノイズ等による局所的なエラーの影響を小さくし、適応等化ループの収束精度の向上を図ることができる。この平均化処理は、適応等化ループの時定数を 1 / 4 倍にすることにより実現することができる。図 7 に示す s s p の値を 1 / 4 にすることにより、従来に対し収束速度を低下させることなく、収束精度の向上を図ることができる。

【 0 0 7 6 】

適応等化演算処理開始時には、収束速度向上を目的とした演算を行い、受信回路 3 2 a ~ 3 2 d の等化器の等化係数が収束傾向になれば、収束精度向上を目的とした演算を行うこともできる。図 7 の s s p 制御部 6 4 は、この処理を実現することができる。s s p 制御部 6 4 は、積分器 6 5 ~ 6 7 から出力される演算結果をモニタし、その演算結果に応じて s s p を調整すればよい。

【 0 0 7 7 】

このように、複数の受信回路 3 2 a ~ 3 2 d の全部または一部に対して 1 つの適応等化回路 3 4 を設け、対応する受信回路 3 2 a ~ 3 2 d の等化器の等化係数を算出するようにした。これによって、回路規模を抑制することができ、消費電力を低減することができる。

【 0 0 7 8 】

また、等化係数の平均化を行わない場合、等化係数の収束速度は n 倍 (n : 受信回路の数) となり、収束時間は 1 / n となる。

また、等化係数の平均化を行うことにより、等化係数の収束精度の向上を図ることができる。

【 0 0 7 9 】

なお、適応等化回路 3 4 は、受信回路 3 2 a ~ 3 2 d の所定数ずつ (2 以上) に対応して設けるようにしてもよい。例えば、受信回路 3 2 a , 3 2 b に対し 1 つ設け、受信回路 3 2 c , 3 2 d に対し 1 つ設けるようにしてもよい。これによっても、受信回路 3 2 a ~ 3 2 d の 1 つずつに対して適応等化回路 3 4 を設けるよりも、回路規模を抑制し、消費電

10

20

30

40

50

力を低減することができる。

【 0 0 8 0 】

次に、本発明の第 2 の実施の形態を図面を参照して詳細に説明する。

図 1 1 は、第 2 の実施の形態に係るデータ受信装置の回路構成を示した図である。図に示すようにデータ受信装置は、受信回路 1 0 2 a ~ 1 0 2 d、レジスタ 1 0 3 a ~ 1 0 3 d、および適応等化回路 1 0 4 より構成されている。枠 1 0 1 a ~ 1 0 1 d、1 0 5 のそれぞれは、クロックドメインを表している。つまり、枠 1 0 1 a ~ 1 0 1 d、1 0 5 のそれぞれの回路は、非同期で動作する。なお、図 1 1 のデータ受信装置を図 2 の通信装置に対応させるとすると、図 1 1 の受信回路 1 0 2 a ~ 1 0 2 d は、例えば、図 2 の通信装置の L S I 1 3 a が具備する受信回路に対応し、適応等化回路 1 0 4 は、L S I 1 3 a が具備する適応等化回路に対応する。また、受信回路 1 0 2 a ~ 1 0 2 d は、バックボード 1 1 の伝送線路を介して、L S I 1 2 a の送信回路にポイントツーポイント接続されることになる。

10

【 0 0 8 1 】

受信回路 1 0 2 a ~ 1 0 2 d のそれぞれは、伝送線路からデータ D T 0 ~ D T 3 を受信する。受信回路 1 0 2 a ~ 1 0 2 d のそれぞれは、図示していないが等化器を有している。適応等化回路 1 0 4 は、受信回路 1 0 2 a ~ 1 0 2 d から所定のデータを受信し、等化器がデータ D T 0 ~ D T 3 の波形を適正に整形できるように、等化器の等化係数を算出する。そして、算出した等化係数を各受信回路 1 0 2 a ~ 1 0 2 d に出力する。なお、受信回路 1 0 2 a ~ 1 0 2 d は、図 5 と同様の回路構成を有している。

20

【 0 0 8 2 】

図に示すように複数の受信回路 1 0 2 a ~ 1 0 2 d に対し、1 つの適応等化回路 1 0 4 が具備されている。受信回路 1 0 2 a ~ 1 0 2 d は、独立して処理を行うため、動作タイミングが異なる（動作クロックの周波数は同じであるが、位相が異なる）。そのため、1 つの適応等化回路 1 0 4 が、受信回路 1 0 2 a ~ 1 0 2 d の全てとデータの送受信を行えるには、受信回路 1 0 2 a ~ 1 0 2 d と適応等化回路 1 0 4 との動作タイミングを同期させる必要がある。そこで、受信回路 1 0 2 a ~ 1 0 2 d ごとにレジスタ 1 0 3 a ~ 1 0 3 d を設け、受信回路 1 0 2 a ~ 1 0 2 d がレジスタ 1 0 3 a ~ 1 0 3 d にデータを書き込み、適応等化回路 1 0 4 がそれを読み出すことにより、データの送受信を行えるようにしている。

30

【 0 0 8 3 】

受信回路 1 0 2 a ~ 1 0 2 d は、等化器の等化係数算出のために必要な M ビットの等化係数算出データ A R X _ D T 0 ~ A R X _ D T 3 をレジスタ 1 0 3 a ~ 1 0 3 d に出力する。また、受信回路 1 0 2 a ~ 1 0 2 d は、適応等化回路 1 0 4 から等化係数 E Q 0 ~ E Q 3 が入力される。受信回路 1 0 2 a ~ 1 0 2 d の等化器は、等化係数 E Q 0 ~ E Q 3 に応じて、データ D T 0 ~ D T 3 の波形整形を行い、データ D T 0 ~ D T 3 が適正に判定されるようにする。また、受信回路 1 0 2 a ~ 1 0 2 d は、等化係数算出データ A R X _ D T 0 ~ A R X _ D T 3 の有効期間を示すデータ有効信号 A R X _ D T _ E N 0 ~ A R X _ D T _ E N 3 をレジスタ 1 0 3 a ~ 1 0 3 d に出力する。

40

【 0 0 8 4 】

図 1 2 は、データ有効信号と等化係数算出データの波形を示した図である。図に示す波形 W 3 1 は、データ有効信号 A R X _ D T _ E N 0 の波形を示す。波形 W 3 2 は、等化係数算出データ A R X _ D T 0 の波形を示す。波形 W 3 1 に示すようにデータ有効信号 A R X _ D T _ E N 0 は、等化係数算出データ A R X _ D T 0 が有効である期間を示している。なお、データ有効信号 A R X _ D T _ E N 1 ~ A R X _ D T _ E N 3 も同様に、等化係数算出データ A R X _ D T 1 ~ A R X _ D T 3 の有効期間を示す。

【 0 0 8 5 】

図 1 1 の説明に戻る。レジスタ 1 0 3 a ~ 1 0 3 d には、適応等化回路 1 0 4 の動作に同期するクロック A D P _ C L K A が入力される。レジスタ 1 0 3 a ~ 1 0 3 d は、クロック A D P _ C L K A の立上りおよび立下りの一方に同期して、一時的に保持している M

50

ビットの等化係数算出データ $ADP_DT0 \sim ADP_DT3$ (受信回路 $102a \sim 102d$ によって書き込まれた等化係数算出データ $ARX_DT0 \sim ARX_DT3$) を、適応等化回路 104 に出力する。

【0086】

適応等化回路 104 は、スタート信号 $START$ を受けて動作を開始する。適応等化回路 104 には、クロック ADP_CLKB が入力されており、適応等化回路 104 は、このクロック ADP_CLKB に同期して動作する。また、適応等化回路 104 は、レジスタ $103a \sim 103d$ から等化係数算出データ $ADP_DT0 \sim ADP_DT3$ を読み出し、この等化係数算出データ $ADP_DT0 \sim ADP_DT3$ に基づいて、受信回路 $102a \sim 102d$ の等化器が、データ $DT0 \sim DT3$ の波形を整形するための、等化係数 $EQ0 \sim EQ3$ を算出する。適応等化回路 104 は、算出した等化係数 $EQ0 \sim EQ3$ を受信回路 $102a \sim 102d$ に出力する。なお、適応等化回路 104 は、図7と同様の回路構成を有し、等化係数 $EQ0 \sim EQ3$ を算出する。

10

【0087】

次に、レジスタ $103a \sim 103d$ について詳細に説明する。

図13は、レジスタの回路図である。図に示すようにレジスタ $103a$ は、 $FF111 \sim 114$ 、ロジック回路 115 、およびセクタ 116 を有している。

【0088】

$FF111$ には、セクタ 116 から出力されるセクタクロック SEL_CLK と、受信回路 $102a$ から出力される等化係数算出データ ARX_DT0 が入力され、 $FF111$ は、セクタクロック SEL_CLK に同期して、等化係数算出データ ARX_DT0 を $FF112$ に出力する。 $FF112 \sim 114$ には、クロック ADP_CLKA が入力され、 $FF112 \sim 114$ は、このクロック ADP_CLKA に同期して動作する。

20

【0089】

$FF113$ 、 114 には、受信回路 $102a$ から出力されるデータ有効信号 ARX_DT_EN0 が入力される。また、 $FF113$ 、 114 には、クロック ADP_CLKA が入力され、 $FF113$ 、 114 は、このクロック ADP_CLKA に同期して動作する。 $FF114$ のクロック ADP_CLKA が入力される端子は、反転入力端子となっている。 $FF113$ は、クロック ADP_CLKA の立上りに同期してデータ有効信号 ARX_DT_EN0 の状態をロジック回路 115 に出力し、 $FF114$ は、クロック ADP_CLKA の立下りに同期してデータ有効信号 ARX_DT_EN0 の状態をロジック回路 115 に出力する。

30

【0090】

ロジック回路 115 は、 $FF113$ 、 114 から出力される信号に応じて、 H 状態および L 状態の信号をセクタ 116 に出力する。ロジック回路 115 は、 $FF113$ の出力が H 状態のとき、 L 状態の信号を出力する。それ以外の状態では、 H 状態を出力する。

【0091】

セクタ 116 には、クロック ADP_CLKA が入力される。セクタ 116 の一方の入力端子は、反転入力端子となっている。セクタ 116 は、ロジック回路 115 から出力される信号に応じて、クロック ADP_CLKA および反転したクロック ADP_CLKA をセクタクロック SEL_CLK として $FF111$ に出力する。例えば、ロジック回路 115 から L 状態の信号が出力される場合、クロック ADP_CLKA をセクタクロック SEL_CLK として出力する。ロジック回路 115 から H 状態の信号が出力される場合、反転したクロック ADP_CLKA をセクタクロック SEL_CLK として出力する。

40

【0092】

すなわち、レジスタ $103a$ は、データ有効信号 ARX_DT_EN0 が出力されているとき (H 状態であるとき) のクロック ADP_CLKA の立上りに同期して、等化係数算出データ ADP_DT0 を出力する。なお、レジスタ $103b \sim 103d$ もレジスタ $103a$ と同様にして、クロック ADP_CLKA の立上りに同期して、等化係数算出デー

50

タ $ADP_DT1 \sim ADP_DT3$ を出力する。

【0093】

次に、図13のレジスタ103aの動作を、タイミングチャートを用いて説明する。

図14は、図13のレジスタの動作を示したタイミングチャートである。図には受信回路102aから出力されるデータ有効信号 ARX_DT_EN0 および等化係数算出データ ARX_DT0 が示されている。また、クロック ADP_CLKA の立下り時に等化係数算出データ ARX_DT0 を取り込む場合と、クロック ADP_CLKA の立上り時に等化係数算出データ ARX_DT0 を取り込む場合の、クロック ADP_CLKA 、セレクトクロック SEL_CLK 、および等化係数算出データ ADP_DT0 のタイミングチャートが示してある。

10

【0094】

図に示すデータ有効信号 ARX_DT_EN0 は、等化係数算出データ ARX_DT0 の有効期間を示している。レジスタ103aは、データ有効信号 ARX_DT_EN0 のH状態の期間におけるクロック ADP_CLKA の立下りおよび立上りの一方を検出し、検出したクロック ADP_CLKA に同期して、等化係数算出データ ARX_DT0 を出力する。

【0095】

次に、受信回路102aの等化係数算出データ ARX_DT0 とデータ有効信号 ARX_DT_EN0 の生成について説明する。

図15は、受信回路の等化係数算出データとデータ有効信号を生成する回路の回路図である。図に示すように受信回路102aは、FF121～123、125、OR回路124を有している。

20

【0096】

FF121には、クロック ARX_CLK0 と伝送線路から受信したデータ RX_DT0 が入力される。FF121は、クロック ARX_CLK0 に同期して、データ RX_DT0 を等化係数算出データ ARX_DT0 として出力する。

【0097】

FF122は、クロック RX_CLKA0 を分周し、FF123は、クロック RX_CLKB0 を分周する。OR回路124は、FF122、FF123から出力されるクロック ARX_CLK0 とクロック RX_CLKB0 の論理和をとり、FF125へ出力する。FF125は、クロック RX_CLKA0 に同期して動作し、OR回路124の出力を、データ有効信号 ARX_DT_EN0 として出力する。

30

【0098】

受信回路102aは、1つの機能としてデマックスを行っている。つまり、伝送線路を介して送られてくるシリアルなデータ $DT0$ を受信し、Nビットにまとめ出力する。例えば、データ $DT0$ を 10Gbps のシリアルデータとし、Nを32ビットとすると、受信回路102aは、例えば、外部にあるPLLから 5GHz のクロックを受け、その立上りと立下りを利用してデータ $DT0$ を受信する。その後、 5GHz のクロックを分周するとともに、データ $DT0$ を32ビットにまとめ、 $10\text{G}/32 = 312.5\text{Mbps}$ のデータ速度にて出力する。図に示す各クロックの周波数比は、 $RX_CLKA0 : RX_CLKB0 : ARX_CLK0 = 1 : 0.5 : 0.25$ である。適応等化演算に用いる等化係数算出データ ARX_DT0 は、クロック ARX_CLK0 に同期して出力される。この等化係数算出データ ARX_DT0 の有効期間を示すデータ有効信号 ARX_DT_EN0 は、クロック ARX_CLK0 とこれを生成するクロック RX_CLKB0 との論理和を、クロック RX_CLKB0 を生成するクロック RX_CLKA0 に同期させることにより生成することができる。

40

【0099】

次に、図15の受信回路102aの動作を、タイミングチャートを用いて説明する。

図16は、図15の受信回路の動作を示したタイミングチャートである。図には、クロック RX_CLKA0 、 RX_CLKB0 、 ARX_CLK0 が示してある。また、デー

50

タ有効信号 ARX_DT_EN0 、データ RX_DT0 、および等化係数算出データ ARX_DT0 が示してある。なお、各波形には、各回路による遅延時間が考慮されている。

【0100】

図に示すようにクロック RX_CLKB0 は、クロック RX_CLKA0 を2分周したものである。クロック ARX_CLK0 は、クロック RX_CLKB0 を2分周したものである。データ有効信号 ARX_DT_EN0 は、クロック ARX_CLK0 とこれを生成するクロック RX_CLKB0 との論理和を、クロック RX_CLKB0 を生成するクロック RX_CLKA0 に同期させることにより生成したものである。これによって、データ有効信号 ARX_DT_EN0 は、FF121から出力される等化係数算出データ ARX_DT0 のデータ有効期間を表すことができる。

10

【0101】

このように、複数の受信回路102a~102dの全部または一部に対して1つの適応等化回路104を設け、対応する受信回路102a~102dの等化器の等化係数を算出するようにした。これによって、回路規模を抑制することができ、消費電力を低減することができる。

【0102】

また、受信回路102a~102dから、等化係数算出データ $ARX_DT0 \sim ARX_DT3$ の有効期間を示すデータ有効信号 $ARX_DT_EN0 \sim ARX_DT_EN3$ を出力するようにし、適応等化回路104は、データ有効信号 $ARX_DT_EN0 \sim ARX_DT_EN3$ の出力中にラッチした等化係数算出データを読み出すようにした。これによって、FIFOなどの記憶装置を用いることなく、クロックの乗せ換えを実現でき、より一層回路規模の抑制と消費電力の低減を図ることができる。

20

【0103】

なお、適応等化回路104は、受信回路102a~102dの所定数ずつ(2以上)に対して設けるようにしてもよい。例えば、受信回路102a, 102bに対し1つ設け、受信回路102c, 102dに対し1つ設けるようにしてもよい。これによっても、受信回路102a~102dの1つずつに対して適応等化回路104を設けるよりも、回路規模を抑制し、消費電力を低減することができる。

【0104】

次に、本発明の第3の実施の形態を図面を参照して詳細に説明する。

30

図17は、第3の実施の形態に係るデータ受信装置の回路構成を示した図である。図に示すようにデータ受信装置は、受信回路132a~132dおよび適応等化回路133を有している。枠131a~131dのそれぞれは、クロックドメインを表している。つまり、枠131a~131dのそれぞれの回路は、非同期で動作する。なお、図17のデータ受信装置を図2の通信装置に対応させるとすると、図17の受信回路132a~132dは、例えば、図2の通信装置のLSI13aが具備する受信回路に対応し、適応等化回路133は、LSI13aが具備する適応等化回路に対応する。また、受信回路132a~132dは、バックボード11の伝送線路を介して、LSI12aの送信回路に接続されることになる。

【0105】

40

受信回路132a~132dは、図5で説明したものと同様の等化器を有している。適応等化回路133は、図7で説明したものと同様の適応等化演算回路を有している。図17のデータ受信装置では、適応等化回路133が、受信回路132aから出力されるクロック ARX_CLK0 に同期してMビットの等化係数算出データ ARX_DT0 を受信し、受信回路132aの等化器の等化係数 $EQ0$ を算出する。なお、適応等化回路133は、受信回路132aに対応して設けられているが、他の受信回路132b~132dのどれかに対応して設けられてもよい。

【0106】

ところで、受信回路132a~132dと送信回路を結ぶそれぞれの伝送線路は、例えば、図2で示したように、同一のバックボード11に設けられている。従って、伝送線路

50

や伝送線路と基板 1 2 ~ 1 3 とを接続するコネクタ等によるデータ D T 0 ~ D T 3 の波形の歪みは、受信回路 1 3 2 a ~ 1 3 2 d において同様であると考えられる。そこで、図 1 7 に示すように、1 つの適応等化回路 1 3 3 で算出された等化係数 E Q 0 を受信回路 1 3 2 b ~ 1 3 2 d に出力し、波形整形することもできる。なお、この考え方は、第 1、第 2 の実施の形態にも当てはまる。

【 0 1 0 7 】

このように、1 つの受信回路 1 3 2 a の等化器の等化係数を算出し、この等化係数を他の受信回路 1 3 2 b ~ 1 3 2 d に出力するようにした。これによって、回路規模を抑制することができ、消費電力を低減することができる。

【 0 1 0 8 】

なお、適応等化回路 1 3 3 は、受信回路 1 3 2 a ~ 1 3 2 d の所定数ずつ (2 以上) に対応して設けるようにしてもよい。例えば、受信回路 1 3 2 a , 1 3 2 b に対し 1 つ設け、受信回路 1 3 2 c , 1 3 2 d に対し 1 つ設けるようにしてもよい。これによっても、受信回路 1 3 2 a ~ 1 3 2 d の 1 つずつに対して適応等化回路 1 3 3 を設けるよりも、回路規模を抑制し、消費電力を低減することができる。

【 符号の説明 】

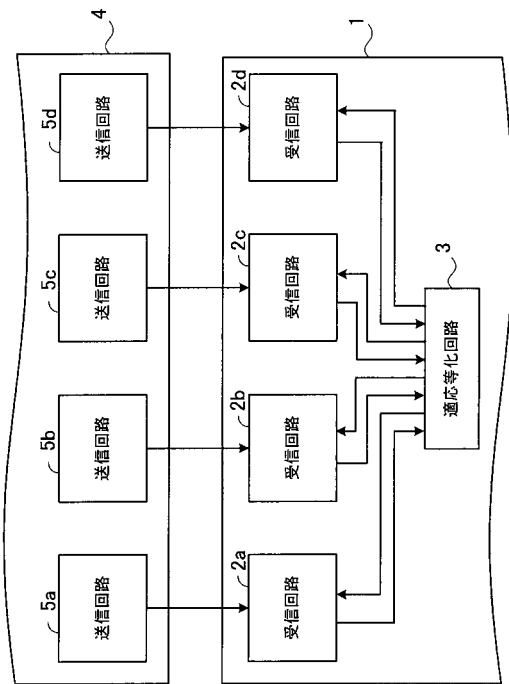
【 0 1 0 9 】

- 1、4 L S I
- 2 a ~ 2 d 受信回路
- 3 適応等化回路

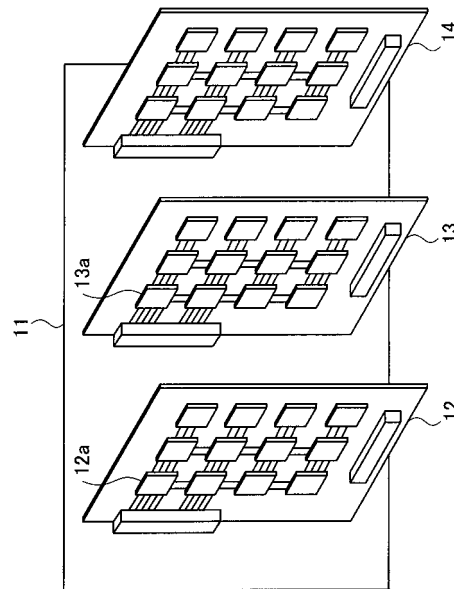
10

20

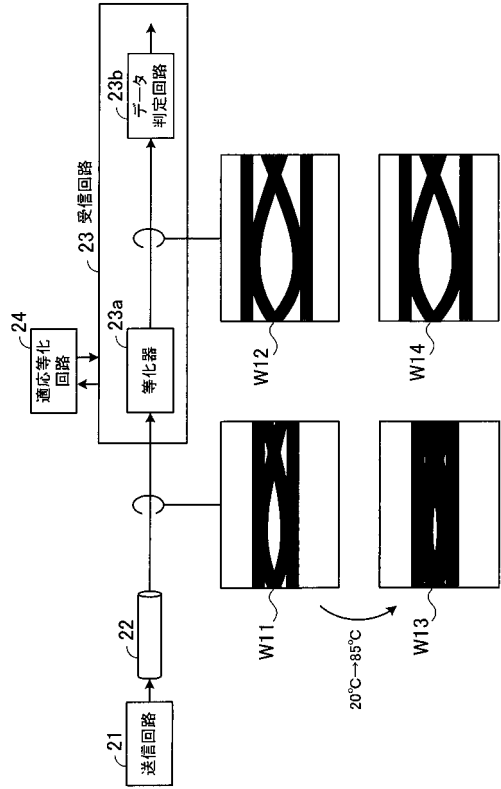
【 図 1 】



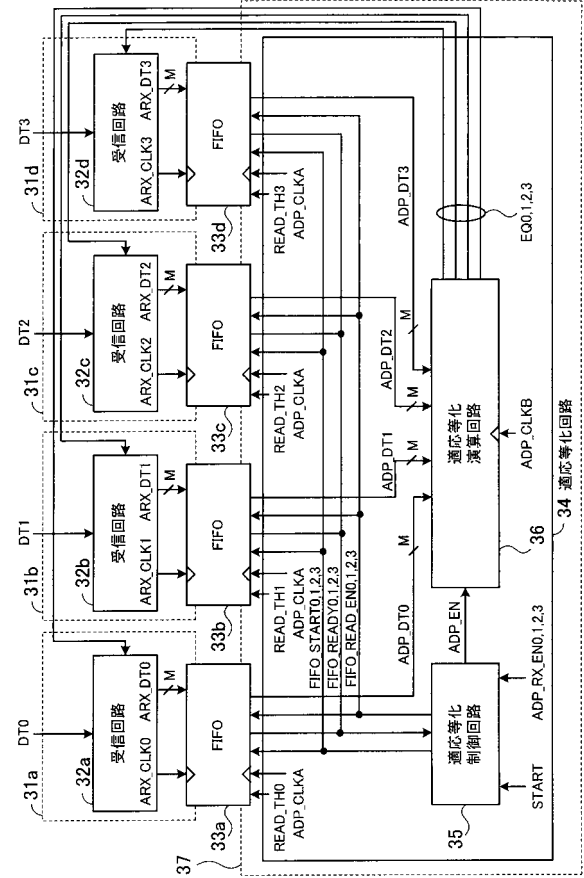
【 図 2 】



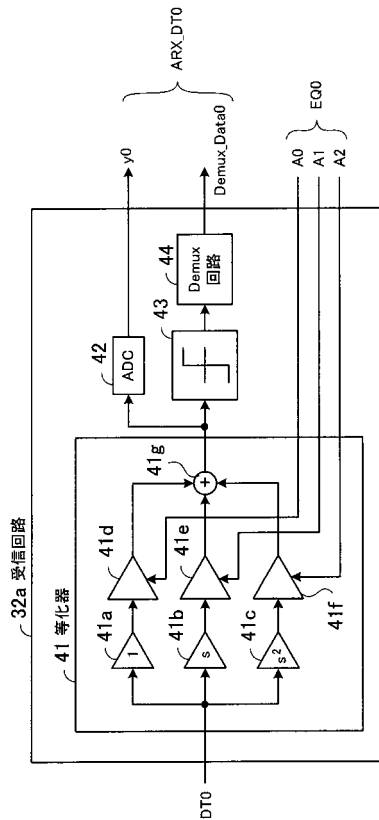
【 図 3 】



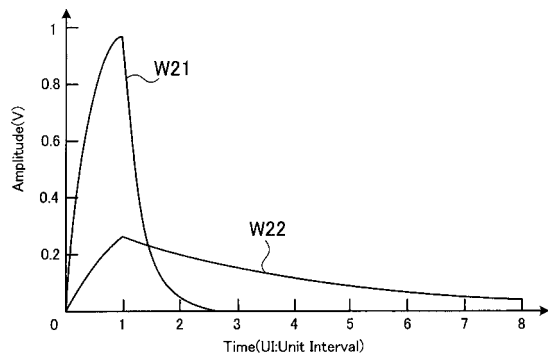
【 図 4 】



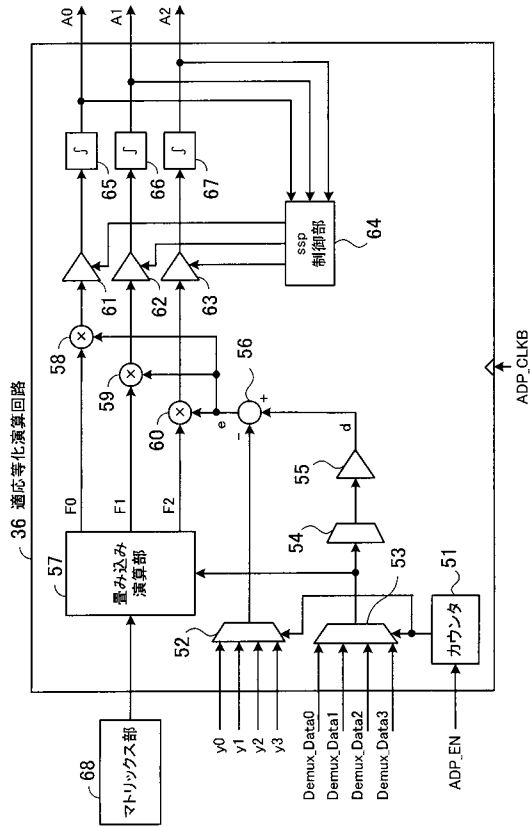
【 図 5 】



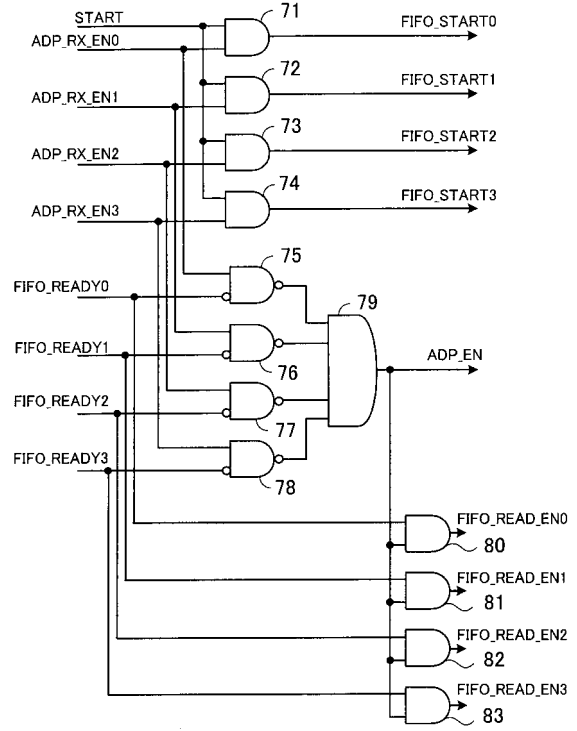
【 図 6 】



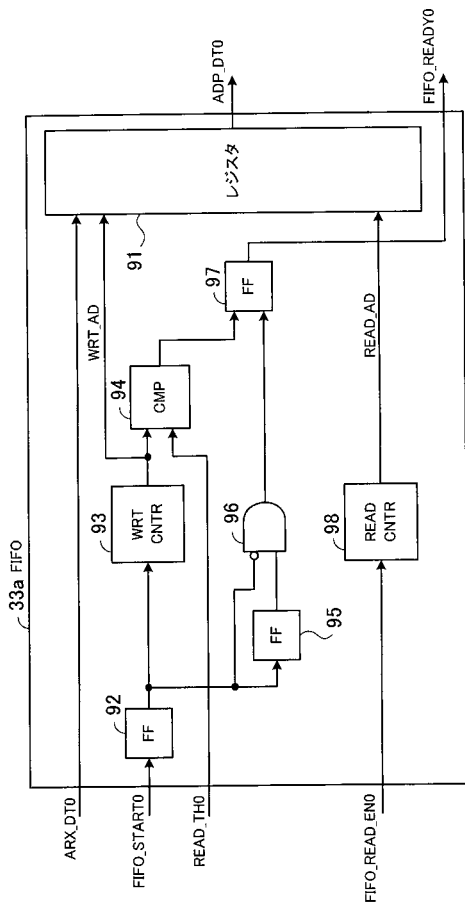
【図7】



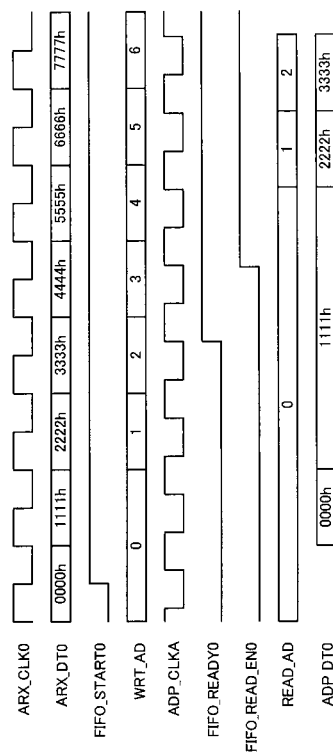
【図8】



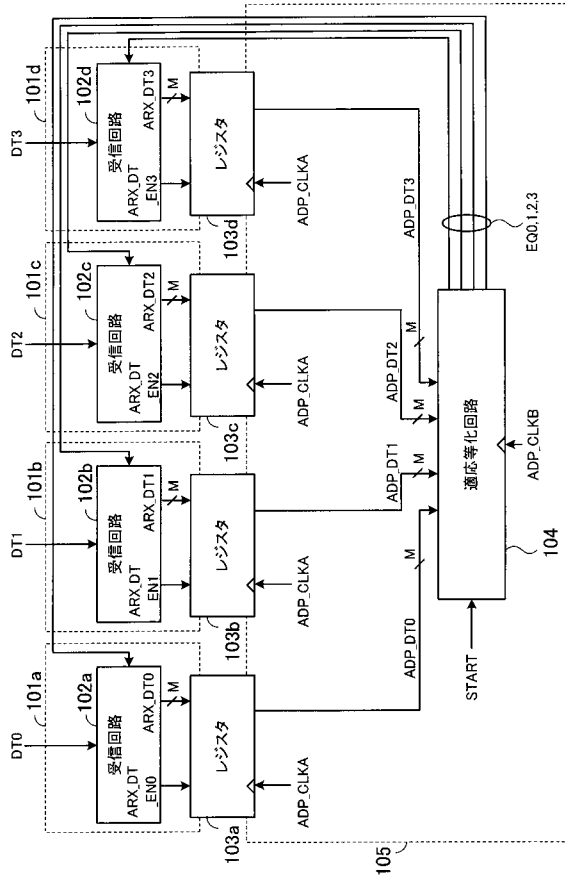
【図9】



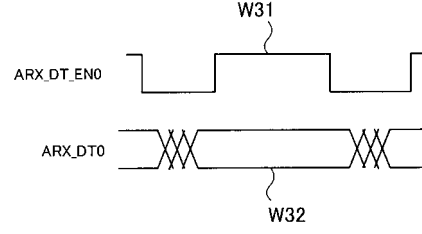
【図10】



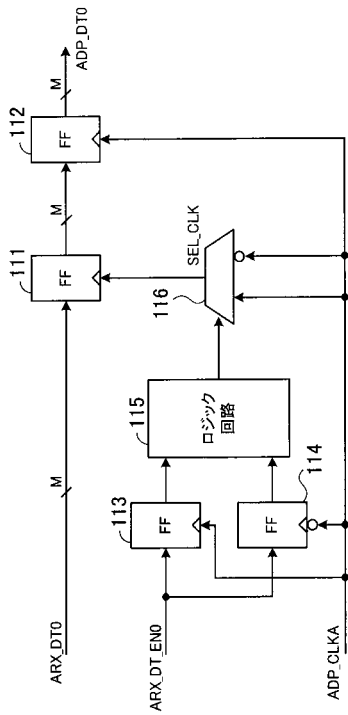
【図 1 1】



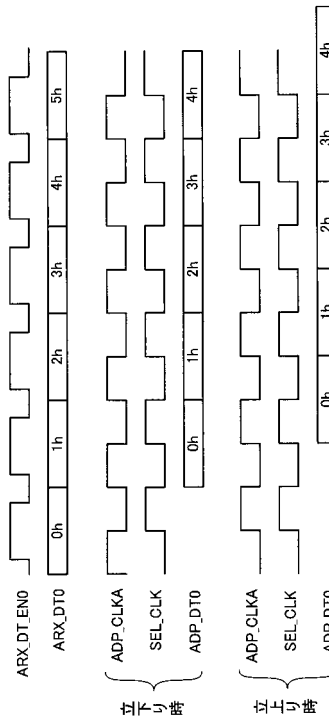
【図 1 2】



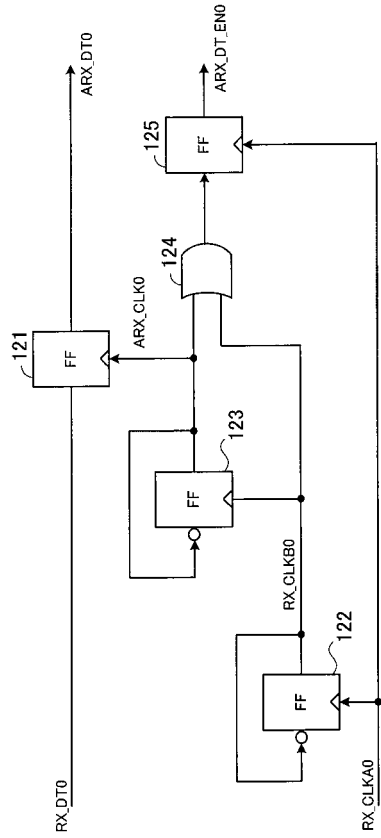
【図 1 3】



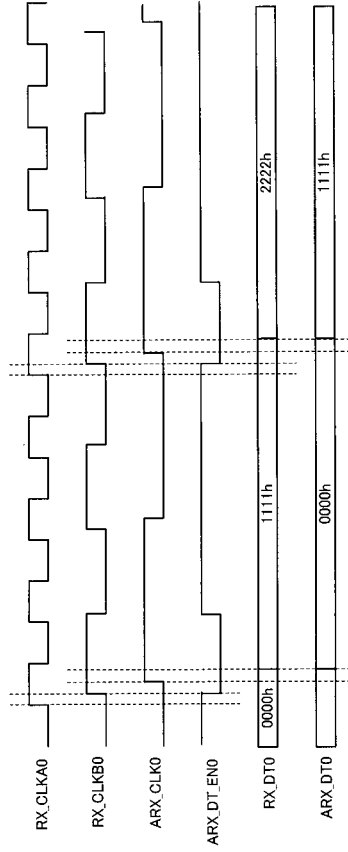
【図 1 4】



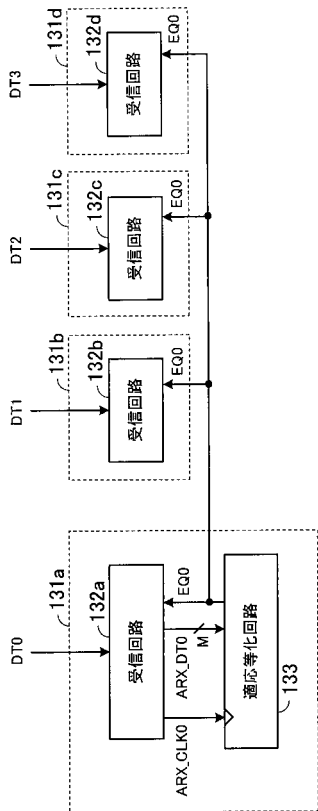
【 図 1 5 】



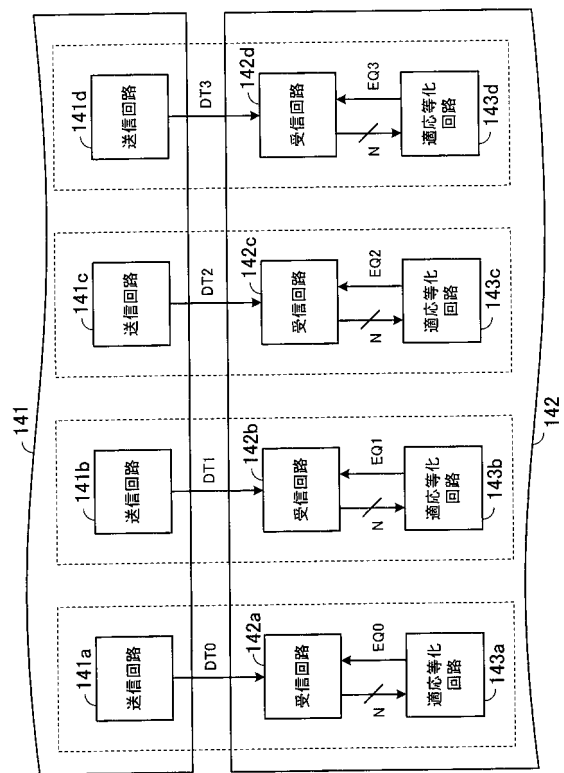
【 図 1 6 】



【 図 1 7 】



【 図 1 8 】



フロントページの続き

- (56)参考文献 特開平01 - 251811 (JP, A)
特開平10 - 308784 (JP, A)
特開平10 - 075237 (JP, A)
特開平09 - 233007 (JP, A)
国際公開第2005 / 013505 (WO, A1)
特開平01 - 123535 (JP, A)
特開平08 - 065222 (JP, A)
特開2003 - 223761 (JP, A)
特開2005 - 332453 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H04B 3 / 04
H03H 21 / 00
H04L 25 / 03