

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4205307号
(P4205307)

(45) 発行日 平成21年1月7日(2009.1.7)

(24) 登録日 平成20年10月24日(2008.10.24)

(51) Int.Cl.	F I
HO4N 5/21 (2006.01)	HO4N 5/21 B

請求項の数 4 (全 20 頁)

(21) 出願番号	特願2000-514466 (P2000-514466)	(73) 特許権者	501224165
(86) (22) 出願日	平成10年9月29日 (1998. 9. 29)		エスリー グラフィックス カンパニー リミテッド
(65) 公表番号	特表2001-518758 (P2001-518758A)		英国領ケイマン諸島グランドケイマン・ビー オーボックス709・メアリストリート
(43) 公表日	平成13年10月16日 (2001. 10. 16)		・チャールスアダムス, リッチーアンド ダックワース, ゼファーハウス
(86) 国際出願番号	PCT/US1998/020708	(74) 代理人	100089266
(87) 国際公開番号	W01999/017540		弁理士 大島 陽一
(87) 国際公開日	平成11年4月8日 (1999. 4. 8)	(72) 発明者	ウィリアム・エス・ヘルツ
審査請求日	平成17年9月13日 (2005. 9. 13)		アメリカ合衆国カリフォルニア州9456 0, ニューアーク, ポトレロ・ドライブ・ 39708
(31) 優先権主張番号	08/942, 143		
(32) 優先日	平成9年9月29日 (1997. 9. 29)		
(33) 優先権主張国	米国 (US)		

最終頁に続く

(54) 【発明の名称】 フリッカフィルタリング及びオーバースキャン補償

(57) 【特許請求の範囲】

【請求項1】

複数のオリジナルラインのフリッカフィルタリング及び垂直方向の縮小を同時に行うための装置であって、

係数信号を生成して出力する係数計算手段と、

該係数計算手段から補償係数を受信するよう接続され、及びオリジナルラインを受信するよう構成された、ラインプロセッサであって、受信したオリジナルラインを受信した補償係数と組み合わせて補償ラインを形成する、ラインプロセッサと、前記係数計算手段及び前記ラインプロセッサを制御するよう接続されたコントローラであって、オリジナルラインの受信を前記ラインプロセッサによる補償係数の受信と同期させる、コントローラとを備えており、

オリジナルラインがファクタ $N/(N+1)$ により垂直方向に縮小され、

各補償ラインが索引 I により特徴付けられ、補償係数が、 $I=0$ の場合に、 $C1=1/(4N)$ 、 $C2=(N-1)/(4N)$ 、 $C3=(2N)/(4N)$ 、 $C4=(N-1)/(4N)$ 、及び $C5=1/(4N)$ により与えられ、 $I=n-1$ の場合に、 $C1=(N-I-1)/(4N)$ 、 $C2=(2N-I-1)/(4N)$ 、 $C3=(2I)/(4N)$ 、 $C4=1/4$ 、及び $C5=0$ により与えられ、それ以外の場合には、 $C1=(N-I+1)/(4N)$ 、 $C2=(2N-I-1)/(4N)$ 、 $C3=(N+1-1)/(4N)$ 、 $C4=(I+1)/(4N)$ 、及び $C5=0$ により与えられる、複数のオリジナルラインのフリッカフィルタリング及び垂直方向の縮小を同時に行うための装置。

【請求項2】

複数のオリジナルラインのフリッカフィルタリング及び垂直方向の縮小を同時に行う

10

20

ための装置であって、

係数信号を生成して出力する係数計算手段と、

該係数計算手段から補償係数を受信するよう接続され、及びオリジナルラインを受信するよう構成された、ラインプロセッサであって、受信したオリジナルラインを受信した補償係数と組み合わせて補償ラインを形成する、ラインプロセッサと、前記係数計算手段及び前記ラインプロセッサを制御するよう接続されたコントローラであって、オリジナルラインの受信を前記ラインプロセッサによる補償係数の受信と同期させる、コントローラとを備えており、

オリジナルラインがファクタ $N/(N+1)$ により垂直方向に縮小され、

各補償ラインが索引 l により特徴付けされ、補償係数が、 $l=0$ の場合に、 $C1=(N-1)/(4N)$ 、 $C2=(2N-1)/(4N)$ 、 $C3=(N+1)/(4N)$ 、及び $C4=(1)/(4N)$ により与えられ、 $n=0$ の場合には、 $C1=1/4$ 、 $C2=1/2$ 、 $C3=1/4$ 、及び $C4=0$ により与えられる、複数のオリジナルラインのフリッカフィルタリング及び垂直方向の縮小を同時に行うための装置。

10

【請求項 3】

複数のオリジナルラインのフリッカフィルタリング及び垂直方向の縮小を同時に行うための方法であって、

オリジナルラインのフリッカフィルタリング及び垂直方向の縮小を同時に行うための補償係数を決定し、

オリジナルラインの複数の加重和を形成し、そのオリジナルラインの重み付けが前記補償係数により決定される、という各ステップを有し、

20

オリジナルラインがファクタ $N/(N+1)$ により垂直方向に縮小され、

各補償ラインが索引 l により特徴付けされ、補償係数が、 $l=0$ の場合に、 $C1=1/(4N)$ 、 $C2=(N-1)/(4N)$ 、 $C3=(2N)/(4N)$ 、 $C4=(N-1)/(4N)$ 、及び $C5=1/(4N)$ により与えられ、 $l=n-1$ の場合に、 $C1=(N-l-1)/(4N)$ 、 $C2=(2N-l-1)/(4N)$ 、 $C3=(2l)/(4N)$ 、 $C4=1/4$ 、及び $C5=0$ により与えられ、それ以外の場合には、 $C1=(N-l+1)/(4N)$ 、 $C2=(2N-l-1)/(4N)$ 、 $C3=(N+1-l)/(4N)$ 、 $C4=(l+1)/(4N)$ 、及び $C5=0$ により与えられる、

複数のオリジナルラインのフリッカフィルタリング及び垂直方向の縮小を同時に行うための方法。

【請求項 4】

複数のオリジナルラインのフリッカフィルタリング及び垂直方向の縮小を同時に行うための方法であって、

30

オリジナルラインのフリッカフィルタリング及び垂直方向の縮小を同時に行うための補償係数を決定し、

オリジナルラインの複数の加重和を形成し、そのオリジナルラインの重み付けが前記補償係数により決定される、という各ステップを有し、

オリジナルラインがファクタ $N/(N+1)$ により垂直方向に縮小され、

各補償ラインが索引 l により特徴付けされ、補償係数が、 $l=0$ の場合に、 $C1=(N-1)/(4N)$ 、 $C2=(2N-1)/(4N)$ 、 $C3=(N+1)/(4N)$ 、及び $C4=(1)/(4N)$ により与えられ、 $n=0$ の場合には、 $C1=1/4$ 、 $C2=1/2$ 、 $C3=1/4$ 、及び $C4=0$ により与えられる、

複数のオリジナルラインのフリッカフィルタリング及び垂直方向の縮小を同時に行うための方法。

40

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、一般にテレビ上への表示のためのコンピュータグラフィクス処理に関し、特に、コンピュータグラフィクスのフリッカフィルタリング及び垂直方向の縮小を同時に行うことに関する。

【0002】

【従来の技術】

新たな技術が絶えず開発されてきた結果として、コンピュータ（特にコンピュータ用モニ

50

タ)とテレビとの差異が不明瞭になってきた。換言すれば、コンピュータ産業とテレビ産業とが一点に収束しつつある。例えば、コンピュータインターネット及びワールドワイドウェブといったコンピュータネットワークは、排他的なコンピュータ事象であった。しかし、今や、テレビはそれらのネットワークにアクセスするために使用することも可能である。別の例として、放送エンターテインメントは、テレビという領域にきっちりと属するものであった。しかし、今や、多くのサービスプロバイダがコンピュータネットワークを介してコンピュータユーザにエンターテインメントを提供している。この収束の結果として、コンピュータを意図したコンピュータグラフィクスをテレビ上に表示する必要がある。

【0003】

しかし、テレビとコンピュータとは、一般に互換性のないグラフィクスフォーマットを使用している。例えば、ノンインタレース640×480フォーマットは、(特にデスクトップ及びラップトップ型の)コンピュータ用モニタ及びLEDディスプレイで一般的なものである。該フォーマットでは、コンピュータグラフィクスの各フレームは、640ピクセルから各々構成される480本の水平ラインとして表され、一度に1フレーム全体が更新される。これに対し、一般的なテレビ用フォーマットであるNTSCフォーマットについて考察する。該フォーマットは、484本のアクティブ水平ラインから構成され、そのうちの420本のみが表示され、表示される実際の本数はテレビ装置によって異なるものである。更に、NTSCフォーマットはインタレース式であり、これは、1フレームが奇数又は偶数のフィールドに分割され、一回につき1フィールド又は1フレームの1/2のみが更新される。

【0004】

その結果として、コンピュータグラフィクスをテレビ上に表示するためには、コンピュータグラフィクスはフリッカフィルタリングによりイメージ品質を頻繁に改善する。フリッカフィルタリングは、ノンインタレースフォーマットからインタレースフォーマットへの変換の結果として生じる視覚的な影響を低減させるものである。垂直方向の縮小により、より大きなコンピュータフォーマットがより小さなテレビフォーマットへと圧縮される。上述の2つの例のフォーマットを使用する場合、コンピュータグラフィクスの480本の水平ラインは、テレビ表示用の420本の水平ラインへと垂直方向に圧縮されることになる。

【0005】

従来技術では、ローパスフィルタといった当業界で既知の様々な技術を使用してフリッカフィルタリングを達成することが試行された。しかし、既存の技術の問題として、幾つかのラインバッファが必要となり、このためコンピュータグラフィクスを有用なテレビフォーマットへ変換することの複雑性及びコストが増大する、ということが挙げられる。

【0006】

【発明が解決しようとする課題】

このため、フリッカフィルタリングと垂直方向の縮小とを同時に行う必要がある。加えて、それらの処理を行うと共にハードウェア要件を最小限にする必要がある。

【0007】

【課題を解決するための手段】

本発明によれば、複数のオリジナルラインのフリッカフィルタリング及び垂直方向の縮小を同時に行って補償されたラインを形成する装置は、好適には、係数計算器、ラインプロセッサ、ラインバッファ、及びコントローラを備えたものとなる。

【0008】

ラインプロセッサは、コンピュータ上での表示に適したフォーマットのグラフィックデータを提供するソースからオリジナルラインを受信し、また係数計算器から補償係数を受信する。ラインプロセッサは、受信したオリジナルラインを受信した補償係数と組み合わせ、補償されたラインを形成する。ラインプロセッサの出力は、ラインバッファに供給されて該バッファに格納される。コントローラは、ラインプロセッサによるオリジナルラインの受信を、補償係数の受信及び補償後のラインのラインバッファへの格納と同期させる。コントローラの指揮下で係数を適用するために上述のアーキテクチャを用いてフリッカフィルタリングと垂直方向の縮小とを同時に行うことができるため、本発明は特に有利な

10

20

30

40

50

ものとなる。更に、一実施例では、フリッカフィルタリング及び垂直方向の縮小を同時に行うためにフレームバッファに加えて単一のラインバッファを設けるだけでよい。別の実施例では、フレームバッファを用いずに最小限の数のラインバッファが使用される。更に、本発明によれば、複数のオリジナルラインのフリッカフィルタリング及び垂直方向の縮小を同時に行う方法が提供され、該方法は、1)オリジナルラインのフリッカフィルタリング及び垂直方向の縮小を同時に行うために補償係数を決定し、2)補償係数により決定されるオリジナルラインの重み付けを用いてオリジナルラインの複数の加重和(weighted sum)を生成し、及び3)補償されたラインとして該加重和を使用する、という各ステップを有する。

【0009】

本発明は、上述以外にも利点及び特徴を有するものであり、これについては、特許請求の範囲及び以下の本発明の詳細な説明を図面と関連して参照することにより容易に明らかとなる。

【0010】

【発明の実施の形態】

図1は、本発明によるシステム30を示すブロック図である。該システム30は、ビデオソース又はグラフィクスエンジン32、ストリームプロセッサ34、オーバースキャン補償手段36、TVエンコーダ37、及びテレビ38を備えている。ビデオソース32は、コンピュータグラフィクス基本要素(primitive)をストリームプロセッサ34に送信するよう接続されている。次いで、ストリームプロセッサ34は、生成されるイメージの解像度及び使用される色数により決定される所望のフォーマットに基づきピクセル値を生成する。かかるストリームプロセッサの一例が、S3 Incorporated (Santa Clara, California)により製造・販売されているTrio64及びVirgeグラフィクスアクセラレータに含まれている。イメージのピクセル値は複数のラインで提供され、オーバースキャン補償手段36に供給される。オーバースキャン補償手段36は、オリジナルラインのフリッカフィルタリング及び垂直方向の縮小を行って補償されたラインを生成し、これをTVエンコーダ37へ出力する。TVエンコーダ37は、オーバースキャン補償手段36からのデータ(例えばYUV)を受信し、該データを、テレビ38での使用に適した適当なNTSC又はPAL信号へと変換する。TVエンコーダ37は、該変換され補償されたラインをその表示のためにテレビ38に送信するよう接続されている。

【0011】

図2及び図3は、オーバースキャン補償手段36により行われるフリッカフィルタリング及び垂直方向の縮小の2つの実施例を示すシグナルフローチャートである。これら2つの例において、垂直方向の縮小は7/8縮小であり、フリッカフィルタリングは係数(1/4, 1/2, 1/4)を有するデジタルフィルタに基づくものである。縮小及びデジタルフィルタの一例として特定の値を用いるが、縮小及び係数は無数の縮小レベル及びフリッカフィルタリングを提供するよう調節可能である点で、本発明のシステム及び方法は完全にプログラム可能なものである、ということが当業者には理解されよう。例えば、プログラム可能な係数の好適な選択は、 $(1/2(1-f), f, 1/2(1-f))$ となる(但し $0 < f < 1$)。

【0012】

図2は、オリジナルラインに対し、最初に垂直方向縮小を行い、次いでフリッカフィルタリングを行う、第1の補償方法を示している。オリジナルライン200は、符号L1, L2等により示されており、各オリジナルライン200の垂直方向の位置は、対応する短い水平ライン202により示されている。本発明の説明上、それらのラインを奇数又は偶数ラインと称し、オリジナルフレームが奇数ラインL1から始まるものとするが、本発明は、フレームが偶数ラインL0から始まる場合にも適当可能であり、かかる場合には、奇数及び偶数ラインに対する符号を逆転させるだけでよい、とうことは当業者には自明であろう。

【0013】

オリジナルライン200は、先ず垂直方向に縮小されて垂直方向縮小ライン204(符号L1', L2'等で示す)が形成される。該縮小ライン204の垂直方向位置は、短い水平ライン206により表されている。このため、例えば、垂直方向縮小ラインL1'は、オリジナルラインL1と

10

20

30

40

50

垂直方向で整列され、垂直方向縮小ラインL2'は、オリジナルラインL2,L3間に位置決めされるがL2に一層近接する垂直方向位置を表すものとなる（これはL2'がほぼL2から形成されるためである）。同様に、他の垂直方向縮小ライン206がオリジナルラインに対して位置決めされる。図2は、オリジナルライン200の7/8縮小に基づくものであるため、8本のオリジナルライン200毎に7本の垂直方向縮小ライン204が存在する。例えば、8本のオリジナルラインL1~L8は、7本の垂直方向縮小ラインL1'~L7'に対応する。これは、ラインL8'を参照することにより最もよく理解することができる。L1がL1'と整列し、L9がL8'と整列しているからである。

【0014】

垂直方向縮小ライン204の各々は、好適には、その側方に位置する2本のオリジナルライン200の漂遊双線形補間(drifting bilinear interpolation)を用いることにより形成される。例えば、L2'は、オリジナルラインL2,L3の側方に位置し、したがってL2,L3の双線形補間により形成される。L2'はL3よりもL2に一層近いため、L2はL3よりも一層大きく重み付けされる。詳細には、図2に示すように、 $L2' = 6/7 L2 + 1/7 L3$ である。漂遊双線形補間は、図2に示す式L2'~L7'より明らかである。オリジナルライン200と整列するL1',L8'等の垂直方向縮小ライン204は、図2に示すように2つのオリジナルライン200の補間を必要としない。

10

【0015】

次いで、垂直方向縮小ライン204のフリッカフィルタリングが行われて、補償されたライン208(L1",L2"等で示す)が生成される。インタレース式ディスプレイの奇数フィールドは、L1",L3",L5"等を含み、偶数フィールドは、L2",L4",L6"等を含む。補償されたライン208の相対的な垂直方向位置は、図2に短い水平ライン210により示されている。補償されたライン208の各々は、垂直方向縮小ライン204に1つつ整列し、補間は必要ない。しかし、補償されたライン208がインタレース式に表示することを意図したものであるため、垂直方向縮小ライン204のフィルタリングが行われる。例えば、L1" = $1/4 L1' + 1/2 L2' + 1/4 L3'$ であり、L1" = $1/4 L1' + 1/2 L2' + 1/4 L3'$ である。同様に、L2" = $1/4 L2' + 1/2 L3' + 1/4 L4'$ である。この実施例では、補償されたライン208は、係数(1/4,1/2,1/4)を有するフィルタによって垂直方向縮小ライン204をフィルタリングすることにより形成される。

20

【0016】

図2は、オリジナルライン200に関して補償されたライン208の各々を表現するものである。これらの表現を介して、オリジナルライン200から、補償されたライン208を直接形成することは、オリジナルライン200のフリッカフィルタリングと垂直方向の縮小とを同時に効果的に行うものとなる。中間的な垂直方向縮小ライン204の形成を回避することにより、補償されたライン208の形成が加速し、対応するハードウェア要件が低減される、という利点が得られる。

30

【0017】

補償されたライン208の各々は、図2の各式から分かるように、オリジナルライン200の加重和である。オリジナルライン200が最初に垂直方向に縮小され、次いでフリッカフィルタリングされる図2の実施例では、補償されたライン208は、5本以下のオリジナルライン200の加重和となる。より詳細には、補償されたライン208の各々は次式で表すことができる。

40

【0018】

【数1】

$$LJ'' = \sum C_n \cdot L(A_n)$$

【 0 0 1 9 】

ここで、Jは補償されたライン208のライン番号、C_nは項nの係数、A_nは項nのオリジナルライン200のライン番号、及び加算処理(summation)はnにわたるものである。例えば、L3''を参照すると、ライン番号J=3、係数C_nはC₁=5/28、C₂=10/28、C₃=9/28、C₄=4/28、及びライン番号A_nはA₁=3、A₂=4、A₃=5、A₄=6である。係数及び加算されるライン番号のパターンが8本のライン毎に繰り返すので、一画面全体についてのライン数及び係数を図2に示す式から求めることができる、ということが当業者には理解されよう。

10

【 0 0 2 0 】

明瞭化のため、用語「補償係数」は、補償されたライン208を描く係数を指すために使用することとする。数1中のC_nが補償係数である。特定の一例として、L1''についての補償係数は、7/28、12/28、7/28、及び2/28である。用語「縮小係数」は、ラインを垂直方向に縮小するために使用される係数を指すために使用する。図2における双線形補間を規定する係数1、6/7及び1/7、5/7及び2/7等は、縮小係数の例である。用語「フリッカ係数」は、ラインのフリッカフィルタリングを行うために使用される係数を指すために使用する。該係数(1/4、1/2、1/4)は、フリッカ係数の例である。用語「係数」は、該係数のタイプが文脈から明らかである場合に使用する。

20

【 0 0 2 1 】

ライン番号J及びA_nは、ラインを参照するために使用され、索引nは、数1の加算処理における項を参照するために使用される。しかし、当業者であれば他のアドレス法が認知されよう。例えば、オリジナルラインをフレームバッファに格納し、ライン番号A_nではなく該フレームバッファ内のロケーションによりオリジナルラインにアドレスすることが可能である。本発明は、代替的には、ストリームプロセッサからのデータを所望のライン順で要求することにより部分的にソフトウェアで実施することが可能なものであり、これにより該処理のためのフレームバッファの使用が省かれる、ということが当業者には理解されよう。

30

【 0 0 2 2 】

補償されたライン208の各々はまた、図2に示すように、索引I及び変数D 211により識別することが可能である。大まかに言うと、索引Iが係数C_nを決定し、変数Dが各々の加重和についてのライン番号A_nを決定する。例えば、補償されたラインL1'', L8''は、両方ともI=1を有している。したがって、それらは、それらの加重和に同一の係数C_n(即ち7/28, 12/28, 7/28, 2/28)を使用する。しかし、L1'', L8''は、異なる値のDを有している。したがって、重み付けされ加算されるオリジナルライン200もまた異なるものとなる。L1''は、変数D=2を有しており、このため、それに対応する加重和は、オリジナルラインL1(L(D-1)=L2-1=L1)で始まり、一方、L8''はD=10を有しており、このため、オリジナルラインL9(L(D-1)=L10-1=L9)で始まる。本発明は、好適には、係数(1/2(1-f), f, 1/2(1-f))(0<f<1)のプログラム可能な定義を使用する。fの値は、好適には1/2であるが、それ以外の適当な値として、2/16, 4/16, 6/16, 10/16, 12/16, 14/16が挙げられる。

40

【 0 0 2 3 】

図3は、図2の場合と同じフリッカフィルタリング及び垂直方向の縮小処理を使用してオリジナルライン200を最初にフリッカフィルタリングし次いで垂直方向の縮小を行うことに基づく方法の第2実施例を示している。フリッカフィルタリングされたライン210は、L1', L2'等により示されており、それらの垂直方向の位置は、短い水平ライン212により示

50

されている。フリッカフィルタリングされたライン210はオリジナルライン200と整列し、このため補間は不要である。図2に示すように、フリッカフィルタリング処理は、線形フィルタリングであり、これは、図3に示すようにフリッカフィルタリングされたライン210についての式から明らかである。フリッカフィルタリングされたライン210は、図2と同じ双線形補間を用いて垂直方向に縮小され、補償されたライン214(L1",L2"等で示す)及び短い水平ライン216が形成される。該垂直方向の縮小は好適にはやはり7/8である。よって、7つの補償されたラインL1"~L7"は、8つのフリッカフィルタリングされたラインL1'~L8'に対応するものである。図2に示すように、インタレース表示のための奇数フィールドには、L1",L3"等が含まれ、偶数フィールドにはL2",L4"等が含まれる。

【0024】

補償されたライン214は、図2に示すようにオリジナルライン200の加重和として表される。よって、数1は、第2の実施例にも適用することができる。しかし、該実施例の場合、加重和には5つ以上のオリジナルライン200は含まない。図2に関連して説明したように、補償されたライン214をオリジナルライン200から直接形成する利点は、この実施例にも当てはまる。補償されたライン214の各々は、(図2の場合と同様の役割を果たす)索引I及び変数D 218により識別することも可能である。

【0025】

図4は、ファクタN/(N+1)による垂直方向の縮小の一般的な場合について、図2及び図3に示した実施例に従ってフリッカフィルタリング及びオーバースキャン補償が行われた値を生成するための好適なプロセスを示すフローチャートである。図2及び図3の実施例では、垂直方向の縮小が7/8であるため、N=7である。以下で説明するプロセスは、1つのフィールドについてピクセル値を生成するために使用される。この場合、該1フィールドは、イメージを描画するためにテレビ38により直接使用することができる1フレームの交互のライン(1フレームのラインの半分)である。したがって、以下で説明するプロセスは、奇数フィールド又は偶数フィールドを生成するために使用することができる。該プロセスは、索引I、変数D、及び補償ライン番号Jを初期化する(ステップ400)ことにより開始される。次いで、補償ラインJを形成するために使用される係数Cn及びオリジナルライン番号Anが決定される(ステップ402)。上述の数1に従って、補償されたラインが形成される(ステップ404)。該ステップ404では、補償されたラインは、補償ライン番号Jが総ライン数よりも小さい限り、数1を用いて形成される。補償ライン番号Jが総ライン数よりも大きくなった場合には、補償ラインについて前のLnの値が使用される。フレームの最後のラインに達すると、それよりも大きな番号のラインについてのデータは存在しなくなる。これは、フレームの最後に達したためである。かかる場合には、前のラインについての補償が再び使用される。ステップ404における条件は、フレームの最後のラインを処理するために提供される。補償されたラインが形成される(ステップ404)と、次の補償ラインの形成に備えて、I、D、及びJがインクリメントされる。I、D、及びJは、1ではなく2だけインクリメントされる。これは、1つおきの補償ライン208,214がインタレース形式になる必要があるからである。ノンインタレース形式の場合には、該インクリメントは1となる。このインクリメントの後、プロセスは、ステップ408でI Nであるか否かを判定し、I Nである場合にはステップ410でI及びDが調節される。詳細には、IはNだけインクリメントされ、Dは1だけインクリメントされる。I Nである場合、これは、図2のラインL7",L8"間の遷移の場合のように係数が繰り返されることを意味し、索引Iはリセットされなければならない。またI Nでない場合には、プロセスはステップ412へ直接移行する。ステップ412では、Dがフレーム中の総ライン数よりも小さいか否かを検査し、Dがフレーム中の総ライン数よりも小さい場合には、プロセスがループして次に補償されるラインのための係数及びライン数が決定される(ステップ402)。また、Dがフレーム中の総ライン数よりも小さくない場合には、当該フィールドについてのプロセスが完了してステップ414で終了する。

【0026】

図5A及び図5Bは、それぞれ、図2に示した実施例による図4の初期化ステップ400及

10

20

30

40

50

び決定ステップ402を示すフローチャートである。図5A及び図5Bは、最初にオリジナルライン200の垂直方向の縮小を行い次いでフリッカフィルタリングを行う実施例の詳細を示している。図5Aを参照すると、初期化ステップ400は、フィールドが奇数であるか偶数であるかをステップ502で判定することにより開始される。奇数フィールドが形成されている場合には、ステップ504へと進んで、 l, D, J が、 $l=1, D=2, J=1$ とセットされる。一方、ステップ502で偶数フィールドが形成されていると判定された場合にはステップ506に進み、 l, D, J が、初期値 $l=2, D=3, J=2$ とセットされる。上記ステップ504又はステップ506の実行後、ステップ402に進む。当業者であれば、 l, D 、及び J の値を縮小及び補償の量に基づき初期化する態様が理解されよう。

【0027】

図5Bを参照すると、係数 C_n 及びライン番号 A_n を決定するステップ402は、 $l=0$ であるか否かを判定するステップ508により開始する。 $l=0$ である場合には、ステップ510及びステップ512を実行することにより係数及びライン番号が与えられる。ステップ510では、 $C_1 \sim C_5$ の値が、 $C_1=1/(4N), C_2=(N-1)/(4N), C_3=(2N)/(4N), C_4=(N-1)/(4N)$ 、及び $C_5=1/(4N)$ なる式を用いて計算される。次いでステップ512では、 $A_1 \sim A_5$ の値が、 $A_1=D-2, A_2=D-1, A_3=D, A_4=D+1$ 、及び $A_5=D+2$ なる式を用いて計算される。該ステップ512の完了後、ステップ404へと続く。 l の値がゼロでない場合には、ステップ520に進んで、その l が n から1を減算したものに等しい($l=n-1$)か否かが判定される。 $l=n-1$ でない場合には、ステップ514、516を実行することにより係数及びライン番号が与えられる。まずステップ514において、 $C_1 \sim C_5$ の値が、 $C_1=(N-l+1)/(4N), C_2=(2N-l-1)/(4N), C_3=(N+l-1)/(4N), C_4=(l+1)/(4N)$ 、及び $C_5=0$ なる式を用いて計算される。加重和が常に5つの項を含むことになるように、係数 $C_5=0$ がブロック514に含まれている。次いでステップ516で、 $A_1 \sim A_5$ の値が、 $A_1=D-1, A_2=D, A_3=D+1, A_4=D+2$ 、及び $A_5=D+3$ なる式を用いて計算される。また、ステップ520で、 $l=n-1$ であると判定された場合には、以下で説明するステップ514とは異なり、ステップ518に進んだ後にステップ516に進む。ステップ518では、 $C_1 \sim C_5$ の値が、 $C_1=(N-l-1)/4N, C_2=(2N-l-1)/(4N), C_3=(2l)/(4N), C_4=(N)/(4N)$ 、及び $C_5=0$ なる式を用いて計算される。該ステップ518の後、 $A_1 \sim A_5$ の値がステップ516で上述のようにして計算される。該ステップ516の完了後、ステップ404へと続く。当業者であれば、それら係数を $(1/4, 1/2, 1/4)$ 以外の異なる縮小レベル及びフリッカフィルタリング値について同様にして生成する態様が理解されよう。

【0028】

図6A及び図6Bは、オリジナルライン200に対して最初にフリッカフィルタリングを行い次いで垂直方向の縮小を行う図3に示した第2の方法による、図4の初期化ステップ400及び決定ステップ402をそれぞれ示すフローチャートである。図6Aを参照すると、初期化ステップ400は、3つのステップを有している。該方法は、フィールドが奇数であるか偶数であるかをステップ602で判定することにより開始される。該ステップ602で当該フィールドが奇数フィールドであると判定された場合にはステップ604へと進み、変数が、 $l=0, D=2, J=1$ とセットされる。また、ステップ602で偶数フィールドが形成されていると判定された場合にはステップ606に進み、変数が、 $l=1, D=3, J=2$ とセットされる。上記ステップ604又はステップ606の実行後、ステップ402に進む。

【0029】

図6Bを参照すると、係数及びライン番号を決定するステップ402は、図示のサブステップにより規定されるものである。先ずステップ618で、 l がゼロに等しい($l=0$)か否かが判定される。 $l=0$ である場合には、ステップ614で、 $C_1 \sim C_4$ の値が、 $C_1=1/4, C_2=1/2, C_3=1/4, C_4=0$ とセットされた後、ステップ612へと続く。一方、ステップ618で $l=0$ でないと判定された場合には、ステップ610へと進み、 $C_1 \sim C_4$ の値が、 $C_1=(N-l)/(4N), C_2=(2N-l)/(4N), C_3=(N+l)/(4N)$ 、及び $C_4=(l)/(4N)$ なる式を用いて決定される。ステップ610又はステップ614の実行後、ステップ612で、 $A_1 \sim A_4$ の値が、 $A_1=D-1, A_2=D, A_3=D+1$ 、及び $A_4=D+2$ なる式を用いて計算される。該ステップ612の完了後、処理はステップ404へと続く。

【0030】

10

20

30

40

50

図7ないし図14は、図2ないし図6に示した方法と共に使用可能な装置を示すものである。それらの装置及びその動作を、図3に示した方法を用いて奇数フィールドを形成するという文脈で、より詳細には、図3の補償されたラインL1", L3"その他を形成するという文脈で説明する。しかし、以下の装置は、かかる特定の文脈に限定されるものではなく、偶数フィールドを生成するために使用することが可能であり、また、その他の様々な文脈が考えられる、ということが理解されよう。

【0031】

図7は、オーバースキャン補償手段36の好適実施例を示すブロック図であり、該補償手段36は、ストリームプロセッサ34とテレビ38との間に接続されている。該オーバースキャン補償手段36は、好適には、ラインプロセッサ700、出力ラインバッファ702、係数計算手段704、及びコントローラ706を備える。ラインプロセッサ700は、ストリームプロセッサ34からの信号ライン730上のオリジナルライン200を受信し、及び係数計算手段704からの信号ライン740上の係数 C_n を受信するよう接続されている。このラインプロセッサ700はまた、信号ライン752を介して出力ラインバッファ702へ補償されたラインを送信するよう接続されている。該出力ラインバッファ702は、補償されたラインをその表示のために信号ライン750を介してテレビ38へ送信するよう接続されている。コントローラ706は、ラインプロセッサ700、出力ラインバッファ702、及び係数計算手段704を制御信号ライン753, 754, 755をそれぞれ介して制御するよう接続されている。

【0032】

一般に、ラインプロセッサ700は、ストリームプロセッサ34からの信号ライン730上のオリジナルライン200及びそれに対応する係数計算手段704からの信号ライン740上の係数を受信する。次いで、ラインプロセッサ700は、オリジナルライン200の加重和を形成し、該オリジナルライン200を前記係数に従って重み付けする。この加重和は、信号ライン752に加えらる補償されたラインであり、該補償ラインは次いで出力ラインバッファ702へと送られる。

【0033】

例えば、図3における補償ラインL1"を参照すると、ラインプロセッサ700は、ストリームプロセッサ34からオリジナルラインL1を受信し、及び係数計算手段704から係数 $7/28$ を受信し、次いでそれら2つの量を乗算して、部分 $7/28L1$ を形成し、その結果を内部に格納する。次いでラインプロセッサ700は、ストリームプロセッサ34からオリジナルラインL2を受信し、及び係数計算手段704から係数 $14/28$ を受信する。ラインプロセッサ700は、次いで、それらの積 $14/28L2$ を形成し、該積を既にある部分 $7/28L1$ に加算して、新たな部分 $7/28L1+14/28L2$ を形成する。このプロセスは、補償ラインL1"について完全な部分和が形成されるまで繰り返される。次いで、ラインプロセッサ700は、(補償ライン752でもある)完全な部分和を、テレビ38上での表示のために出力ラインバッファ702へ送る。

【0034】

コントローラ706は、このプロセスを制御信号ライン753, 754, 755を介して制御する。制御信号ライン753については、ラインプロセッサ700の様々な実施例に関して以下で一層詳細に説明することとする。出力ラインバッファ702との間での送受信は、制御信号754により制御され、これには典型的には、該出力ラインバッファ702に関する書き込みイネーブル及び読み出しイネーブル信号が含まれる。制御信号755は、係数計算手段704が正しい係数740をラインプロセッサ700に提供することを確実にする。該制御信号755は、索引I、変数D、並びにタイミング信号を含むことが可能である。

【0035】

コントローラ706は、様々な形態で実施することが可能である。例えば、シリコンで直接実施された有限状態機械とすることが可能である。代替的には、コントローラ706は、ハードウェア及びソフトウェアの組み合わせとすることが可能であり、又は汎用マイクロコントローラにおいてソフトウェアにより実施することが可能である。その他の実施形態は、当業者であれば、上記の処理の説明及び以下で説明するタイミングチャートに基づいて明らかとなる。

10

20

30

40

50

【 0 0 3 6 】

係数計算手段704もまた様々な形態で実施することが可能である。一例として、係数計算手段704は、ハードウェア又はソフトウェアという形のルックアップテーブルである。代替的には、係数計算手段704は、図5 B又は図6 Bの方法に従って係数を実際に計算することが可能である。その他の実施形態は、下記説明から明らかとなろう。

【 0 0 3 7 】

図8は、ラインプロセッサ700の一実施例を示すブロック図である。明瞭化のため、オーバーキャン補償手段36全体を示してあり、理解に好都合でありまた理解が容易となるように、同様の符号は同様の構成要素に使用されている。ラインプロセッサ700は、ライン乗算及び加算回路800とラインフェッチコントローラ802とを備えている。ライン乗算及び加算回路800は、ラインフェッチコントローラ802からライン850を介してオリジナルライン200を受信し、及び係数計算手段704からライン740を介して係数を受信するように接続されている。ライン乗算及び加算回路800はまた、出力ラインバッファ702への信号ライン752を介して出力補償ラインへと接続されている。ライン乗算及び加算回路800は、コントローラ706から制御信号852を受信するよう接続されている。ラインフェッチコントローラ802は、ストリームプロセッサ34へライン番号を送るよう信号ライン854により接続され、またそれに対応するオリジナルライン200を信号ライン730を介してストリームプロセッサ34から受信するよう接続されている。ラインフェッチコントローラ802はまた、コントローラ706から信号ライン856を介して制御信号を受信するよう接続されている。

【 0 0 3 8 】

図9は、図8のライン乗算及び加算回路800の好適実施例を示すブロック図である。該ライン乗算及び加算回路800は、好適には、乗算器900、加算器902、内部ラインバッファ904、及びマルチプレクサ906を備える。乗算器900は、ラインフェッチコントローラ802からのライン850上のオリジナルライン200を受信するよう接続された第1の入力と、係数計算手段704からのライン740により係数を受信するよう接続された第2の入力とを有している。加算器902は、同様に第1及び第2の入力を有している。該加算器902の第1の入力は、乗算器900により生成された積を受信するよう乗算器900の出力に接続され、加算器902の第2の入力は、マルチプレクサ906の出力に接続される。加算器902の出力は、内部ラインバッファ904の入力に接続され、及び出力ラインバッファ702へのライン752上に補償ラインを送るためのライン乗算及び加算回路800の外部出力を提供する。内部ラインバッファ904の出力は、マルチプレクサ906の一方の入力に接続され、該マルチプレクサ906の他方の入力は、一定のゼロ入力を受信する。該内部ラインバッファ904及びマルチプレクサ906は、何れもコントローラ706から信号ライン852を介して制御信号を受信する。該ライン852上の制御信号は、典型的には、内部ラインバッファ904を制御するためのライン954上の読み出しイネーブル及び書き込みイネーブル信号と、マルチプレクサ906の制御入力に接続された選択信号ライン956上の信号とから構成される。

【 0 0 3 9 】

ライン乗算及び加算回路800は、以下のようにして完全な部分和を生成する。ここで再び図3の補償ラインL1"を参照すると、乗算器900は、先ずオリジナルラインL1及び係数7/28を受信する。該乗算器900は、それら2つの量を乗算し、その出力として積7/28L1を形成する。加算器902は、その積を、マルチプレクサ906により提供されたゼロと加算する。次いで、該加算器902の出力が部分和7/28L1となり、これが内部ラインバッファ904に書き込まれる。次いで乗算器900は、オリジナルラインL2及び係数14/28を受信する。乗算器900は、それら2つの量の積を形成し、該積を加算器902の第1の入力に渡す。マルチプレクサ906は、その出力に内部ラインバッファ904の出力を結合させ、このため加算器902の第2の入力に部分和7/28L1が表明される。加算器902は、既にある部分和7/28L1に積14/28L2を加算して新たな部分和7/28L1+14/28L2を形成し、次いで該新たな部分和が内部ラインバッファ904に書き込まれる。このプロセスは、完全な部分和が形成されるまで繰り返され、完全な部分和が形成されたとき、補償ライン752が出力ラインバッファ702に書き込まれる。

10

20

30

40

50

【 0 0 4 0 】

図 1 0 は、図 8 及び図 9 のオーバースキャン補償手段36の動作を一層詳細に示すタイミングチャートである。ライン番号がラインフェッチコントローラ802からストリームプロセッサ34へと送られ、これに応じて、オリジナルライン200がライン730上に返ってくる。係数がライン740上に提供されてライン乗算及び加算回路800により受信される。ライン954、956上の内部ラインバッファ書き込みイネーブル信号及び読み出しイネーブル信号は、内部ラインバッファ904に対する書き込み及び読み出しを制御する。ライン754上の出力ラインバッファ書き込みイネーブル信号及び読み出しイネーブル信号は、出力ラインバッファ702を同様に制御する。信号ライン750上に提供された補償ラインは、その表示のためにテレビ38へと送られる。

10

【 0 0 4 1 】

図 8 及び図 9 の実施例の動作は、ストリームプロセッサ34からのオリジナルライン200のランダムフェッチ処理(random fetching)に基づくものである。即ち、ラインフェッチコントローラ802は、ストリームプロセッサ34からのオリジナルライン200を任意の順にフェッチする能力を有している。この実施例は、単一のライン乗算及び加算回路800及びラインバッファ702しか必要としないという利点を有するが、ラインフェッチコントローラ802の複雑さを幾分増すものとなる。

【 0 0 4 2 】

ここで再び図 3 を参照すると、L1"を形成するために、ラインフェッチコントローラ802は、オリジナルラインL1~L4をフェッチする必要があり、一方、係数計算手段704は、それらに対応する係数C1~C4を供給する。厳密に言えば、ラインL1~L3のみ及び係数C1~C3のみがL1"を形成するために必要であるが、加重和が常に4つの項を有するように4つのライン及び係数がフェッチされる。C4は単にゼロにセットされる。

20

【 0 0 4 3 】

ここで図 1 0 を参照する。ラインフェッチコントローラ802は、ライン番号1~4をライン854を介してストリームプロセッサ34へ送る(符号1002)ことによりラインL1~L4のフェッチを行う。ストリームプロセッサ34は、これに応じてラインL1~L4 730をラインフェッチコントローラ802に送り(符号1004)、該ラインフェッチコントローラ802はそれらのラインを乗算及び加算回路800へ送る。係数計算手段704は、係数C1~C4を信号ライン740を介してライン乗算及び加算回路800へ同時に供給する(符号1006)。ライン乗算及び加算回路800は、信号ライン954上に表明された内部ラインバッファ書き込みイネーブル信号及び読み出しイネーブル信号により制御されたとき、上述の部分処理を介して符号補償ラインL1"を形成する(符号1008)。完全な部分和が形成されると、それが出力ラインバッファ702へ書き込まれる(符号1010)。次いで、補償ラインL1" 750は、その表示のために出力ラインバッファ702からテレビ38へと読み出すことが可能になる(符号1012)。補償ライン1012は、4つの入力ラインの期間にわたり延びるものとして図 1 0 に示されているが、補償ライン1012の最初と最後の部分は空である、ということが当業者には理解されよう。

30

【 0 0 4 4 】

L1"が形成された後、次いでオーバースキャン補償手段36が、L3"を同様の態様で形成するよう処理を進める。該処理は、ライン番号3~6をストリームプロセッサ34へ送る(符号1014)ことにより開始される。L3"の後、オーバースキャン補償手段36が、補償ラインL5"を形成するために、ライン番号5~8をストリームプロセッサ34に送る(符号1016)。このプロセスは、奇数フィールド全体が形成されるまで繰り返される。この実施例では、補償ラインは直列的に形成される。L1"が最初に形成され、次いでL3"が形成され、次いでL5"が形成される(以下省略)。

40

【 0 0 4 5 】

タイミングチャートに示すように、係数及びオリジナルラインは、処理速度の4倍で、及びパイプライン化された順番で供給され、4つの連続するクロックサイクルの後に1つの補償ラインが形成されるようになっている。コントローラ706に課せられる付加的な複雑

50

さは、オリジナルラインL1,L2,L3,L4,L3,L4,L5,L6,L5,L6,L7,L8,...の読み出しに対して適当なタイミングで係数をC1,C2,C3,C4,C1,...という反復する順番で提供することである。本発明は、入力ライン速度が出力ライン速度の4倍である限り、標準的なあらゆるフォーマットに適用することが可能なものである、ということが当業者には理解されよう。

【0046】

図10より、4つのオリジナルライン730は、形成される各補償ライン750毎に受信されなければならないことが分かる。よって、出力速度をサポートするために、オリジナルライン730に関する入力ライン速度は、少なくとも4倍高速に、クロックを用いて入力されなければならない。本発明は、より高い又はより低い密度(ピクセル/フレーム)を有するビデオフォーマットに関する様々なより高速の及びより低速のクロック速度に適用可能なものである、ということが当業者には理解されよう。

10

【0047】

図11は、ラインプロセッサの別の実施例700aを示すブロック図である。この実施例では、ラインプロセッサ700aは、2つのライン乗算及び加算回路800a,800bを備えている。該ライン乗算及び加算回路800a,800bの各々は、図9に示したタイプのものである。各ライン乗算及び加算回路800a,800bは、ストリームプロセッサ34からオリジナルライン200を受信するよう信号ライン730に接続された第1の入力と、係数計算手段704から係数を受信するよう信号ライン740a,740bにそれぞれ接続された第2の入力とを有している。各ライン乗算及び加算回路800a,800bはまた、出力ラインバッファ702へ補償ラインを出力するよう信号ライン752を介して接続され、及びコントローラ706から制御信号852(典型的には読み出しイネーブル信号及び書き込みイネーブル信号954A,954Bを含む)を受信するよう接続される。この実施例の残りの構成要素は、図8に示したものと同様であり、同様の構成要素は、同じ機能を有する同様の回路を示している。

20

【0048】

この実施例は、ストリームプロセッサ34からオリジナルライン200を順次受信することに基づくものである。即ち、ストリームプロセッサ34は、特定のフレームについてのオリジナルラインの全てが出力されるまで、ラインL1,L2,L3...を出力する。この実施例は、幾つかの補償ラインを並列に計算することにより動作する。図3を参照すると、任意の1つのオリジナルラインは2つ以下の補償ラインの計算に使用されることに気づくであろう。例えば、オリジナルラインL5は、L2"~L5"についての式にしか現れない。しかし、それら4つの補償ラインのうちのみ2つのみが補償手段36により形成されることになる。これは、インタレース出力が奇数補償ライン及び偶数補償ラインの何れか一方しか使用しないからである。この実施例は、オリジナルラインのフェッチのための制御が単純であり、及び一般により低速のクロック要件を有する、という利点を有するが、並列のハードウェアを必要とする。

30

【0049】

図12は、図11のオーバースキャン補償手段36の動作を示すタイミングチャートである。信号ライン730上のオリジナルライン200、信号ライン754上の書き込みイネーブル信号及び読み出しイネーブル信号、及びライン750上の補償ライン出力は、図10の場合と同じである。しかし、図11の実施例は、2つのライン乗算及び加算回路800a,800bを有している。このため、図12は、各ライン乗算及び加算回路800a,800bのそれぞれの内部ラインバッファを制御するために2つの書き込みイネーブル信号及び読み出しイネーブル信号954A,954Bを含み、また各ライン乗算及び加算回路800a,800bに係数を1つずつ供給するために2つの係数信号ライン740a,740bを含んでいる。

40

【0050】

図12を更に参照すると、ライン乗算及び加算回路800aは、オリジナルラインL1~L4を受信し(符号1202)、また対応する係数C1~C4を受信する(符号1204)。次いで、第1のライン乗算及び加算回路800aが、それらの入力から補償ラインL1"を形成する。L1"について完全な部分和が形成されると、それが、出力ラインバッファ702へ書き込まれ(符号1206)、次いでテレビ38へ送られる(符号1208)。

50

【 0 0 5 1 】

時間的に重複して第2のライン乗算及び加算回路800bが補償ラインL3"を形成する。該第2のライン乗算及び加算回路800bは、オリジナルラインL3~L6を受信し(符号1210)、係数C1~C4も受信する(符号1212)。該第2のライン乗算及び加算回路800bは、補償ラインL3"を形成し、該補償ラインを出力ラインバッファ702へ送り、後にテレビ38へ出力される(符号1216)ようにする。この時間的な重複が発生するのは、例えば、ラインL3がストリームプロセッサ34により一回しか送信されないからである。このため、該ラインが送信される際には、それに対応する補償ラインを形成するために、第1及び第2のライン乗算及び加算回路800a,800bの両者が該ラインを受信しなければならない。第1のライン乗算及び加算回路800aは、補償ラインL1"を形成した後、ラインL5~L8を受信し(符号1218)及び係数C1~C4を受信する(符号1220)ことにより補償ラインL5"を形成する。このプロセスは、1フィールド全体が形成されるまで続行される。図8ないし図10において、オリジナルライン730のピクセルは、補償ラインが出力される速度の16/7倍速いライン速度でクロックに基づき入力されなければならない。これは、16本のオリジナルライン毎に7本の補償ラインが形成されるからである。

10

【 0 0 5 2 】

別の実施例は、1つのフレームバッファに全てのラインデータを書き込むものである。この場合には、フレームバッファとの間での読み書きが大きく制約されることはない。1フィールドが形成されると、単にそのラインデータがフレームバッファから読み出される。かかる実施態様の模範的な実施例を図15に示す。

20

【 0 0 5 3 】

図13を参照すると、ラインプロセッサの更に別の実施例700cのブロック図が示されている。この第3の実施例では、ラインプロセッサ700cは、図9のタイプと同じものとする。ことが可能なライン乗算及び加算回路800cと3つのラインバッファ1300a,1300b,1300cとを備えている。該ライン乗算及び加算回路800cは、ラインバッファ1300a~1300cの出力が接続された信号ライン1302を介してオリジナルライン200を受信し、及びライン740を介して係数計算手段704から係数を受信するように接続される。ライン乗算及び加算回路800cはまた、ライン752を介して出力ラインバッファ702へ補償ラインを出力し、及びライン852を介してコントローラ706から制御信号を受信するように接続されている。ラインバッファ1300a~1300cの各々はまた、オリジナルライン200を受信するように接続されており、ストリームプロセッサ34からのライン730に接続された入力と、信号ライン1304a~1304cを介してコントローラ706から制御信号を受信するように接続された制御入力とを有している。

30

【 0 0 5 4 】

この実施例では、ストリームプロセッサ34は、図11の実施例のように、オリジナルライン200を順次に出力する。しかし、図11の実施例のように幾つかの補償ラインを並列に計算するのではなく、この実施例は、最も最近受信したオリジナルライン730をラインバッファ1300a~1300cにローテーションベースで格納する。次いで、ライン乗算及び加算回路800cは、図8の実施例のように補償ラインを直列的に形成するが、図8の場合のようにストリームプロセッサ34からではなくラインバッファ1300a~1300cから必要に応じてオリジナルラインを読み出す。この実施例は、図11の実施例と比べて、単一のライン乗算及び加算回路800しか必要としないという利点を有するが、より多くのラインバッファ1300a~1300c、及び該ラインバッファ1300a~1300cに対して読み書きを行うためのより複雑な制御を必要とする。図8の実施例と比べて、この実施例は、ストリームプロセッサ34からのオリジナルライン730のフェッチのための制御が単純であるという利点を有する。

40

【 0 0 5 5 】

図14は、図13のオーバースキャン補償手段36の動作を示すタイミングチャートである。ライン730上のオリジナルライン、ライン740上の係数、ライン754(ライン852の一部)上の書き込みイネーブル信号及び読み出しイネーブル信号、出力書き込みイネーブル信号及び読み出しイネーブル信号754、及び補償ライン750は、図10の場合と同じである。3

50

つの書き込みイネーブル信号及び読み出しイネーブル信号1304a～1304cは、それぞれ、3つのラインバッファ1300a～1300cの動作を制御する。

【0056】

図14において、書き込みイネーブル信号1304a～1304cは、特定のオリジナルライン200が書き込まれることになるラインバッファ1300a～1300cを示すものとなる。例えば、ラインL1がラインバッファ1300aに書き込まれ（符号1400）、ラインL2がラインバッファ1300bに書き込まれ（符号1402）、ラインL3がラインバッファ1300cに書き込まれ（符号1404）、ラインL4がラインバッファ1300aに書き込まれて（符号1406）L1が上書きされる、といった具合である。補償ラインL1",L3"その他の形成については、ラインバッファ1300a～1300cについての読み出しイネーブル信号1304a～1304cとライン乗算及び加算回路800cに送られる係数740とを参照することにより理解することができる。ライン乗算及び加算回路800cは、ラインバッファ1300aからラインL1を受信し（符号1408）、係数C1を受信し（符号1410）、及び該2つのラインを組み合わせることで第1の部分積を形成することにより、補償ラインL1"を最初に形成する。次いで、ライン乗算及び加算回路800cは、ラインバッファ1300bからラインL2を受信し（符号1412）、係数C2を受信し（符号1414）、それらを前の部分積と組み合わせることにより、次の部分積を形成する。補償ラインL1"は、ラインバッファ1300cからラインL3を受信し（符号1416）、ラインバッファ1300aからラインL4を受信し（符号1418）、及びそれらのラインをそれらに対応する係数と組み合わせることにより完成する。次いで、L1"についての完成した部分積が、出力ラインバッファ702へ出力され（符号1420）、テレビ38へ送ることが可能となる（符号1422）。

【0057】

同様に、期間1424において補償ラインL3"を形成し、期間1426において補償ラインL5"を形成する（以下省略）ことが可能である。オリジナルライン730のピクセルは、補償ラインが出力される速度の16/7倍速いライン速度でクロックに基づき入力されなければならない。これは、図12を参照して上述したものと同一理由による。該タイミングを満たすことができない場合には、全てのラインデータをフレームバッファに格納した後に読み出すことができる。読み出し速度及び書き込み速度は、大きく制約されるものではなく、よって重要性の低いものである。

【0058】

特定の好適実施例に関して本発明をかなり詳細に説明してきたが、それ以外の実施例もまた実施可能である。例えば、本発明は、当業界で既知の技術を用いて半導体デバイス上の集積回路に組み込むことが可能である。よって、特許請求の範囲に記載の各請求項の思想及び範囲は、本書に含まれる好適実施例に限定されるべきではない。

【図面の簡単な説明】

【図1】 本発明を含むシステムを示すブロック図である。

【図2】 垂直方向の縮小及びそれに次ぐフリッカフィルタリングに基づく補償のための本発明による第1の方法を示すシグナルフローチャートである。

【図3】 フリッカフィルタリング及びそれに次ぐ垂直方向の縮小に基づく補償のための本発明による第2の方法を示すシグナルフローチャートである。

【図4】 図2及び図3に示す実施例による補償のためのプロセスを示すフローチャートである。

【図5A】 図2に示す実施例による図4の係数及びライン数の初期化ステップを示すフローチャートである。

【図5B】 図2に示す実施例による図4の係数及びライン数の決定ステップを示すフローチャートである。

【図6A】 図3に示す実施例による図4の係数及びライン数の初期化ステップを示すフローチャートである。

【図6B】 図3に示す実施例による図4の係数及びライン数の決定ステップを示すフローチャートである。

【図7】 図1のオーバースキャン補償手段の第1の好適実施例を示すブロック図である

- 【図8】 図7のラインプロセッサの一実施例を示すブロック図である。
- 【図9】 図8のラインの乗算及び加算の好適実施例を示すブロック図である。
- 【図10】 図3に示す方法による図8のオーバースキャン補償手段の動作を示すタイミングチャートである。
- 【図11】 図7のラインプロセッサの第2の実施例を示すブロック図である。
- 【図12】 図3の方法による図11のオーバースキャン補償手段の動作を示すタイミングチャートである。
- 【図13】 図7のラインプロセッサの第3の実施例を示すブロック図である。
- 【図14】 図3の方法による図13のオーバースキャン補償手段の動作を示すタイミングチャートである。
- 【図15】 本発明を含むシステムの第2の実施例を示すブロック図である。

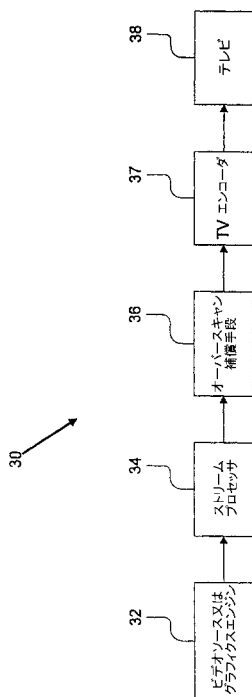
10

【符号の説明】

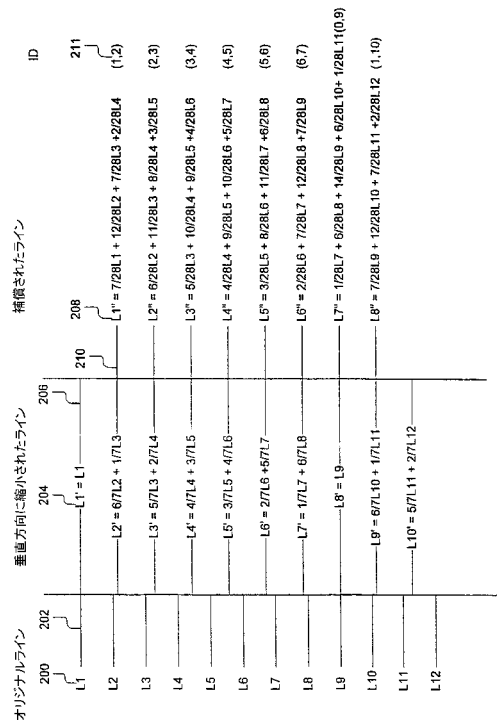
- 34 ストリームプロセッサ
- 36 オーバースキャン補償手段
- 37 TVエンコーダ
- 38 テレビ
- 700 ラインプロセッサ
- 702 出力ラインバッファ
- 704 係数計算手段
- 706 コントローラ

20

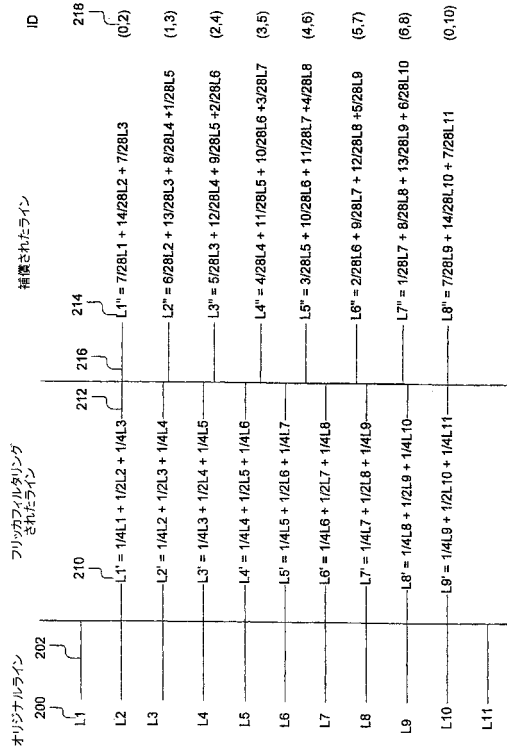
【図1】



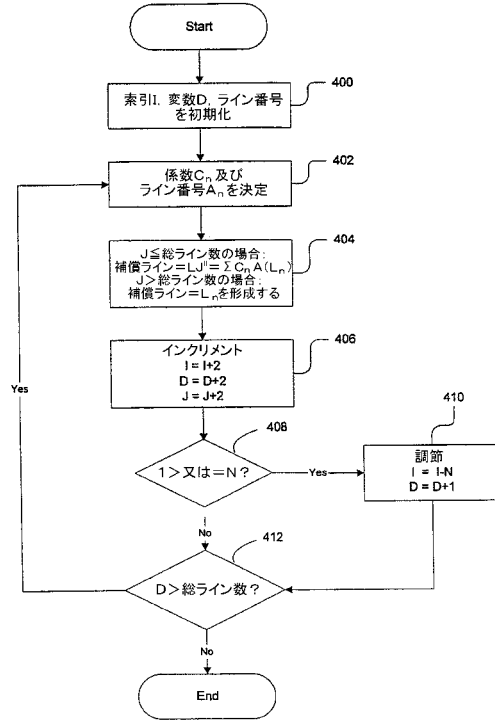
【図2】



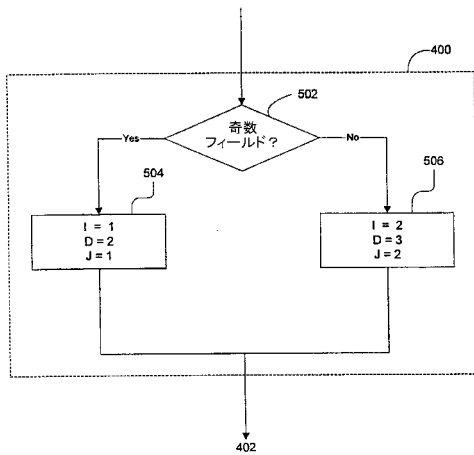
【図3】



【図4】



【図5A】



【図5B】

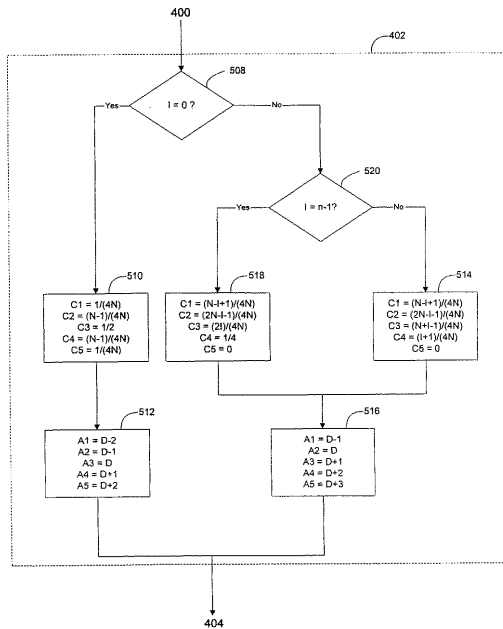
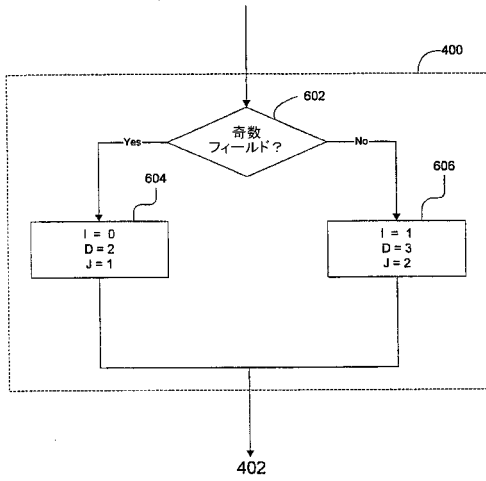


Figure 5B

【図 6 A】



【図 6 B】

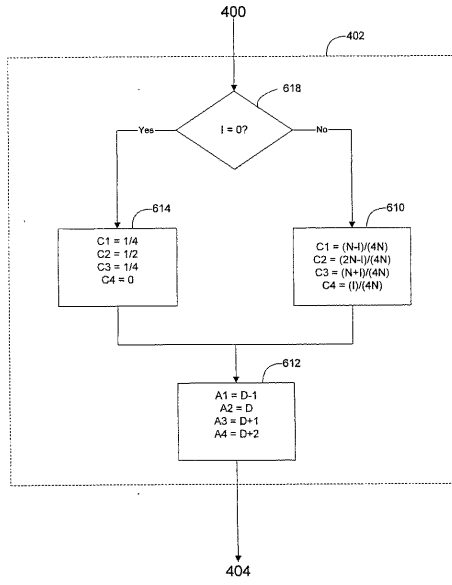
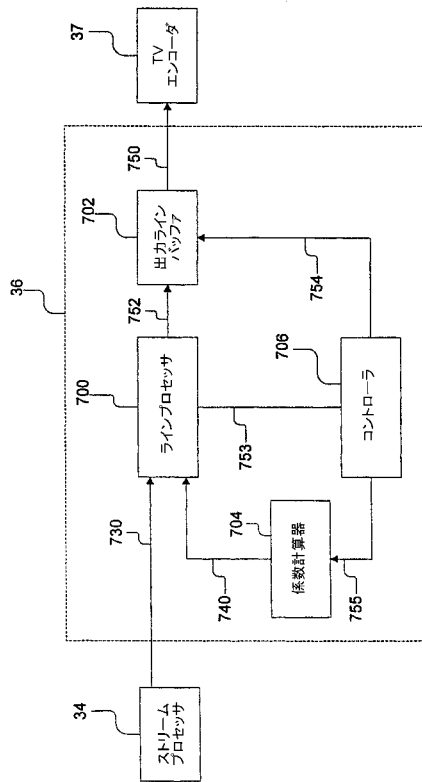
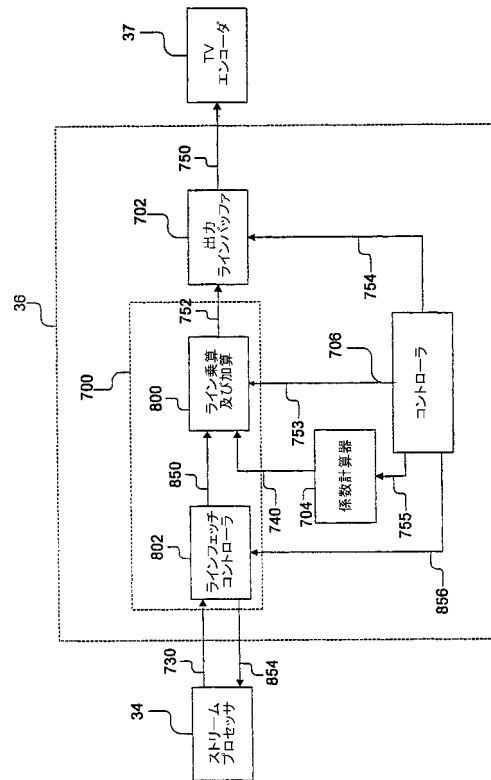


Figure 6B

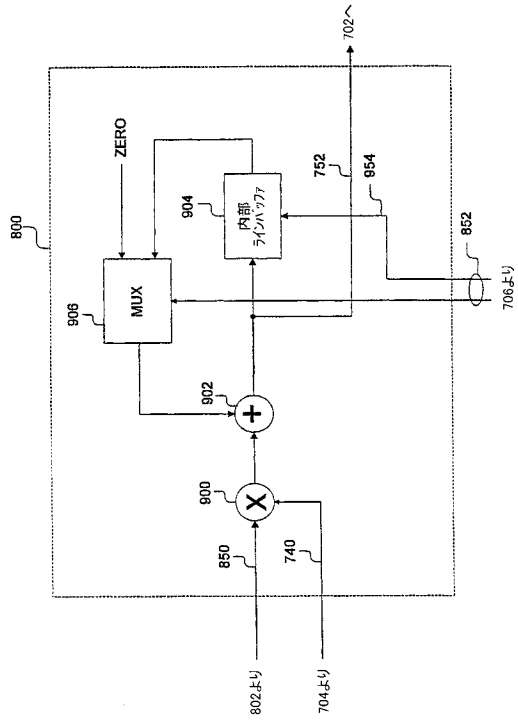
【図 7】



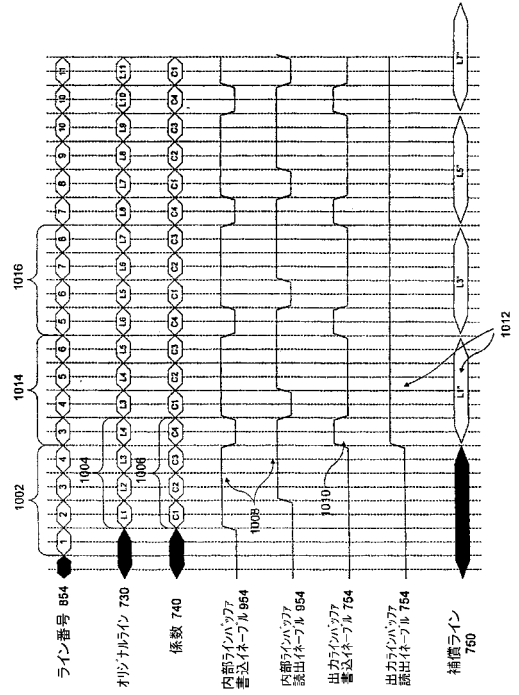
【図 8】



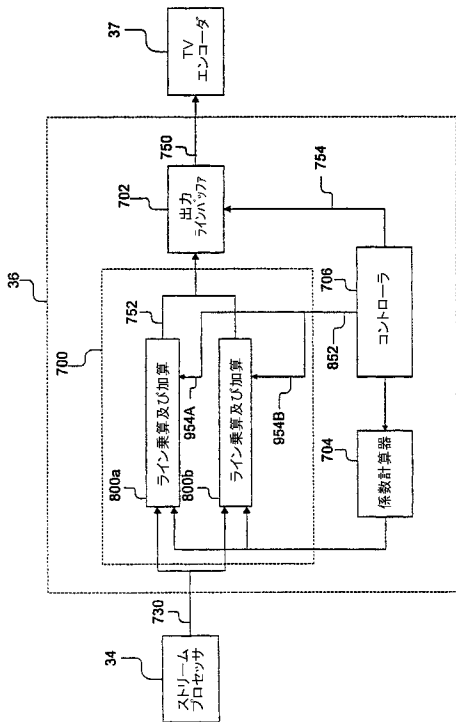
【図 9】



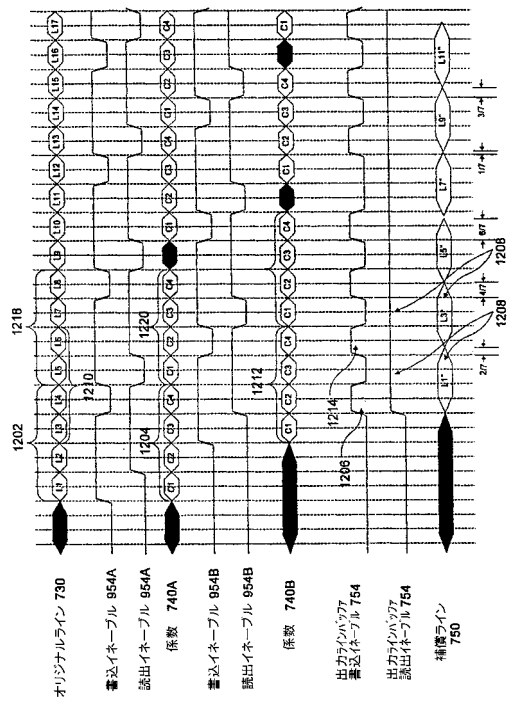
【図 10】



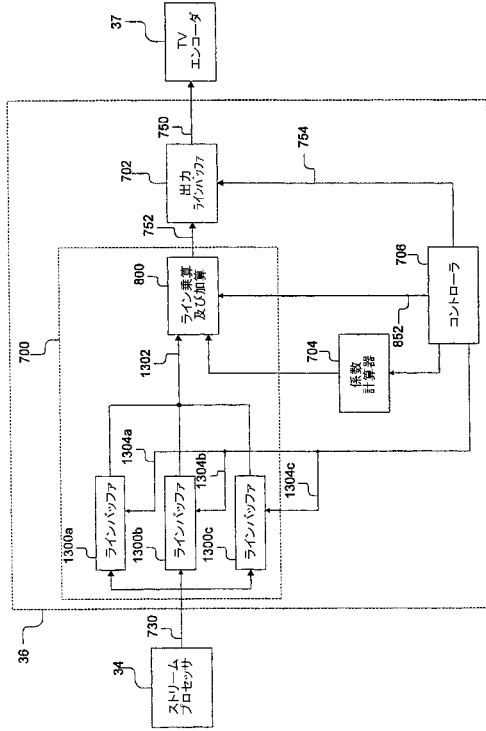
【図 11】



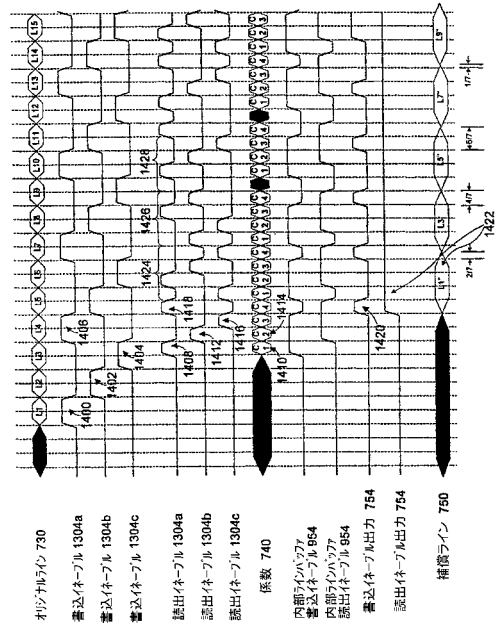
【図 12】



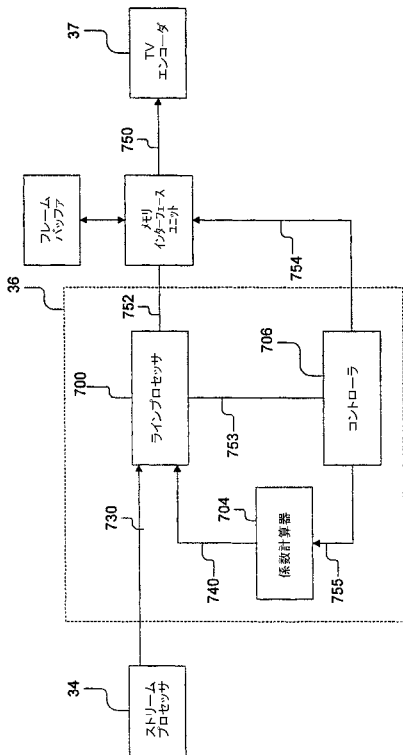
【図 13】



【図 14】



【図 15】



フロントページの続き

(72)発明者 リン・イチョウ

アメリカ合衆国カリフォルニア州 9 5 0 5 1 , サンタクララ , ポインシアナ・ドライブ・3 7 0 7
 , アパートメント・ナンバー 1 4 9

審査官 佐藤 直樹

(56)参考文献 特開平 0 6 - 1 1 8 9 2 5 (J P , A)

特開平 0 7 - 1 3 5 6 1 8 (J P , A)

特開平 0 7 - 1 7 0 1 5 3 (J P , A)

特開平 0 3 - 1 5 6 5 7 7 (J P , A)

特開平 0 4 - 0 9 6 4 7 8 (J P , A)

特開平 0 6 - 2 6 1 2 9 7 (J P , A)

特開平 0 8 - 1 6 3 5 1 0 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

H04N 5/21