

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5513020号
(P5513020)

(45) 発行日 平成26年6月4日(2014.6.4)

(24) 登録日 平成26年4月4日(2014.4.4)

(51) Int.Cl.	F I	
HO 1 L 21/336 (2006.01)	HO 1 L 29/78	6 2 7 C
HO 1 L 29/786 (2006.01)	HO 1 L 29/78	6 1 2 C
HO 1 L 21/3213 (2006.01)	HO 1 L 29/78	6 1 2 D
HO 1 L 21/768 (2006.01)	HO 1 L 21/88	C
GO 2 F 1/1368 (2006.01)	GO 2 F 1/1368	

請求項の数 10 (全 13 頁) 最終頁に続く

(21) 出願番号	特願2009-146479 (P2009-146479)	(73) 特許権者	506087819
(22) 出願日	平成21年6月19日 (2009.6.19)		パナソニック液晶ディスプレイ株式会社
(65) 公開番号	特開2011-3778 (P2011-3778A)		兵庫県姫路市飾磨区妻鹿日田町1-6
(43) 公開日	平成23年1月6日 (2011.1.6)	(74) 代理人	110000154
審査請求日	平成24年5月15日 (2012.5.15)		特許業務法人はるか国際特許事務所
		(72) 発明者	鎌田 裕樹
			千葉県茂原市早野3732番地 株式会社
			IPSアルファテクノロジー内
		(72) 発明者	西邑 雄一
			千葉県茂原市早野3732番地 株式会社
			IPSアルファテクノロジー内
		(72) 発明者	渡辺 邦彦
			千葉県茂原市早野3732番地 株式会社
			IPSアルファテクノロジー内

最終頁に続く

(54) 【発明の名称】 薄膜トランジスタ基板及び薄膜トランジスタ基板の製造方法

(57) 【特許請求の範囲】

【請求項1】

表示装置の表示を制御する薄膜トランジスタ基板であって、
 ドライバ回路により電圧が印加される金属配線を備え、
 前記金属配線は、第1形状からなる、前記薄膜トランジスタ基板の製造時に用いられる
 アライメントマークの一部を有し、
 前記金属配線とは異なる金属電極又は金属配線を更に備え、
 前記金属電極又は金属配線は、第2形状を有し、
 前記第2形状は、前記第1形状と併せて、アライメントマークを形成する、
 ことを特徴とする薄膜トランジスタ基板。

10

【請求項2】

前記金属配線はトランジスタのゲート配線である、ことを特徴とする請求項1に記載の
 薄膜トランジスタ基板。

【請求項3】

前記第1形状は切欠である、ことを特徴とする請求項1に記載の薄膜トランジスタ基板
 。

【請求項4】

前記第1形状は、前記金属配線の延伸方向に垂直な凸部により形成されている、ことを
 特徴とする請求項1に記載の薄膜トランジスタ基板。

【請求項5】

20

前記金属配線は2つの平行に延伸する配線であり、

前記第1形状は、前記2つの平行に延伸する配線のそれぞれに設けられている、ことを特徴とする請求項1に記載の薄膜トランジスタ基板。

【請求項6】

前記第1形状は、前記2つの平行に延伸する配線において、前記延伸方向に垂直で、互いに対向するように開口した切欠である、ことを特徴とする請求項5に記載の薄膜トランジスタ基板。

【請求項7】

前記第1形状は、前記2つの平行に延伸する配線において、前記延伸方向に垂直な凸部により形成されている、ことを特徴とする請求項5に記載の薄膜トランジスタ基板。

10

【請求項8】

前記金属電極又は金属配線は、ソース・ドレイン配線である、ことを特徴とする請求項1に記載の薄膜トランジスタ基板。

【請求項9】

表示装置の表示を制御する薄膜トランジスタ基板の製造方法であって、

第1形状を有する金属配線を形成する配線形成工程と、

前記第1形状をアライメントマークの一部として位置を合わせ、露光する露光工程と、を備え、

前記配線形成工程の後に、第2形状を有する、金属電極又は金属配線を形成する電極配線形成工程を更に有し、

20

前記露光工程は、前記第2形状を、前記第1形状と併せて、アライメントマークとして位置を合わせ、露光する、薄膜トランジスタ基板の製造方法。

【請求項10】

前記露光工程は、前記第1形状の位置と前記第2形状の位置とが正しい位置からずれている場合には、前記ずれた距離の中心をアライメント位置として、位置を合わせ、露光する、ことを特徴とする請求項9に記載の薄膜トランジスタ基板の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、薄膜トランジスタ基板及び薄膜トランジスタ基板の製造方法に関し、より詳しくは、表示装置の表示を制御する薄膜トランジスタ基板及びその薄膜トランジスタ基板の製造方法に関する。

30

【背景技術】

【0002】

コンピュータ等の情報通信端末やテレビ受像機の表示装置の1つとして、液晶表示装置が広く用いられている。液晶表示装置は、薄膜トランジスタ基板(以下、「TFT(Thin Film Transistor)基板」という。)と、カラーフィルタ基板との間に封じ込められた液晶組成物の配向を制御することにより、光の透過度合いを変化させて、表示させる画像を制御する装置である。

【0003】

40

このような液晶表示装置に使用されるTFT基板は、解像度に応じた数の画素を有しており、各画素には、映像信号の電圧を電極に印加するためのトランジスタが設けられている。このトランジスタを形成するゲート層、半導体層、ソース・ドレイン層等の各層は、公知の半導体プロセスであるフォトリソグラフィ工程により形成されるが、この工程において、各層のパターンを露光する際には、先に形成された層の位置に合わせるためにアライメントを行う必要がある。

【0004】

特許文献1は、TFT基板のソース配線層やゲート配線層等の層毎にアライメントマークを設けて、TFT基板とカラーフィルタ基板を重ね合わせる際に使用することについて開示している。

50

【0005】

特許文献2は、各層を形成する際のアライメントマークとして、TFT基板の表示領域内に設けられたアライメントマークについて開示している。

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開2007-17465号公報

【特許文献2】特開平1-154124号公報

【発明の概要】

【発明が解決しようとする課題】

10

【0007】

しかしながら、アライメントマークが表示領域の外側に設けられる場合には、ガラス基板上に製品として使用できない領域を設けることとなるため、効率的とはいえない。また、特許文献1のように、アライメントマークが重ね合わせられる場合には、位置ずれが発生した際に、アライメントマークの誤検出が発生し、位置合わせに適さなくなる場合がある。また、特許文献2のように、表示領域内にアライメントマークを設ける場合であっても、アライメントのための独立したパターンである場合には、他の配線への影響も大きいことから、歩留まりを悪化させる恐れがある。

【0008】

本発明は、上述の事情を鑑みてしたものであり、必要なパターン以外の部分にアライメント用のパターンを設けることなく、かつ高精度なアライメントマークを用いた薄膜トランジスタ基板、薄膜トランジスタ基板の製造方法を提供することを目的とする。

20

【課題を解決するための手段】

【0009】

本発明の薄膜トランジスタ基板は、表示装置の表示を制御する薄膜トランジスタ基板であって、ドライバ回路により電圧が印加される金属配線を備え、前記金属配線は、第1形状からなるアライメントマークの一部を有する、ことを特徴とする薄膜トランジスタ基板である。

【0010】

また、本発明の薄膜トランジスタ基板は、前記金属配線はトランジスタのゲート配線である、とすることができる。

30

【0011】

また、本発明の薄膜トランジスタ基板は、前記第1形状は切欠とすることができ、この場合には、前記切欠は十字型である、とすることができる。また、前記第1形状は、前記金属配線の延伸方向に垂直な凸部により形成されている、とすることができる。

【0012】

また、本発明の薄膜トランジスタ基板は、前記金属配線は2つの平行に延伸する配線であり、前記第1形状は、前記2つの平行に延伸する配線のそれぞれに設けられている、とすることができる。この場合には、前記第1形状は、前記2つの平行に延伸する配線において、前記延伸方向に垂直で、互いに対向するように開口した欠切である、とすることができる。また、前記第1形状は、前記2つの平行に延伸する配線において、前記延伸方向に垂直な凸部により形成されている、とすることができる。

40

【0013】

また、本発明の薄膜トランジスタ基板は、前記金属配線と電氣的に独立し、電圧が印加されないパターンを更に備え、前記パターンは、前記第1形状と併せて、アライメントマークを形成する、とすることができる。

【0014】

また、本発明の薄膜トランジスタ基板は、前記金属配線とは異なる金属電極又は金属配線を更に備え、前記金属電極又は金属配線は、第2形状を有し、前記第2形状は、前記第1形状と併せて、アライメントマークを形成する、とすることができる。この場合には、

50

前記金属電極又は金属配線は、ソース・ドレイン配線である、とすることができる。

【0015】

本発明の薄膜トランジスタ基板の製造方法は、表示装置の表示を制御する薄膜トランジスタ基板の製造方法であって、第1形状を有する金属配線を形成する配線形成工程と、前記第1形状をアライメントマークの一部として位置を合わせ、露光する露光工程と、を備える薄膜トランジスタ基板の製造方法である。

【0016】

また、本発明の薄膜トランジスタ基板の製造方法は、前記配線形成工程の後に、第2形状を有する、金属電極又は金属配線を形成する電極配線形成工程を更に有し、前記露光工程は、前記第2形状を、前記第1形状と併せて、アライメントマークとして位置を合わせ、露光する、とすることができる。

10

【0017】

また、本発明の薄膜トランジスタ基板の製造方法は、前記露光工程は、前記第1形状の位置と前記第2形状の位置とが正しい位置からずれている場合には、前記ずれた距離の中心をアライメント位置として、位置を合わせ、露光する、とすることができる。

【図面の簡単な説明】

【0018】

【図1】本発明の一実施形態に係る液晶表示装置を概略的に示す図である。

【図2】図1の液晶パネルの構成を示す図である。

【図3】図2のTFT基板の製造工程を概略的に示す図である。

20

【図4】TFT基板のゲート信号線、対抗電極及び共通信号線が形成された様子を示す図である。

【図5】TFT基板の非晶質ケイ素層が形成された様子を示す図である。

【図6】TFT基板のドレイン信号線及びソース電極が形成された様子を示す図である。

【図7】TFT基板のソース・ドレイン絶縁膜が形成された様子を示す図である。

【図8】TFT基板の画素電極膜が形成された様子を示す図である。

【図9】単一の層に形成された配線に、本発明のアライメントマークが設けられる場合の例について示す図である。

【図10】単一の層に形成された配線に、本発明のアライメントマークが設けられる場合の例について示す図である。

30

【図11】単一の層に形成された配線に、本発明のアライメントマークが設けられる場合の例について示す図である。

【図12】単一の層に形成された配線に、本発明のアライメントマークが設けられる場合の例について示す図である。

【図13】単一の層に形成された配線に、本発明のアライメントマークが設けられる場合の例について示す図である。

【図14】単一の層に形成された配線に、本発明のアライメントマークが設けられる場合の例について示す図である。

【図15】2つの層にそれぞれアライメントマークの一部が形成されることにより、組合わせてアライメントマークとなる場合の例について示す図である。

40

【図16】2つの層にそれぞれアライメントマークの一部が形成されることにより、組合わせてアライメントマークとなる場合の例について示す図である。

【図17】2つの層にそれぞれアライメントマークの一部が形成されることにより、組合わせてアライメントマークとなる場合の例について示す図である。

【図18】2つの層にそれぞれアライメントマークの一部が形成されることにより、組合わせてアライメントマークとなる場合の例について示す図である。

【図19】アライメントマーク上に配線が重ねられた場合について示す図である。

【図20】2つの層のアライメントマークの一部が互いにずれて形成された場合について示す図である。

【発明を実施するための形態】

50

【 0 0 1 9 】

以下、本発明の実施形態について、図面を参照しつつ説明する。なお、図面において、同一又は同等の要素には同一の符号を付し、重複する説明を省略する。

【 0 0 2 0 】

図 1 には、本発明の一実施形態に係る液晶表示装置 1 0 0 が概略的に示されている。この図に示されるように、液晶表示装置 1 0 0 は、上フレーム 1 1 0 及び下フレーム 1 2 0 に挟まれるように固定された液晶パネル 2 0 0 及び不図示のバックライト装置等から構成されている。

【 0 0 2 1 】

図 2 には、液晶パネル 2 0 0 の構成が示されている。液晶パネル 2 0 0 は、T F T 基板 2 3 0 とカラーフィルタ基板 2 2 0 の 2 枚の基板を有し、これらの基板の間には液晶組成物が封止されている。T F T 基板 2 3 0 には、駆動回路 2 4 0 により制御されるゲート信号線 2 4 5 及び駆動回路 2 5 0 により制御されるドレイン信号線 2 5 1 が張り巡らされ、これらの信号線は、液晶表示装置 1 0 0 の一画素として機能するセルを形成している。なお、液晶パネル 2 0 0 は、その表示の解像度に対応する数のセルを有するが、図が煩雑になるのを避けるため、図 2 では簡略化して示している。また、各駆動回路 2 4 0 及び 2 5 0 には、不図示の処理装置から映像信号を含む制御信号が入力され、液晶組成物の配向を制御して、表示を行っている。

10

【 0 0 2 2 】

図 3 には、T F T 基板 2 3 0 の製造工程が概略的に示されている。ここで、各工程に示された成膜工程、フォトリソグラフィ工程及びエッチング工程の各工程は、公知の半導体プロセスの工程を用いているため、これらの各工程の説明は省略する。

20

【 0 0 2 3 】

図 3 に示されるように、T F T 基板 2 3 0 の製造工程では、まず、ステップ S 1 1 において、ゲート信号線 2 4 5、対抗電極 3 0 1 及び共通信号線 3 0 3 を成膜工程、フォトリソグラフィ工程及びエッチング工程により形成する。図 4 には、ゲート信号線 2 4 5、対抗電極 3 0 1 及び共通信号線 3 0 3 が形成された様子が示されている。図 4 の A の部分に示されるように、ゲート信号線 2 4 5 及び共通信号線 3 0 3 の一部には、これらの延伸方向に垂直で、互いに対向するように開口した欠切があり、平行に延びるゲート信号線 2 4 5 及び共通信号線 3 0 3 の間の隙間と、この欠切とを組み合わせることにより、外観として

30

【 0 0 2 4 】

図 3 に戻り、次に、ステップ S 1 2 において、ゲート絶縁膜が形成され、引き続き、ステップ S 1 3 において、非晶質ケイ素層 3 0 7 が成膜工程、フォトリソグラフィ工程及びエッチング工程により形成される。ここで、このフォトリソグラフィ工程の露光の際には、A の部分がアライメントマークとして使用され位置合わせが行われる。図 5 には、形成された非晶質ケイ素層 3 0 7 の様子が示されている。

【 0 0 2 5 】

続いて、ステップ S 1 4 において、ドレイン信号線 2 5 1 及びソース電極 3 1 3 が、成膜工程、フォトリソグラフィ工程及びエッチング工程により形成される。このフォトリソグラフィ工程の露光の際にも、A の部分がアライメントマークとして使用され位置合わせが行われる。図 6 には、ドレイン信号線 2 5 1 及びソース電極 3 1 3 が形成された様子が示されている。図 6 の B の部分に示されるように、ドレイン信号線 2 5 1 の一部には、ドレイン信号線 2 5 1 の延伸方向と垂直な 2 つの凸部があり、ドレイン信号線 2 5 1 とこれらの凸部とを組み合わせることにより、外観として十字型が形成されている。

40

【 0 0 2 6 】

次に、ステップ S 1 5 において、ソース・ドレイン絶縁膜 3 1 5 が形成され(図 7 参照)、引き続き、ステップ S 1 6 において、画素電極膜 3 1 7 が成膜工程、フォトリソグラフィ工程及びエッチング工程により形成される。ここで、このフォトリソグラフィ工程の露光の際には、A 及び B の部分がアライメントマークとして使用され位置合わせが行われ

50

る。図 8 には、形成された画素電極膜 317 の様子が示されている。図 1 の液晶表示装置 100 及び図 2 の液晶パネル 200 には、上述したような製造方法により製造された TFT 基板 230 が使用されている。

【0027】

したがって、上述の実施形態では、表示領域内の配線を利用してアライメントマークを形成したため、アライメント用の特殊なパターンを設けることなく、ガラス基板を有効に活用することができると共に、歩留りを高めることができる。また、アライメントマークが画素に近い、配線パターンの一部であるため、小さくかつ高精度なアライメントマークとして使用することができる。また、一層にのみ設けられるアライメントマークのため、多層に渡り重ね合わせられるアライメントマークと異なり、誤検出なくアライメントマークを使用することができる。

10

【0028】

図 9 ~ 図 14 は、単一の層に形成された配線に、本発明のアライメントマークが設けられる場合の例について示す図である。

【0029】

図 9 は、1本の配線に十字型の切欠を設けることにより、アライメントマークを形成している場合を示している。図 10 は、1本の配線に4個の矩形の切欠を設けることにより、外観上十字型のアライメントマークが形成されている場合を示している。図 11 は、同一方向に延びる2本の配線のそれぞれに、延伸方向に垂直で、同じ方向に延びる凸部を設けることにより、外観上十字型のアライメントマークが形成されている場合を示している。図 12 は、1本の配線の延伸方向に垂直な凸部と、その凸部の反対側に設けられた1つの独立した矩形のパターンとを組み合わせることにより、外観上十字型のアライメントマークが形成されている場合を示している。図 13 は、1本の配線の延伸方向に垂直に開口した切欠と、その切欠のある側に設けられた2つの独立した矩形のパターンとを組み合わせることにより、外観上十字型のアライメントマークが形成されている場合を示している。図 14 には、1本の配線の延伸方向に垂直な凸部と、その配線内に設けられた2つの矩形の切欠とを組み合わせることにより、外観上十字型のアライメントマークが形成されている場合を示している。

20

【0030】

図 15 ~ 図 18 は、2つの層にそれぞれアライメントマークの一部が形成されることにより、組合わせてアライメントマークとなる場合の例について示す図である。ここで、各図に示された異なる形式の影（ハッチング）の部分は、層が異なることを示している。ここで、以下の説明においては、異なる層のいずれかを上層又は下層としているが、これらの上層及び下層は入れ替えられていてもよい。

30

【0031】

図 15 は、1本の配線の延伸方向に垂直に開口した切欠と、その配線の上層で平行に形成された1本の配線における、その切欠に対向するように開口した切欠とを組み合わせることにより、外観上十字型のアライメントマークが形成されている場合を示している。図 16 は、1本の配線の延伸方向に垂直な凸部と、その配線の上層で平行に形成された1本の配線における、その凸部と同一方向の凸部を有することにより、外観上十字型のアライメントマークが形成されている場合を示している。図 17 は、1本の配線の延伸方向に垂直な凸部と、その配線の上層に形成された1つの独立した矩形のパターンとを組み合わせることにより、外観上十字型のアライメントマークが形成されている場合を示している。図 18 は、1本の配線の延伸方向に垂直に開口した切欠と、その配線の上層に形成された2つの独立した矩形のパターンとを組み合わせることにより、外観上十字型のアライメントマークが形成されている場合を示している。

40

【0032】

図 19 は、アライメントマーク上に配線が重ねられた場合について示す図である。この図に示されるように、重ねられた配線がアライメントマーク上にある場合には、アライメント形状の一辺との距離を測定することにより、2層のずれを検出することができる。こ

50

ここで、この図のアライメントマークは、1本の配線に十字型の切欠を設けることにより形成されるアライメントマークとしたが、その他の形状のアライメントマークであってもよい。

【0033】

図20は、2つの層にそれぞれアライメントマークの一部が形成されることにより、組合わせてアライメントマークとなる場合において、2つの層がずれて形成された場合が示されている。このような場合には、ずれの中心をアライメントの中心とすることにより、適切な露光位置の基準とすることができる。

【0034】

以上、本発明に係る実施形態とその変形例について示したが、いずれの変形例においても、配線を利用してアライメントマークを形成しているため、アライメント用の特殊なパターンを設けることなく、ガラス基板を有効に活用することができると共に、歩留りを高めることができる。また、アライメントマークが画素に近い、配線パターンの一部であるため、小さくかつ高精度なアライメントマークとして使用することができる。また、一層にのみ設けられるアライメントマークである場合には、多層に渡り重ね合わせられるアライメントマークと異なり、誤検出なくアライメントマークを使用することができる。

10

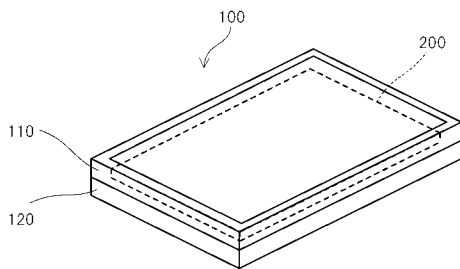
【符号の説明】

【0035】

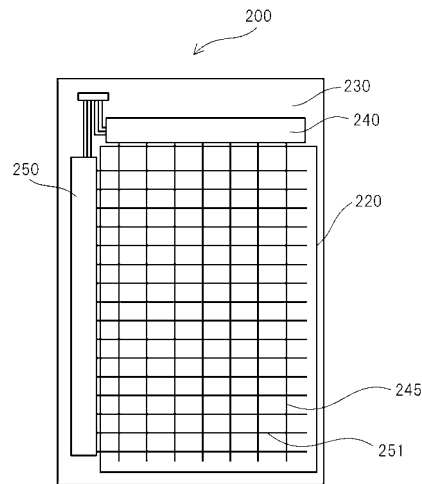
100 液晶表示装置、110 上フレーム、120 下フレーム、200 液晶パネル、220 カラーフィルタ基板、230 TFT基板、240 駆動回路、245 ゲート信号線、250 駆動回路、251 ドレイン信号線、301 対抗電極、303 共通信号線、307 非晶質ケイ素層、313 ソース電極、315 ソース・ドレイン絶縁膜、317 画素電極膜。

20

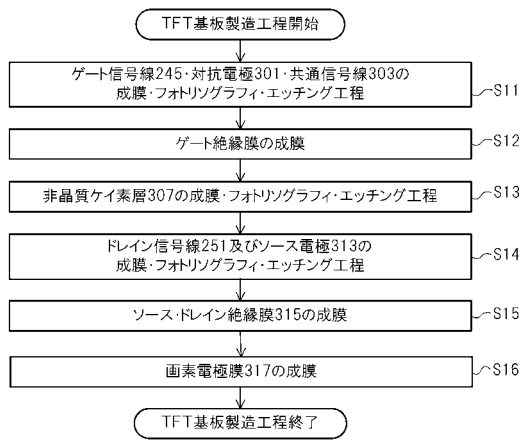
【図1】



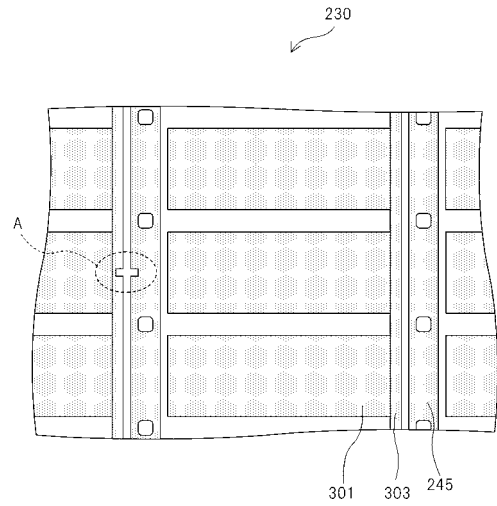
【図2】



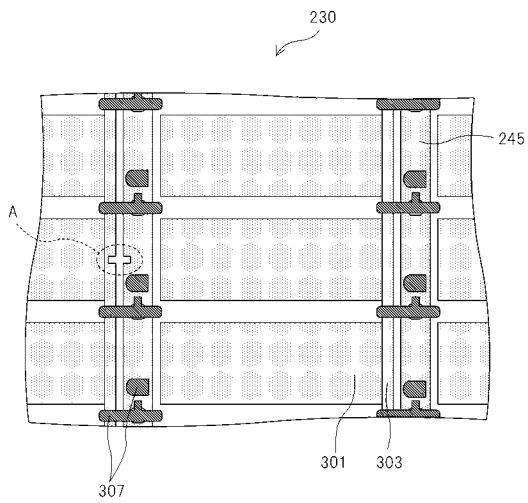
【図3】



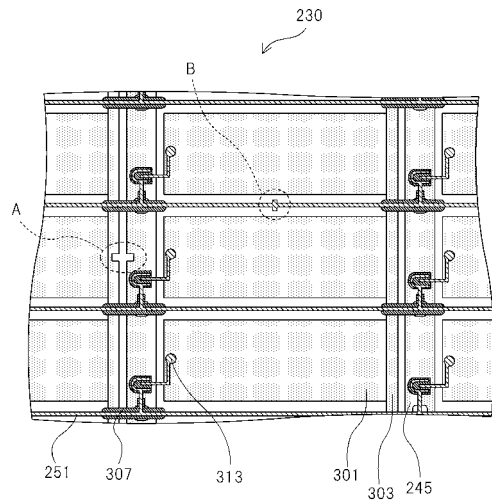
【図4】



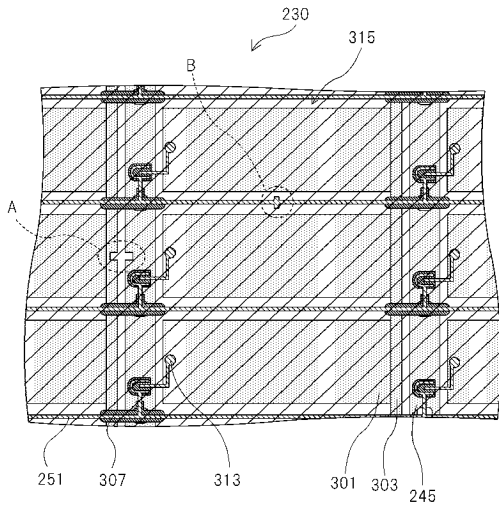
【図5】



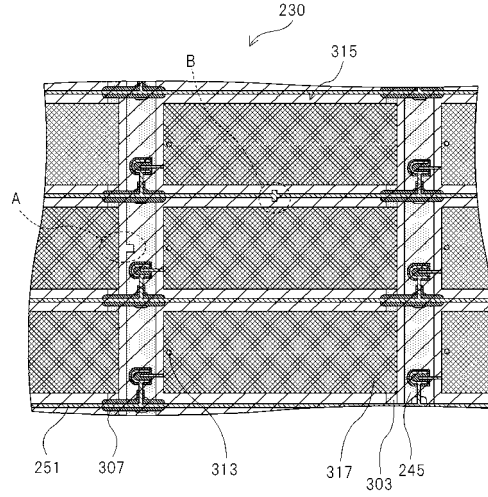
【図6】



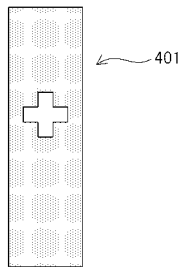
【図 7】



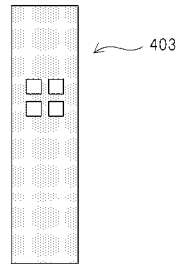
【図 8】



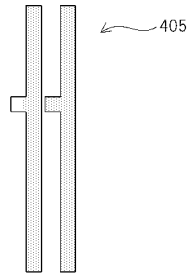
【図 9】



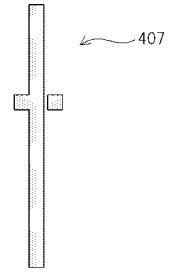
【図 10】



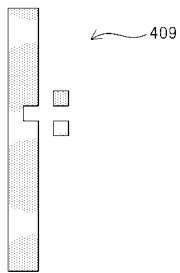
【図 1 1】



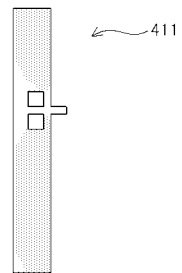
【図 1 2】



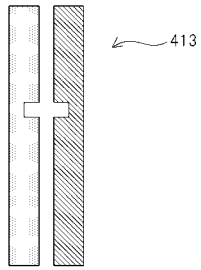
【図 1 3】



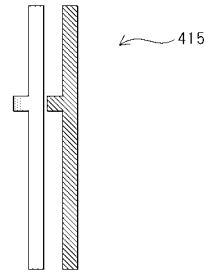
【図 1 4】



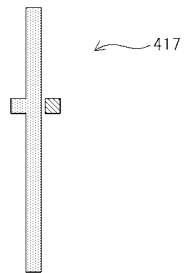
【図 15】



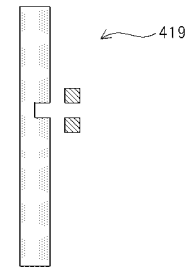
【図 16】



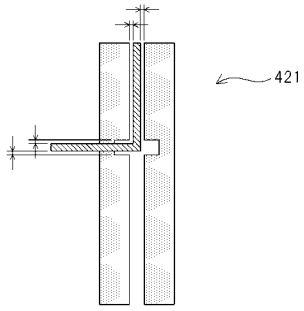
【図 17】



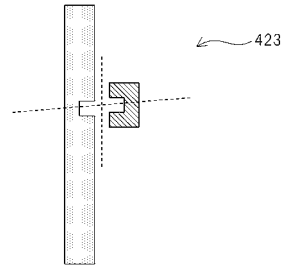
【図 18】



【図 19】



【図 20】



フロントページの続き

(51) Int.Cl. F I
G 0 2 F 1/1343 (2006.01) G 0 2 F 1/1343

審査官 大橋 達也

(56) 参考文献 特開 2 0 0 4 - 0 7 1 6 9 6 (J P , A)
特開 2 0 0 7 - 1 4 0 0 3 6 (J P , A)
特開 2 0 0 5 - 2 4 3 5 7 1 (J P , A)
特開 2 0 0 7 - 2 8 8 0 8 0 (J P , A)
特開平 0 4 - 2 9 4 3 2 9 (J P , A)

(58) 調査した分野(Int.Cl. , DB名)

H 0 1 L 2 1 / 3 3 6
G 0 2 F 1 / 1 3 4 3
G 0 2 F 1 / 1 3 6 8
H 0 1 L 2 1 / 3 2 1 3
H 0 1 L 2 1 / 7 6 8
H 0 1 L 2 9 / 7 8 6