(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2024년12월11일
(11) 등록번호 10-2741720
(24) 등록일자 2024년12월06일

(51) 국제특허분류(Int. Cl.)
C30B 33/02 (2006.01) *C30B 29/06* (2006.01)
H01L 21/322 (2006.01)
(52) CPC특허분류
C30B 33/02 (2013.01)
C30B 29/06 (2013.01)
(21) 출원번호 10-2021-7032523
(22) 출원일자(국제) 2020년02월05일
심사청구일자 2022년11월25일
(85) 번역문제출일자 2021년10월08일
(65) 공개번호 10-2021-0151814
(43) 공개일자 2021년12월14일
(86) 국제출원번호 PCT/JP2020/004397
(87) 국제공개번호 WO 2020/213230
국제공개일자 2020년10월22일
(30) 우선권주장
JP-P-2019-077651 2019년04월16일 일본(JP)
(56) 선행기술조사문헌
JP2016504759 A*
KR101494730 B1*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
신에쯔 한도타이 가부시키가이샤
일본 도쿄토 치요다쿠 오테마치 2쵸메 2-1
(72) 발명자
쿠, 웨이 펭
일본, 군마 3790196, 안나카-시, 이소베 2-쵸메, 13-1, 신에쯔 한도타이 가부시키가이샤, 이소베 연구개발센터내
이가와, 시즈오
일본, 군마 3790196, 안나카-시, 이소베 2-쵸메, 13-1, 신에쯔 한도타이 가부시키가이샤, 이소베 연구개발센터내
(74) 대리인
특허법인씨엔에스

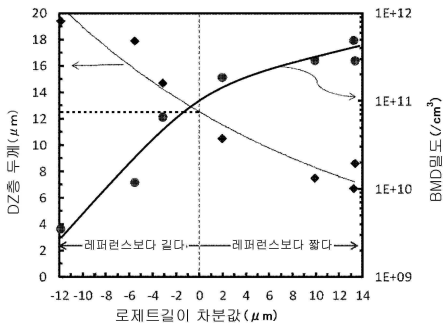
전체 청구항 수 : 총 4 항 심사관 : 조성희

(54) 발명의 명칭 **실리콘 단결정 웨이퍼의 제조방법 및 실리콘 단결정 웨이퍼**

(57) 요 약

본 발명은, 다층구조 디바이스용의 실리콘 단결정 웨이퍼의 제조방법으로서, 산소농도가 12ppma(JEITA) 이상, N_V 영역의 실리콘 단결정 웨이퍼를 이용하고, 질소함유 분위기 또한 온도 1225℃ 이상에서의 RTA처리, 경면연마 가공처리, 및, BMD형성 열처리를 행함으로써, 실리콘 단결정 웨이퍼의 표면으로부터 차례로, 두께가 5~12.5μm인 DZ층, 및, 이 DZ층의 직하에 위치하고 BMD밀도가 $1\times10^{11}/cm^3$ 이상인 BMD층을 적어도 갖는 실리콘 단결정 웨이퍼를 제조하는 실리콘 단결정 웨이퍼의 제조방법이다. 이에 따라, 디바이스 형성시에 실리콘 웨이퍼 표면이 받은 응력을 표층부 직하에 흡수시켜, 변형 기인의 결함을 BMD층에 흡수할 수 있고, 디바이스 형성영역의 강도향상 및 표층에 있어서의 전위의 발생, 신장을 억제가능한 다층구조 디바이스용의 실리콘 단결정 웨이퍼의 제조방법이 제공된다.

대 표 도 - 도3



(52) CPC특허분류
H01L 21/322 (2013.01)

명 세 서

청구범위

청구항 1

다층구조 디바이스용의 실리콘 단결정 웨이퍼의 제조방법으로서,

산소농도가 12ppma(JEITA) 이상, N_V영역의 실리콘 단결정 웨이퍼를 이용하고,

질소함유 분위기 또한 온도 1225℃ 이상에서의 RTA처리, 경면연마 가공처리, 및, BMD형성 열처리를 행함으로써, 실리콘 단결정 웨이퍼의 표면으로부터 차례로, 두께가 5~12.5μm인 DZ층, 및, 이 DZ층의 직하에 위치하고 BMD밀도가 $1\times10^{11}/cm^3$ 이상인 BMD층을 적어도 갖는 실리콘 단결정 웨이퍼를 제조하는 것을 특징으로 하는 실리콘 단결정 웨이퍼의 제조방법.

청구항 2

제1항에 있어서,

상기 RTA처리를, 10초 미만, 강온속도 30℃/초 이상의 열처리조건으로 행하는 것을 특징으로 하는 실리콘 단결정 웨이퍼의 제조방법.

청구항 3

제1항 또는 제2항에 있어서,

상기 BMD형성 열처리를, 아르곤 분위기, 온도 870~950℃, 2시간 이상의 열처리조건으로 행하는 것을 특징으로 하는 실리콘 단결정 웨이퍼의 제조방법.

청구항 4

다층구조 디바이스용의 실리콘 단결정 웨이퍼로서,

상기 실리콘 단결정 웨이퍼는 N_V영역의 것이며,

실리콘 단결정 웨이퍼의 표면으로부터 차례로, DZ층과, 이 DZ층의 직하에 위치하는 BMD층을 적어도 갖고,

상기 DZ층의 두께가 5~12.5μm이고, 상기 BMD층의 BMD밀도가 $1\times10^{11}/cm^3$ 이상이며,

상기 실리콘 단결정 웨이퍼는,

$Depth=3\times Fz^{0.6}$

(단, Depth는 타흔깊이(단위: μm), Fz는 압입압력(단위: N)이고, Depth=0.01μm 이상, 5.00μm 미만으로 한다)

의 관계식을 만족하도록, 상기 압입압력Fz를 가하여, 상기 실리콘 단결정 웨이퍼의 표면에 타흔깊이Depth의 타흔을 형성했을 때, 상기 표면으로부터 차례로, 변형층, DZ층, BMD층을 포함하는, 적어도 3층의 적층구조가 되는 것이며,

상기 타흔을 형성한 상기 실리콘 단결정 웨이퍼에 대하여, 온도 900℃, 1시간의 열처리를 행했을 때에, 상기 열처리 후의 상기 DZ층의 전위의 로제트길이가, 상기 열처리 전의 상기 DZ층의 전위의 로제트길이보다 짧아지는 것을 특징으로 하는 실리콘 단결정 웨이퍼.

청구항 5

삭제

발명의 설명

기 술 분 야

[0001] 본 발명은, 다층구조 디바이스용의 실리콘 단결정 웨이퍼의 제조방법 및 실리콘 단결정 웨이퍼에 관한 것이다.

배 경 기 술

[0002] 최신 메모리(3D Xpoint)에서는, 디바이스영역(표면으로부터 깊이 약 0.5㎛의 범위)에 있어서의 실리콘기판의 고강도화, 3D NAND의 적층화에 의한 기판표층부 강도의 향상이 요구되고 있다.

[0003] 일반적으로 게터링능력의 부여와 벌크부의 강도향상을 목적으로 하여, 실리콘 단결정에 질소, 탄소, 보론을 도프하는 것이 행해지고 있다. 그러나, 질소, 탄소, 보론을 고농도로 도프하면, 표층에 산소석출물이 형성되고, 전기특성이 악화된다는 문제가 있다. 이러한 문제점에 대하여, 열처리에 의해 불순물을 외방확산시키는 대책이 채용되고 있다. 이 때, 표층에 DZ층이 형성된다. 이 DZ층에서는, 산소의 외방확산에 의해 저산소로 되어 있어, 디바이스 형성시에 받는 응력에 의해 슬립이 발생하기 쉽다.

[0004] 또한, 특허문헌 1, 특허문헌 2, 특허문헌 3에는, 과도하게 산소석출물이 형성되지 않도록 BMD밀도를 제어하는 기술이, 특허문헌 4에는, 무결함영역에 인접하여 근접 게터링능력을 갖는 단결정 웨이퍼가 개시되어 있다.

선행기술문헌

특허문헌

[0005] (특허문헌 0001) 일본특허공개 2016-100542호 공보

(특허문헌 0002) 일본특허 제4055343호 공보

(특허문헌 0003) (특허문헝 3) 일본특허 제4794137호 공보

(특허문헌 0004) 일본특허공개 2015-216375호 공보

(특허문헌 0005) 일본특허공개 2016-111044호 공보

발명의 내용

해결하려는 과제

[0006] 그러나, 특허문헌 1-4에 기재되는 바와 같은 단결정 웨이퍼여도, 단결정 웨이퍼 상에 다층구조의 디바이스를 형성한 경우는, 디바이스 형성영역에 슬립이 발생한다는 문제가 있어, 다층구조의 디바이스를 형성한 경우여도 디바이스 형성영역에 슬립이 발생하지 않는 실리콘 단결정 웨이퍼가 요구되고 있었다.

[0007] 본 발명은, 상기 문제를 해결하기 위해 이루어진 것으로, 디바이스 형성시에 실리콘 웨이퍼 표면이 받은 응력에 의한 변형 기인(起因)의 결함을 표층부 직하의 BMD층에 흡수할 수 있고, 디바이스 형성 영역의 강도향상 및 표층에 있어서의 전위의 발생, 신장을 억제 가능한 다층구조 디바이스용의 실리콘 단결정 웨이퍼의 제조방법 및 실리콘 단결정 웨이퍼를 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0008] 본 발명은, 상기 목적을 달성하기 위해 이루어진 것이며, 다층구조 디바이스용의 실리콘 단결정 웨이퍼의 제조방법으로서, 산소농도가 12ppma(JEITA) 이상, N_V영역의 실리콘 단결정 웨이퍼를 이용하고, 질소함유 분위기 또한 온도 1225℃ 이상에서의 RTA처리, 경면연마 가공처리, 및, BMD형성 열처리를 행함으로써, 실리콘 단결정 웨

이퍼의 표면으로부터 차례로, 두께가 5~12.5㎛인 DZ층, 및, 이 DZ층의 직하에 위치하고 BMD밀도가 $1\times10^{11}/cm^3$ 이상인 BMD층을 적어도 갖는 실리콘 단결정 웨이퍼의 제조방법을 제공한다.

[0009] 이러한 실리콘 단결정 웨이퍼의 제조방법에 따르면, 디바이스 형성 영역의 강도향상 및 표층에 있어서의 전위발생, 신장을 억제가능한 다층구조 디바이스용의 실리콘 단결정 웨이퍼를 얻을 수 있다.

[0010] 이 때, 상기 RTA처리를, 10초 미만, 강온속도 30℃/초 이상의 열처리조건으로 행할 수 있다.

[0011] 이에 따라, 공공(空孔)의 외방확산을 억제하는 효과가 보다 높아, 깊이방향의 공공분포를 보다 급준한 것으로 할 수 있고, 보다 급준한 BMD밀도분포인 것을 얻을 수 있다.

[0012] 이 때, 상기 BMD형성 열처리를, 아르곤 분위기, 온도 870~950℃, 2시간 이상의 열처리조건으로 행할 수 있다.

[0013] 이에 따라, 석출핵 사이즈가 어느 정도 큰 것만 성장시킬 수 있으므로, BMD분포를 보다 급준하게 할 수 있다.

[0014] 본 발명은, 상기 목적을 달성하기 위해 이루어진 것으로, 다층구조 디바이스용의 실리콘 단결정 웨이퍼로서, 이 실리콘 단결정 웨이퍼는 N_V영역의 것이며, 실리콘 단결정 웨이퍼의 표면으로부터 차례로, DZ층과, 이 DZ층의 직하에 위치하는 BMD층을 적어도 갖고, 상기 DZ층의 두께가 5~12.5㎛이고, 상기 BMD층의 BMD밀도가 $1\times10^{11}/cm^3$ 이상인 실리콘 단결정 웨이퍼를 제공한다.

[0015] 이러한 실리콘 단결정 웨이퍼에 의하면, 디바이스 형성영역의 강도향상 및 표층에 있어서의 전위의 발생, 신장을 억제가능한 다층구조 디바이스용의 실리콘 단결정 웨이퍼가 된다.

[0016] 이 때, 상기 실리콘 단결정 웨이퍼는,

[0017] $Depth=3\times Fz^{0.6}$

[0018] (단, Depth는 타흔(打痕)깊이(단위: ㎛), Fz는 압입압력(단위: N)이고, Depth=0.01㎛ 이상, 5.00㎛ 미만으로 한다)

[0019] 의 관계식을 만족하도록, 상기 압입압력Fz를 가하여, 상기 실리콘 단결정 웨이퍼의 표면에 타흔깊이Depth의 타흔을 형성했을 때, 상기 표면으로부터 차례로, 변형층, DZ층, BMD층을 포함하는, 적어도 3층의 적층구조가 되는 것이며, 상기 타흔을 형성한 상기 실리콘 단결정 웨이퍼에 대하여, 온도 900℃, 1시간의 열처리를 행했을 때에, 상기 열처리 후의 상기 DZ층의 전위의 로제트길이가, 상기 열처리 전의 상기 DZ층의 전위의 로제트길이보다 짧아지는 것으로 할 수 있다.

[0020] 이에 따라, 전위의 신장을 억제하는 능력이 보다 높은 것이 된다.

발명의 효과

[0021] 이상과 같이, 본 발명의 실리콘 단결정 웨이퍼의 제조방법에 따르면, 디바이스 형성 영역의 강도향상 및 표층에 있어서의 전위의 발생, 신장을 억제가능한 다층구조 디바이스용의 실리콘 단결정 웨이퍼를 제조하는 것이 가능해진다. 또한, 본 발명의 실리콘 단결정 웨이퍼에 의하면, 디바이스 형성 영역의 강도향상 및 표층에 있어서의 전위의 발생, 신장을 억제가능한 다층구조 디바이스용의 실리콘 단결정 웨이퍼가 된다.

도면의 간단한 설명

[0022] 도 1은 본 발명에 따른 실리콘 단결정 웨이퍼를 나타낸다.

도 2는 로제트시험의 설명도를 나타낸다.

도 3은 DZ층 두께, BMD밀도, 로제트길이 차분값(差分値)의 관계를 나타낸다.

도 4는 본 발명에 따른 실리콘 단결정 웨이퍼의 단면관찰사진을 나타낸다.

도 5는 실시예 2 및 비교예 2의, DZ층 두께, BMD밀도, 로제트 차분값의 관계를 나타낸다.

도 6은 비교예 3의, DZ층 두께, BMD밀도, 로제트길이 차분값의 관계를 나타낸다.

발명을 실시하기 위한 구체적인 내용

[0023] 이하, 본 발명을 상세하게 설명하는데, 본 발명은 이들로 한정되는 것은 아니다.

[0024] 상술한 바와 같이, 디바이스 형성시에 실리콘 웨이퍼 표면이 받은 응력에 의한 변형 기인의 결함을 표층부 직하의 BMD층에 흡수할 수 있고, 디바이스 형성영역의 강도향상 및 표층에 있어서의 전위의 발생, 신장을 억제가능한 다층구조 디바이스용의 실리콘 단결정 웨이퍼의 제조방법 및 실리콘 단결정 웨이퍼가 요구되고 있었다.

[0025] 본 발명자들은, 상기 과제에 대해 예의 검토를 거듭한 결과, 다층구조 디바이스용의 실리콘 단결정 웨이퍼의 제조방법으로서, 산소농도가 12ppma(JEITA) 이상, N_V영역의 실리콘 단결정 웨이퍼를 이용하고, 질소함유 분위기 또한 온도 1225℃ 이상에서의 RTA처리, 경면연마 가공처리, 및, BMD형성 열처리를 행함으로써, 실리콘 단결정 웨이퍼의 표면으로부터 차례로, 두께가 5~12.5μm인 DZ층, 및, 이 DZ층의 직하에 위치하고 BMD밀도가 $1\times10^{11}/cm^3$ 이상인 BMD층을 적어도 갖는 실리콘 단결정 웨이퍼를 제조하는 실리콘 단결정 웨이퍼의 제조방법에 의해, 디바이스 형성영역의 강도향상 및 표층에 있어서의 전위의 발생, 신장을 억제가능한 다층구조 디바이스용의 실리콘 단결정 웨이퍼를 제조할 수 있는 것을 발견하여, 본 발명을 완성하였다.

[0026] 또한, 다층구조 디바이스용의 실리콘 단결정 웨이퍼로서, 이 실리콘 단결정 웨이퍼는 N_V영역의 것이며, 실리콘 단결정 웨이퍼의 표면으로부터 차례로, DZ층과, 이 DZ층의 직하에 위치하는 BMD층을 적어도 갖고, 상기 DZ층의 두께가 5~12.5μm이고, 상기 BMD층의 BMD밀도가 $1\times10^{11}/cm^3$ 이상인 실리콘 단결정 웨이퍼에 의해, 디바이스 형성영역의 강도향상 및 웨이퍼 표층에 있어서의 전위의 발생, 신장을 억제가능한, 다층구조 디바이스용의 실리콘 단결정 웨이퍼가 되는 것을 발견하여, 본 발명을 완성하였다.

[0027] 이하, 도면을 참조하여 설명한다.

[0028] 본 발명자는, 도 1에 나타내는 바와 같은, DZ층(1)과, 이 DZ층(1)의 직하에 위치하는 BMD층(2)을 적어도 갖는 실리콘 단결정 웨이퍼(100)의, DZ층(1)의 두께, BMD층(2)의 BMD밀도에 주목하여, 조사를 행한 결과, DZ층(1)의 두께와 BMD층(2)의 BMD밀도가 일정한 관계를 만족할 때에, 디바이스 형성영역의 강도향상 및 표층에 있어서의 전위의 발생, 신장을 억제가능한 것이 되는 것을 발견하였다.

[0029] 먼저, 결함영역이 전면N_V영역이고 산소농도가 상이한 실리콘 단결정 CW(Chemical etched wafer)웨이퍼를 준비하고, RTA처리 및 BMD형성 열처리의 조건을 바꾸어, 다양한 DZ층 두께, BMD층의 BMD밀도를 갖는 실리콘 단결정 PW(Polished wafer)웨이퍼를 제작하고, 전위의 발생, 신장의 억제효과(전위의 흡수효과)를 조사하였다. 이하, 조사의 내용과 결과에 대해 서술한다.

[0030] 직경 300mm, <100>, P형, 10Ωcm, 산소농도 14ppma(JEITA), 결함영역이 전면N_V영역(무결함이기는 하나, 포화농도 이하의 공공(空孔)이 우세한 영역)인, 실리콘 단결정 CW웨이퍼를 준비하였다. 이 CW웨이퍼에 대하여, RTA처리로서, 온도 1150~1300℃, 시간 9초, NH_3+Ar분위기에서의 열처리를 행했다. 그 후, 목표량을 6μm로 하여 PW가공을 행했다. 이에 따라 RTA처리로 형성된 질화막이 제거되었다. 마지막으로, BMD형성 열처리로서, 온도 1200℃, 시간 2시간, Ar분위기에서의 열처리를 행했다. 얻어진 실리콘 단결정 PW웨이퍼에 대해, DZ층 두께, BMD밀도의 측정을 행한 결과, DZ층의 두께가 0.5~19.4μm, BMD밀도가 $3.5\times10^9/cm^3$~$4.9\times10^{11}/cm^3$인 샘플을 얻었다.

[0031] 전위의 발생, 신장의 억제효과는, 로제트시험(로제트길이의 측정, 비교)에 의해 평가하였다. 구체적으로는, 상기와 같이 하여 제작한 DZ층, BMD층을 갖는 실리콘 단결정 PW웨이퍼에 대하여, 0.24~2.9N의 타흔압력으로, 깊이가 0.01μm 이상, 5.00μm 미만인 타흔을 형성하고, 로제트길이를 측정하였다. 또한, 타흔을 형성한 후, 추가로, 900℃, 1시간의 열처리를 행한 후에 대해서도, 로제트길이를 측정하였다. 그리고, 이들 열처리 전후의 로제트길이를 비교하였다.

[0032] 여기서, 로제트시험에 대해 설명한다. 본 발명에 따른 실리콘 단결정 웨이퍼의 전위억제효과는, 전위의 길이(로제트길이)에 따라 평가할 수 있다. 로제트시험은, 특허문헌 5에 기재된 평가방법이다. 이 평가방법은, 평가대상인 웨이퍼의 표면에 타흔을 형성함으로써, 웨이퍼의 표층에 변형을 가한다. 그 후 열처리를 행하고, 전위를 신장시켜, 전위의 길이(로제트길이)를 측정한다. 전위의 길이가 짧을수록, 전위의 발생, 신장을 억제하는 능력이 높은 것으로 판단할 수 있다.

[0033] 이하에, 구체적인 평가방법을, 도 2의 로제트시험의 설명도를 참조하면서 설명한다. 먼저, 준비한 실리콘 단결정 웨이퍼(100)의 표층에 대하여, 예를 들어 비커스 경도시험기 등을 이용하고, 압입압력을 가하여 타흔(3)을

형성한다. 한편, 웨이퍼의 표층에 압입압력을 가하여 타흔을 형성할 수 있는 것이면 되고, 사용하는 기계 등은 특별히 한정되지 않는다.

[0034] 타흔의 형성에 있어서는, $Depth=3\times Fz^{0.6}$(단, Depth는 타흔깊이(단위: μm), Fz는 압입압력(단위: N)이고, Depth=0.01μm 이상, 5.00μm 미만)의 관계식을 만족하도록, 압입압력Fz를 가하여, 웨이퍼의 표면에 타흔깊이 Depth의 타흔(3)을 형성하는 것이 바람직하다. 이와 같이 하여 타흔을 형성하면, 상기 표면으로부터 차례로, 변형층(4), DZ층(1), BMD층(2)을 포함하는, 적어도 3층의 적층구조가 된다. 이러한 조건으로 타흔(3)을 형성하면, 전위의 발생, 신장억제효과를 정밀도 높게 평가할 수 있다.

[0035] 타흔을 형성한 후, 로제트길이를 충분히 신장시키기 위해, 실리콘 웨이퍼에 열처리를 행하는 것이 바람직하다. 열처리를 행함으로써, 전위신전영역(5)이 형성된다(도 2). 여기서의 열처리로는, 예를 들어, 열처리온도를 850℃ 이상 1200℃ 이하로 할 수 있다. 이와 같이 850℃ 이상으로 하면 실리콘의 취성-연성 천이온도 이상이고, 평가함에 있어 충분한 전위를 신장시킬 수 있다. 또한, 1200℃ 이하로 하면, 종형 열처리로에서 처리가 가능하다.

[0036] 열처리시간은, 예를 들어 30분 이상 1시간 이하로 할 수 있다. 이러한 범위의 시간이면 전위를 신장시키기에 충분하다. 나아가, Ar분위기로 할 수 있다. Ar은 전위의 운동을 저해하는 효과가 없으므로, 웨이퍼 자체의 강도를 보다 정확하게 평가할 수 있기 때문이다. 특히, 열처리조건을 900℃, 1시간으로 하면, DZ층 중의 전위를 효율좋게 신장시킬 수 있어, 열처리 후의 BMD층에의 전위의 흡수효과를, 보다 정확하게 확인할 수 있다. 그 결과, 전위의 발생, 신장을 억제하는 능력이 보다 높은 것을 얻을 수 있다.

[0037] 다음에, 전위의 길이를 계측하기 위해, 선택에칭을 행하여, 전위를 현재화(顯在化)시킨다. 선택에칭은 전위를 현재화시킬 수 있으면 되고, 그 방법은 특별히 한정되지 않는다. 예를 들어, 불화수소산과 질산과 아세트산과 물을 혼합한 에칭액(JISH0609-199 중의 C액)을 이용한 웨트에칭을 행할 수 있다. 또한, 반응성 이온에칭(RIE: Reactive Ion Etching)과 같은 드라이에칭을 행할 수도 있다.

[0038] 이와 같이 하여 타흔으로부터 신장되는 전위를 현재화시킨 후, 그 전위의 길이(로제트길이)를 측정한다.

[0039] 상기 목적을 달성하기 위해 본 발명자가 행한 조사결과를 도 3에 나타낸다. 도 3은, 로제트길이와, DZ층 두께, BMD밀도의 관계를 나타낸 것이다. 도 3에 나타내는 그래프의 횡축은, 상기 온도 900℃, 1시간의 열처리를 행하기 전의 실리콘 단결정 PW웨이퍼의 로제트길이를 레퍼런스의 기준값으로 했을 때의, 기준값(레퍼런스)과, 각 샘플의 상기 온도 900℃, 1시간의 열처리를 행한 후의 로제트길이의 차이다(이하, 「로제트길이 차분값」이라 한다). 즉, 도 3의 횡축의 로제트길이 차분값이 양의 값인 범위는, 상기 온도 900℃, 1시간의 열처리를 행하기 전의 실리콘 단결정 PW웨이퍼보다도, 상기 온도 900℃, 1시간의 열처리를 행한 후의 로제트길이가 짧아진 것을 의미하고, 전위의 발생, 신장의 억제효과가 높은 것을 의미한다. 반대로, 도 3의 횡축의 로제트길이 차분값이 음의 값인 범위는, 상기 온도 900℃, 1시간의 열처리를 행하기 전의 실리콘 단결정 PW웨이퍼보다도, 상기 온도 900℃, 1시간의 열처리를 행한 후의 로제트길이가 길어진 것을 의미하고, 전위의 발생, 신장의 억제효과가 없는 것을 의미한다.

[0040] 또한, 도 3의 종축의 제1축(왼쪽의 종축)은, RTA처리 및 BMD형성 열처리를 행한 실리콘 단결정 웨이퍼의 DZ층 두께를, 종축의 제2축(오른쪽의 종축)은, RTA처리 및 BMD형성 열처리를 행한 실리콘 단결정 웨이퍼의 BMD층의 BMD밀도를 나타내고 있다.

[0041] 도 3에 나타나는 바와 같이, DZ층의 두께가 12.5μm 이하 또한, BMD층의 BMD밀도가 $1\times10^{11}/cm^3$ 이상인 범위에서는, 로제트길이 차분값이 양의 값인 영역의 범위가 되는 것, 즉, 전위의 발생, 신장의 억제효과가 높아지고, 다층구조 디바이스용에 호적한 웨이퍼가 되는 것을 발견하였다. DZ층의 두께가 10μm 이하이면, 보다 안정적으로 상기 효과를 얻을 수 있다. 한편, 후술의 실시예 1, 비교예 1의 대비에서 상세하게 설명하는데, 로제트길이 차분값이 양의 값인 범위가 되는 조건은, RTA처리온도가 1225℃ 이상인 범위이다. 또한, DZ층의 두께를 5μm 이상으로 한 것은, 디바이스 제작영역을 확보하기 위함이다.

[0042] 본 발명에 따른 실리콘 단결정 웨이퍼(100)는, N_V영역의 것이다. 그리고, 도 1에 나타내는 바와 같이, 웨이퍼의 표면으로부터 차례로, DZ층(1)과, 이 DZ층(1)의 직하에 위치하는 BMD층(2)을 적어도 갖고 있다. 여기서, 「직하에 위치하는」이란, 「인접하는」과 동일한 의미이다. 또한, BMD층(2)은, 실리콘 단결정 웨이퍼(100) 중 DZ층(1)을 제외한 부분 모두가 BMD층(2)일 수도 있고, 실리콘 단결정 웨이퍼(100) 중 DZ층(1) 이외의 부분의 일부만이 BMD층(2)일 수도 있다.

[0043] 또한, 본 발명에 따른 실리콘 단결정 웨이퍼는, 특히, DZ층의 두께가 5~12.5㎛, 바람직하게는 5~10㎛이고, BMD층의 BMD밀도가 $1\times10^{11}/cm^3$ 이상인 점에 특징을 갖고 있다. DZ층의 두께와 BMD층의 BMD밀도가, 상기의 범위 내에 있음으로써, 전위를 흡수하는 효과가 매우 높은 실리콘 단결정 웨이퍼가 된다. 이러한 실리콘 단결정 웨이퍼를 이용하여, 다층구조 디바이스를 형성하면, 디바이스 형성영역에 발생한 전위의 발생, 신장을 억제할 수 있고, 슬립 등의 결함의 발생을 억제할 수 있다.

[0044] 또한, 본 발명에 따른 실리콘 단결정 웨이퍼는, 상기와 같이 하여 타흔을 형성하고, 온도 900℃, 1시간의 열처리를 행했을 때에, 열처리 후의 DZ층의 전위의 로제트길이가, BMD층을 형성하지 않은 실리콘 단결정 웨이퍼(PW)의 DZ층의 전위의 로제트길이보다 짧아지는 것이다. 이러한 실리콘 단결정 웨이퍼는, 전위의 발생, 신장을 억제하는 능력이 보다 높은 것이다.

[0045] 다음에, 본 발명에 따른 실리콘 단결정 웨이퍼의 제조방법에 대해 상세히 서술한다.

[0046] 두께가 5~12.5㎛인 DZ층, 및, 이 DZ층의 직하에 위치하고 BMD밀도가 $1\times10^{11}/cm^3$ 이상인 BMD층을 적어도 갖는 실리콘 단결정 웨이퍼를 제조하기 위해서는, 산소농도가 12ppma(JEITA) 이상, N_V영역의 실리콘 단결정 웨이퍼를 이용한다. 산소농도의 상한은 특별히 한정되지 않는데, 예를 들어, 17ppma(JEITA) 이하로 할 수 있다. 이러한 사양을 만족하는 CW웨이퍼를 준비하고, 먼저, 질소함유 분위기 또한 온도 1225℃ 이상에서의 RTA처리를 행한다. 이 RTA처리의 열처리조건은, 10초 미만, 강온속도 30℃/초 이상으로 하는 것이 바람직하다. RTA처리의 열처리 시간의 하한은 특별히 한정되지 않고, 예를 들어, 1초 이상으로 할 수 있다. 강온속도의 상한도 특별히 한정되지 않는데, 예를 들어, 100℃/초 이하로 할 수 있다. 이와 같이 고온의 열처리온도로부터 급속하게 강온시키면, 공공의 외방확산을 억제하는 효과가 보다 높아, 깊이방향의 공공분포를 보다 급준한 것으로 할 수 있고, 그 결과, BMD밀도분포를 보다 급준한 것으로 할 수 있다. 한편, BMD밀도의 상한은 특별히 한정되지 않는데, 예를 들어, $1\times10^{12}/cm^3$ 이하로 할 수 있다.

[0047] RTA처리를 행한 후, 경면연마 가공을 행한다. 경면연마 가공조건은 특별히 한정되지 않고, 통상의 사양을 만족하는 경면연마를 행하면 된다.

[0048] 경면연마 가공처리를 행한 실리콘 단결정 웨이퍼에 대하여, BMD형성 열처리를 행함으로써, BMD밀도가 $1\times10^{11}/cm^3$ 이상인 BMD층을 형성한다. 이 때의 BMD형성을 위한 열처리조건은, 아르곤 분위기, 870~950℃, 2시간 이상으로 하는 것이 바람직하다. 이러한 열처리조건이면, 석출핵 사이즈가 어느 정도 큰 것만 성장하므로, BMD분포를 보다 급준하게 할 수 있다. 한편, 열처리의 시간에 대해서는, 과도하게 장시간으로 해도 BMD밀도분포의 변화는 보이지 않게 되므로, 예를 들어 8시간 이하로 하면 효율적이며 바람직하다.

[0049] 실시예

[0050] 이하, 실시예를 들어 본 발명에 대해 상세하게 설명하는데, 이것은 본 발명을 한정하는 것은 아니다.

[0051] (실시예 1)

[0052] 먼저, 직경 300mm, <100>, P형, 10Ω㎝, 산소농도 14ppma(JEITA), 결함영역이 전면Nv영역인, 실리콘 단결정 CW웨이퍼를 준비하였다. 이 CW웨이퍼에 대하여, RTA처리로서, 온도 1225~1300℃, 시간 9초, NH_3+Ar분위기에서의 열처리를 행했다. 그 후, 목표량을 6㎛로 하여 PW가공을 행했다. 이에 따라 RTA처리로 형성된 질화막이 제거되었다. 마지막으로, BMD형성 열처리로서, 온도 1200℃, 시간 2시간, Ar분위기에서의 열처리를 행했다. 얻어진 실리콘 단결정 웨이퍼에 대해, DZ층 두께, BMD밀도의 측정을 행했다. DZ층 두께는 6.7~10.5㎛, BMD밀도는 1.8×10^{11}~$4.9\times10^{11}/cm^3$이었다. 또한, 도 4에, RTA처리온도 1300℃, DZ층 두께 6.7㎛, BMD밀도 $4.9\times10^{11}/cm^3$일 때의, 단면TEM화상을 나타낸다.

[0053] 또한, 동일한 CW를 사용하고, RTA처리 및 BMD형성 열처리를 행한 후의 웨이퍼 표면에, 0.24~2.9N의 압입압력으로, 1~5㎛ 깊이의 타흔을 형성한 후, 900℃, 1시간의 열처리를 행하기 전후에서 로제트시험에 의해 로제트길이의 측정을 행했다. 이에 따라 얻어진 로제트길이의 차를 로제트길이 차분값으로서 산출하였다.

[0054] (비교예 1)

[0055] RTA처리온도를 1150℃~1200℃로 한 점 이외는 실시예 1과 동일하게 하여 처리, 평가를 행했다. DZ층 두께는 14.7~19.4㎛, BMD밀도는 3.5×10^{9}~$6.6\times10^{10}/cm^3$이었다.

[0056] 실시예 1의 로제트길이 차분값은, 2~13㎛였다. 한편, 비교예 1의 로제트길이 차분값은, -3~-12㎛였다. 이와 같이, 실시예의 실리콘 단결정 웨이퍼에서는, 전위의 발생, 신장을 효과적으로 억제할 수 있는 것을 알 수 있다. 전위를 신장(성장)시키는 열처리 후의 전위의 로제트길이가 짧은 경우는, DZ층의 직하에 고밀도의 BMD층을 형성한 것에 의해, 전위를 흡수하는 효과가 얻어진 것을 나타내고 있다.

[0057] (실시예 2)

[0058] 산소농도 12ppma(JEITA)의 실리콘 단결정 CW웨이퍼를 이용하고, RTA처리온도를 1225~1250℃로 한 것 이외는 실시예 1과 동일한 조건으로 샘플의 제작을 행했다. 얻어진 실리콘 단결정 웨이퍼의 DZ층 두께는 10.3~12.3㎛, BMD밀도는 1.3×10^{11}~1.7×10^{11}/cm^3이었다. 로제트길이 차분값은, 0.5~6.0㎛였다.

[0059] (비교예 2)

[0060] 산소농도 12ppma(JEITA)의 실리콘 단결정 CW웨이퍼를 이용하고, RTA처리온도를 1175~1200℃로 한 것 이외는 실시예 1과 동일한 조건으로 샘플의 제작을 행했다. 얻어진 실리콘 단결정 웨이퍼의 DZ층 두께는 15.7~18.7㎛, BMD밀도는 5.4×10^{9}~7.1×10^{10}/cm^3이었다. 로제트길이 차분값은, -2.0~-5.5㎛였다.

[0061] 실시예 2 및 비교예 2의 결과를, 도 5에 나타낸다. 실시예 2에서는, 로제트길이 차분값이 양의 범위가 되는 실리콘 단결정 웨이퍼를 얻을 수 있었다.

[0062] (비교예 3)

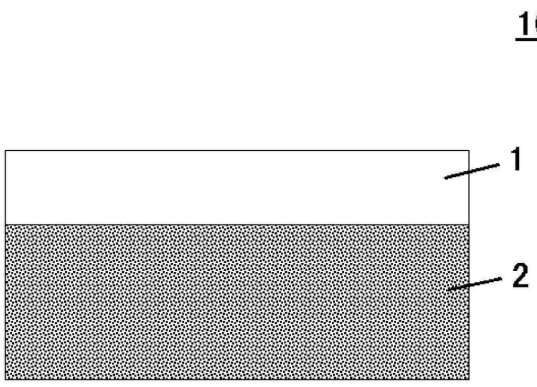
[0063] 산소농도 11ppma(JEITA)의 실리콘 단결정 CW웨이퍼를 이용하고, RTA처리온도를 1225~1300℃로 한 것 이외는 실시예 1과 동일한 조건으로 샘플의 제작을 행했다. 얻어진 실리콘 단결정 웨이퍼의 DZ층 두께는 21.5~33.0㎛, BMD밀도는 1.0×10^{9}~4.6×10^{9}/cm^3이었다. 로제트길이 차분값은, -5.0~-12.0㎛였다.

[0064] 비교예 3의 결과를, 도 6에 나타낸다. 산소농도가 12ppma(JEITA) 미만인 경우, RTA처리온도를 높게 해도, 로제트길이 차분값이 양이 되는 실리콘 단결정 웨이퍼를 얻을 수 없었다.

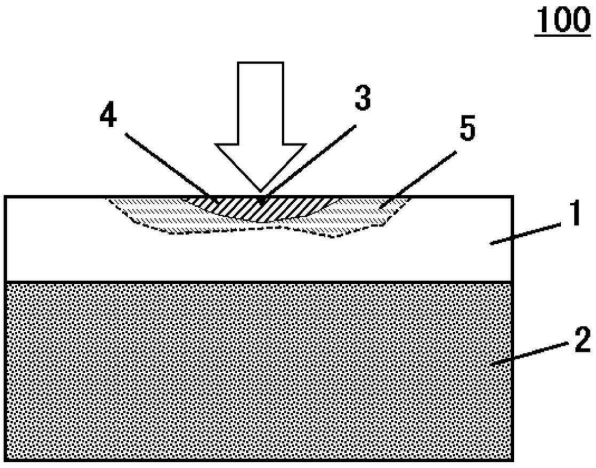
[0065] 한편, 본 발명은, 상기 실시형태로 한정되는 것은 아니다. 상기 실시형태는 예시이며, 본 발명의 특허청구의 범위에 기재된 기술적 사상과 실질적으로 동일한 구성을 갖고, 동일한 작용효과를 나타내는 것은, 어떠한 것이어도 본 발명의 기술적 범위에 포함된다.

도면

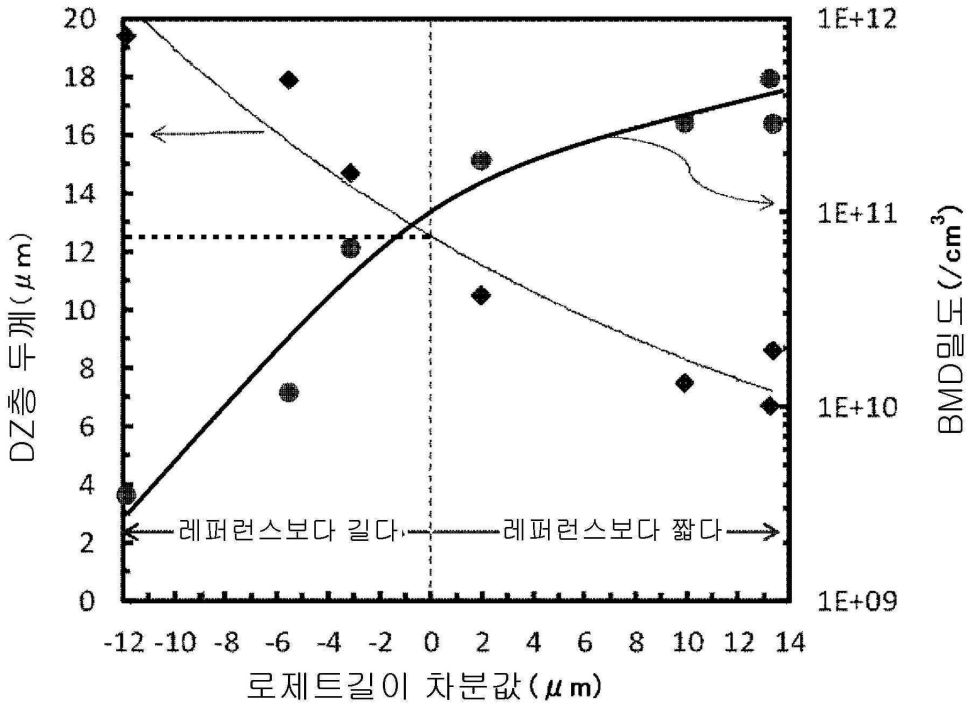
도면1



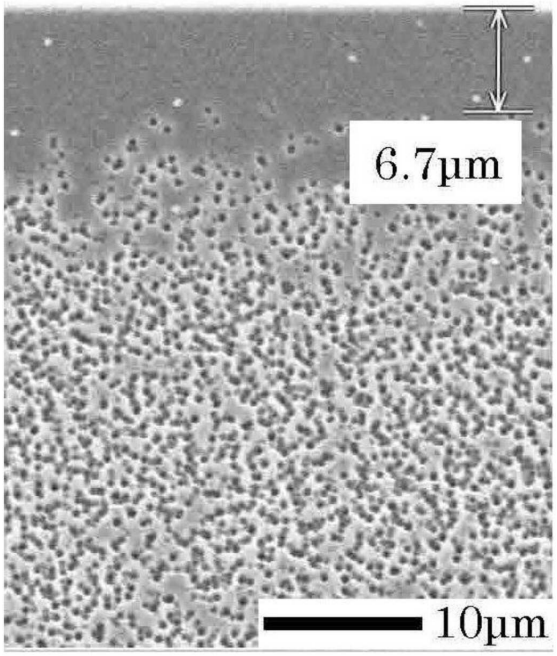
도면2


100
4
3
5
1
2

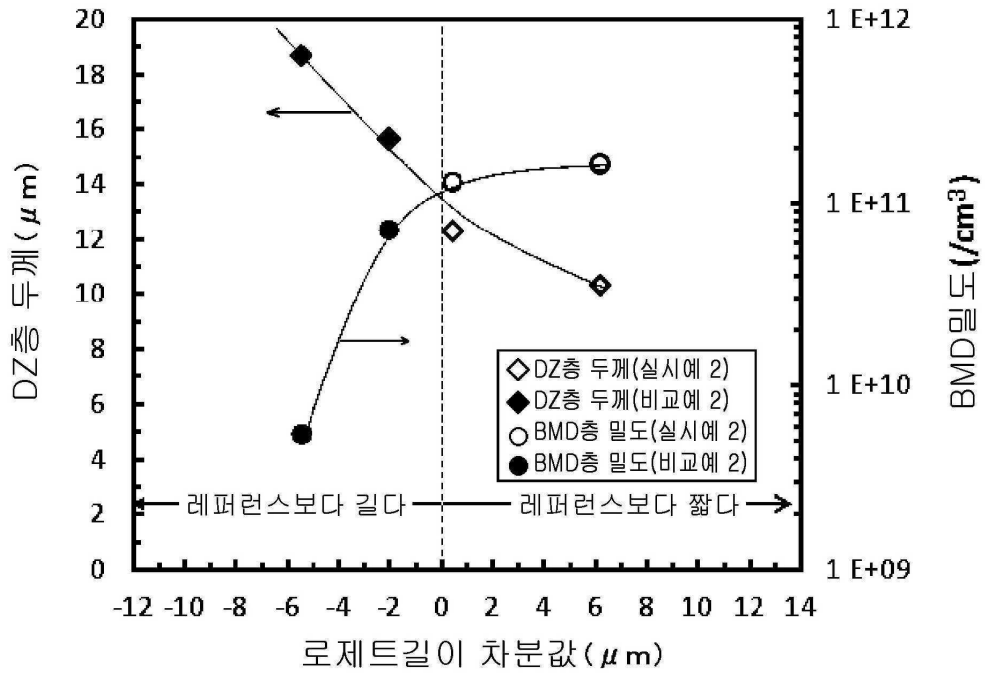
도면3


DZ층 두께(μm)
BMD밀도(/cm3)
로제트길이 차분값(μm)
레퍼런스보다 길다
레퍼런스보다 짧다
20
18
16
14
12
10
8
6
4
2
0
1E+12
1E+11
1E+10
1E+09
-12 -10 -8 -6 -4 -2 0 2 4 6 8 10 12 14

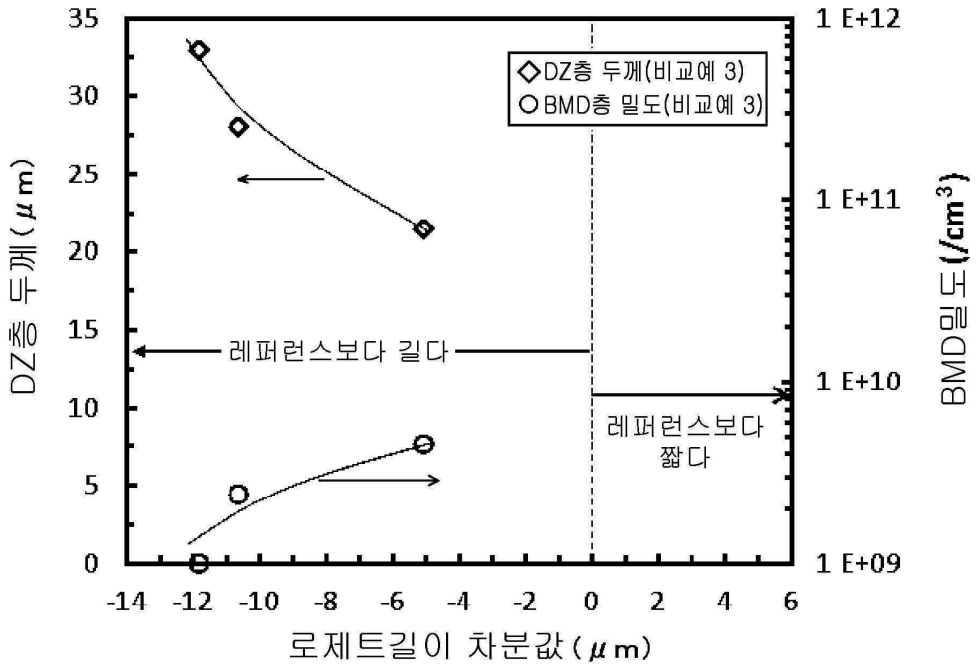
도면4


6.7μm
10μm

도면5


DZ층 두께(μm)
BMD밀도(/cm³)
로제트길이 차분값(μm)
DZ층 두께(실시예 2)
DZ층 두께(비교예 2)
BMD층 밀도(실시예 2)
BMD층 밀도(비교예 2)
레퍼런스보다 길다
레퍼런스보다 짧다

도면6


◇DZ층 두께(비교예 3)
○BMD층 밀도(비교예 3)
레퍼런스보다 길다
레퍼런스보다 짧다
DZ층 두께(μm)
BMD밀도(/cm³)
로제트길이 차분값(μm)
35
30
25
20
15
10
5
0
1 E+12
1 E+11
1 E+10
1 E+09
-14
-12
-10
-8
-6
-4
-2
0
2
4
6