

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2005-535198

(P2005-535198A)

(43) 公表日 平成17年11月17日(2005.11.17)

(51) Int. Cl. ⁷	F I	テーマコード (参考)
H04N 7/24	H04N 7/13	5C059
H03M 7/30	H03M 7/30	5J064

審査請求 未請求 予備審査請求 未請求 (全 25 頁)

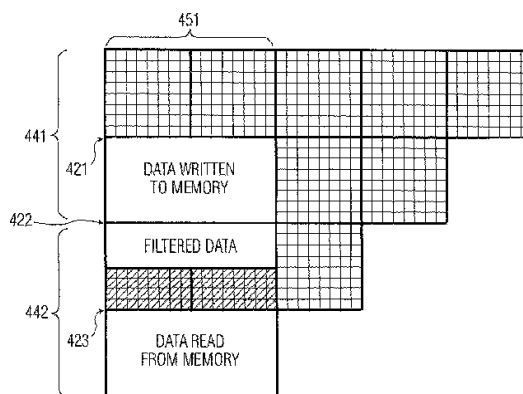
(21) 出願番号	特願2004-525609 (P2004-525609)	(71) 出願人	590000248 コーニンクレッカ フィリップス エレクトロニクス エヌ ヴィ Koninklijke Philips Electronics N. V. オランダ国 5621 ペーアー アインドーフェン フルーネヴァウツウェッハ 1 Groenewoudseweg 1, 5621 BA Eindhoven, The Netherlands
(86) (22) 出願日	平成15年7月25日 (2003. 7. 25)	(74) 代理人	100075812 弁理士 吉武 賢次
(85) 翻訳文提出日	平成17年1月31日 (2005. 1. 31)	(74) 代理人	100088889 弁理士 橘谷 英俊
(86) 国際出願番号	PCT/IB2003/002964		
(87) 国際公開番号	W02004/014082		
(87) 国際公開日	平成16年2月12日 (2004. 2. 12)		
(31) 優先権主張番号	10/207, 311		
(32) 優先日	平成14年7月29日 (2002. 7. 29)		
(33) 優先権主張国	米国 (US)		

最終頁に続く

(54) 【発明の名称】 ビデオデータをフィルタリングするための装置及び方法。

(57) 【要約】

レジスタアレイ内のデータを連続する画素ブロックをフィルタリングするために再使用するフィルタリング装置を用いることで、信号の処理が改善される。本発明の一つの実施例によると、ある画像に対応し、それらのあるエッジを共有する、画素データの連続するブロックがフィルタリングされる。画素データの連続するブロックが読み出され、レジスタアレイの第一と第二の半分内にロードされ(110)、エッジの両側のレジスタ内の画素データがフィルタリングされ(120)、レジスタアレイに戻される。フィルタリングを終えると、レジスタアレイの第一の半分内のデータはアンロードされ、メモリ内に書き戻される(130)。その後、レジスタアレイの第二の半分内のデータが、レジスタアレイの第一の半分内にシフトされ(140)、追加の画素データが読み出され、レジスタアレイの第二の半分内にロードされる(150)。



【特許請求の範囲】

【請求項 1】

水平及び垂直の両方向のビデオ画像データを単一タイプのデータレジスタアレイを用いてフィルタリングするように構成された信号フィルタリング装置であって、

コントローラとレジスタアレイとを備え、これらコントローラとレジスタアレイは、前記レジスタアレイに、1つのロード/アンロードサイクルの間に、メモリから、それらの間にエッジを有するビデオ画素データの少なくとも2つの連続する集合をロードし、前記ロードされたビデオ画素データの、ビデオ画素データの前記2つの集合の各々からのエッジデータに対応する部分をフィルタリングし、前記レジスタアレイに戻し、

前記ロードされたビデオデータの前記部分のフィルタリングを終えた後に、1つのロード/アンロードサイクルの間に、前記ビデオ画素データの第一の集合を前記メモリ内にアンロードし、前記格納装置内の前記ビデオ画素データの第二の集合を後続のビデオ画素データをフィルタリングするためにシフトするように、構成されることを特徴とする信号フィルタリング装置。

10

【請求項 2】

前記コントローラは、更に、前記ロード/アンロードサイクルの1つのサイクルの間に、前記ビデオ画素データの前記第二の集合のシフティングを制御するように、構成されることを特徴とする請求項 1 記載の信号フィルタリング装置。

【請求項 3】

前記レジスタアレイは、2次元レジスタアレイから成り、ある1つのロード/アンロードサイクルの間に、前記ビデオ画素アレイを、水平及び垂直の両方向のエッジフィルタリングのために、異なる側からロードするように構成されるとともに、前記ビデオ画素データの前記第二の集合を、前記レジスタの一方の部分からもう一方の部分にシフトするように、構成されることを特徴とする請求項 2 記載の信号フィルタリング装置。

20

【請求項 4】

前記二次元シフトレジスタは、更に、前記コントローラの制御下において、前記二次元シフトレジスタ内のデータの水平行を、垂直エッジフィルタリングのためにフィルタリングし、前記二次元シフトレジスタ内のデータの垂直列を、水平エッジフィルタリングのためにフィルタリングするように、構成されることを特徴とする請求項 3 記載の信号フィルタリング装置。

30

【請求項 5】

ビデオ信号フィルタリング装置であって、ある画像に対する画素データを格納するように構成されたメモリと、前記画素データの連続するブロック間のあるエッジに対応するエッジデータをフィルタリングするように構成されたフィルタリング回路と、

レジスタの列と行のから成る二次元レジスタアレイと、制御コントローラとを備え、

前記二次元レジスタアレイは、画素データを、このレジスタアレイ内での二次元シフトを用いてロード及びアンロードするように構成され、このレジスタアレイの第一の半分と第二の半分は、ある画像に対する画素データの、それらの間にエッジを有する、連続するブロックを格納するように構成され、

40

前記回路コントローラは、前記画素データの連続するブロックを表すデータの、前記メモリからの読出し及び前記レジスタアレイへの書き込みと、前記レジスタ内のデータの、前記フィルタリング回路を介してのフィルタリング、前記レジスタ内でのシフト、及び前記レジスタからのアンロード及び前記メモリへの書き戻しを、制御するように構成され、

前記制御コントローラは、ある単一のクロックサイクルの間に、前記レジスタアレイの前記第二の半分内に格納されているデータの前記レジスタアレイの前記第一の半分内へのシフトを制御するとともに、前記メモリからのデータの読出し及びこのデータの前記レジスタアレイの前記第二の半分内へのロードを制御するように構成される、ことを特徴とするビデオ信号フィルタリング装置。

50

【請求項 6】

前記回路コントローラは、更に、フィルタリングされるべき前記エッジの両側の画素データが、エッジと交差する列内のある選択された数の連続するレジスタを制御することで、前記フィルタリング回路を介してフィルタリングこと、及び前記レジスタアレイにロードバックされることを制御するように構成されたことを特徴とする請求項 5 記載のビデオ信号フィルタリング装置。

【請求項 7】

前記回路コントローラは、前記レジスタアレイ内の前記エッジを中心として位置する 10 個のレジスタから成る 1 列からの画素データが、前記フィルタリング回路に送られること、及び、前記 10 個のレジスタから成る列内の、前記エッジを中心として位置する、8 個のレジスタに対応する画素データが、前記フィルタリング回路から前記レジスタアレイに戻されることを制御するように構成されることを特徴とする請求項 6 記載のビデオ信号フィルタリング装置。

10

【請求項 8】

前記二次元レジスタアレイは、8 個の列と 16 個の行とから構成され、前記回路コントローラは、更に、前記レジスタアレイ内の画素データをフィルタリングするために、前記 8 個の列の各々内の 10 個のレジスタ内のデータが右にシフトされ、結果として、レジスタの最も右の列内のデータがフィルタリングされ、最も左の列内にラップバックされること、及び他の各列内のデータは 1 列だけ右にシフトされることを制御するように構成されることを特徴とする請求項 7 記載のビデオ信号フィルタリング装置。

20

【請求項 9】

前記回路コントローラは、フィルタリングされるべきある画像に対応する画素アレイのサイズを検出し、その画素アレイのサイズはそのレジスタアレイのサイズに均等に分割できない場合、前記レジスタアレイ内でフィルタリングされるべき一連のフィルタデータの最後の集合のフィルタリング動作を、前記最後の集合のフィルタデータが前記レジスタアレイを完全には満たさない場合は、変更するように構成される、ことを特徴とする請求項 6 記載のビデオ信号フィルタリング装置。

【請求項 10】

前記回路コントローラは、更に、画素データによって表されるある画像の水平及び垂直の両方向のエッジをフィルタリングするために、データが前記レジスタアレイにロードされること、及びアンロードされることを制御するように構成されることを特徴とする請求項 5 記載のビデオ信号フィルタリング装置。

30

【請求項 11】

前記回路コントローラは、水平及び垂直の両方向のエッジフィルタリングを施されたデータをアンロードし、メモリ内に書き込むように構成されることを特徴とする請求項 10 記載のビデオ信号フィルタリング装置。

【請求項 12】

前記二次元レジスタアレイは、レジスタの 16 個の水平行と 16 個の列とを有する 16 × 16 レジスタアレイから成り、前記回路コントローラは、前記フィルタリング回路及び前記レジスタアレイを制御することで、レジスタの上側の 8 行と下側の 8 行との間の水平エッジに沿う水平エッジデータをフィルタリングし、前記 16 × 16 レジスタアレイの 8 個の上側行内の、8 個の左側列と 8 個の右側列との間の垂直エッジに沿う垂直エッジデータをフィルタリングし、レジスタアレイの上側 8 行内のこうしてフィルタリングされた水平及び垂直エッジデータをアンロードして前記メモリ内に書き込むように構成されることを特徴とする請求項 11 記載のビデオ信号フィルタリング装置。

40

【請求項 13】

前記レジスタアレイは、レジスタの 8 個の水平行と 32 個の垂直列とを有する 32 × 8 レジスタアレイから成り、前記回路コントローラは、前記フィルタリング回路及び前記 32 × 8 レジスタアレイを制御することで、先に前記 16 × 16 レジスタアレイを用いてフィルタリングされた画素データの、16 × 16 ブロック間の垂直エッジに沿う垂直エッジ

50

データをフィルタリングするように構成されることを特徴とする請求項 1 2 記載のビデオ信号フィルタリング装置。

【請求項 1 4】

前記回路コントローラは、垂直エッジフィルタリングに対しては、前記アレイ内にロードされるデータを、バイトの順番が逆転されるように制御するように構成されることを特徴とする請求項 5 記載のビデオ信号フィルタリング装置。

【請求項 1 5】

ビデオ画素データをフィルタリングするための方法であって、

メモリから、画素データの、ある画像と対応し、それらの間にその画像のエッジの部分を共有する第一と第二の連続するブロックを読み出し、これら画素データの連続するブロックを、レジスタの垂直列と水平列とを有するレジスタアレイの、それぞれ、第一と第二の半分にロードするステップと、

10

前記レジスタアレイの前記第一と第二の半分の、少なくとも、前記エッジに隣接する画素に対応するデータをフィルタリングするステップと、

フィルタリングの後に、前記レジスタアレイの前記第一の半分からデータをアンロードし、アンロードされたデータを前記メモリ内に書き込むステップと、

前記レジスタアレイの前記第二の半分からデータを前記レジスタアレイの前記第一の半分にシフトするステップと、

前記メモリから、前記画像に対応する、前記レジスタアレイの前記第一の半分にシフトされた画素ブロックと隣接しこれとあるエッジを共有する、画素データの追加のブロックを読み出し、この追加のブロックを前記レジスタアレイの前記第二の半分にロードし、上述のフィルタリングステップとアンローディングステップを反復するステップと、を含むことを特徴とする方法。

20

【請求項 1 6】

更に、前記データをシフトするステップ、画素データの追加のブロックを読み込むステップ、データを、フィルタリングし、フィルタリングされたデータをアンロードし、メモリ内に書き戻すステップを、画像の複数の連続する画素ブロックに対して反復するステップを含むことを特徴とする請求項 1 5 記載の方法。

【請求項 1 7】

フィルタリングは、前記画素データの連続するブロックによって共有される画像の水平エッジ部分に隣接する画素に対応するデータをフィルタリングするステップと、画素データの連続するブロックによって共有される画像の垂直エッジ部分に隣接する画素に対応するデータをフィルタリングするステップとを含むことを特徴とする請求項 1 5 記載の方法。

30

【請求項 1 8】

フィルタリングは、画素データの連続するブロックによって共有される画像の垂直エッジ部分に隣接する画素に対応するデータをフィルタリングするステップに加えて、さらに、前記レジスタアレイ内での垂直方向のフィルタリングに対して、データの変換のために、データのバイトの順番を逆転させるステップを含むことを特徴とする請求項 1 5 記載の方法。

40

【請求項 1 9】

更に、

前記レジスタアレイ内の、連続する画素ブロック間のエッジの両側の画素に対応する、レジスタの列から、データをフィルタリング回路に送るステップと、

前記レジスタの列にしてフィルタリングされたデータを、前記フィルタリング回路から、前記レジスタアレイに戻すステップとを含むことを特徴とする請求項 1 5 記載の方法。

【請求項 2 0】

更に、レジスタのある列からデータを送るステップと、フィルタリングされたデータを戻すステップとを、前記レジスタアレイ内の各列に対して、各列内のデータが 1 列だけ右にシフトされ、最も右の列がフィルタリングされ、各列はフィルタリングの後に最も左の

50

列にラップバックされるようなやり方にて、反復するステップを含むことを特徴とする請求項 19 記載の方法。

【請求項 21】

前記レジスタの列に対してフィルタリングされたデータをレジスタアレイに戻すステップは、前記フィルタリング回路に送られたデータの内の一部のみを返すことから成り、更に、前記レジスタ内の、前記フィルタリング回路に送られたが、返されなかった、まだフィルタリングされていないデータを、最も右の列から最も左の列にシフトするステップを含むことを特徴とする請求項 20 記載の方法。

【請求項 22】

前記画素データの第一と第二の連続するブロックは、画像の垂直方向に隣接する部分に対応し、ある水平エッジを共有し、フィルタリングは、前記水平エッジの両側のデータをフィルタリングすることから成り、データのシフトは、データを前記レジスタアレイの下側半分から前記レジスタアレイの上側半分にシフトすることから成る、ことを特徴とする請求項 15 記載の方法。

10

【請求項 23】

画素データの前記第一と第二の連続するブロックは、画像の水平方向に隣接する部分に対応し、ある垂直エッジを共有し、フィルタリングは、前記垂直エッジの両側のデータをフィルタリングすることから成り、前記データのシフトは、データを前記レジスタアレイの下側半分から前記レジスタアレイの上側半分にシフトすることから成り、更に、画素データの前記第一と第二の連続するブロックに対する画素データのバイトの順番を、これら連続するブロックを前記レジスタアレイ内にロードする前に、逆転されるステップと、画素データの前記追加のブロックのバイトの順番を、これら追加のブロックを前記レジスタアレイの前記第二の半分内にロードする前に、反転するステップとを含み、前記レジスタアレイの第一の半分からデータをアンロードするステップは、フィルタリングされたデータをアンロードし、フィルタリングされたデータのバイトの順番を、そのデータの向きを、メモリ内の画像の向きと合わせるために逆転されるステップを含む、ことを特徴とする請求項 15 記載の方法。

20

【請求項 24】

ビデオ画素データをフィルタリングする方法であって、

メモリから、各々がある画像に対応し、それらの間に位置するその画像のあるエッジ部分を共有する、画素データの第一と第二の連続するブロックを読み出し、画素データのこれら連続するブロックを、レジスタの垂直の列と水平の行を有するレジスタアレイの、それぞれ、第一と第二の半分内に、前記エッジが前記レジスタアレイの前記第一と第二の間のエッジと対応するようなやり方にて、ロードするステップと、

30

前記エッジの両側の選択された行内の画素データを、前記レジスタアレイの最も右の列から読み出し、こうして読み出された画素データの少なくとも一部をフィルタリングするステップと、

前記レジスタ内の前記選択された行に対応するデータを、前記最も右の列からのフィルタリングされたデータと、前記選択された行内の、最も右の列から読み出された、まだフィルタリングされていない画素データは、最も左の列にシフトされるようなやり方にて、1列だけ右にシフトさせるステップと、

40

前記画素データを読み出すステップと、前記レジスタ内のデータをシフトさせるステップとを、前記レジスタ内の全ての列内のデータがフィルタリングされ、フィルタリングされたデータが元の列内にシフトバックされるまで、反復するステップと、

フィルタリングの後、前記レジスタアレイの第一の半分からデータをアンロードし、アンロードされたデータを前記メモリ内に書き込むステップと、

データを前記レジスタアレイの前記第二の半分から前記レジスタアレイの第一の半分内にシフトさせるステップと、

前記メモリから、前記レジスタアレイの第一の半分内にシフトされた前記画素ブロックと隣接し、これとあるエッジを共有する、追加の画素ブロックを読み出し、この追加のブ

50

ロックを前記レジスタアレイの第二の半分内にロードし、前記フィルタリングステップとアンローディングステップとを反復するステップと、を含むことを特徴とする方法。

【請求項 25】

ビデオ画素データをフィルタリングするためのシステムであって、

メモリから、各々がある画像と対応し、それらの間に位置する画像のエッジ部分を共有する、画素データの第一と第二の連続するブロックを読み出し、画素データのこれら連続するブロックを、レジスタの垂直の列と水平の行を有するレジスタアレイの、それぞれ、第一と第二の半分内にロードするための手段と、

前記レジスタアレイの前記第一と第二の半分の各々内の、少なくとも前記エッジと隣接する画素に対応するデータをフィルタリングするための手段と、

フィルタリングの後、前記レジスタアレイの前記第一の半分からデータをアンロードし、アンロードされたデータを前記メモリ内に書き込むための手段と、

データを前記レジスタアレイの第二の半分から前記レジスタアレイの第一の半分内にシフトさせるための手段と、

前記メモリから、前記画像と対応する、前記レジスタアレイの第一の半分内にシフトされた前記画素ブロックと隣接し、これとあるエッジを共有する、画素データの追加のブロックを読み出し、この追加のブロックを前記レジスタアレイの第二の半分内にロードし、前記フィルタリングステップと前記アンロードステップとを反復するための手段と、を備えることを特徴とするシステム。

10

【請求項 26】

ビデオ画素データをフィルタリングするためのシステムであって、

メモリと、

レジスタの垂直の列と水平の行とを有するレジスタアレイと、

前記メモリからの、ある画像と対応し、それらの間に位置する画像のあるエッジ部分を共有する、画素データの第一と第二の連続するブロックの読み出しと、(これらブロックの)前記レジスタアレイの、それぞれ、第一と第二の半分内へのロードとを制御するように構成されたコントローラと、

前記レジスタアレイの前記第一と第二の半分の各々内の、少なくとも前記エッジに隣接する画素に対応するデータをフィルタリングするように構成されたフィルタリング回路とを備え、

30

前記コントローラは、更に、前記フィルタリングの後に、前記レジスタアレイの第一の半分からのデータのアンロードと前記メモリ内への書き込みと、前記レジスタアレイの第二の半分から前記レジスタアレイの第一の半分内へのデータのシフトと、前記メモリからの、前記画像に対応する、前記レジスタアレイの第一の半分内にシフトされた画素ブロックと隣接し、これとあるエッジを共有する、画素データ追加のブロックの読み出しと、(この追加のブロックの)前記レジスタアレイの第二の半分内へのロードと、前記フィルタリングステップとアンロードステップの反復と、を制御するように構成される、ことを特徴とするシステム。

【請求項 27】

前記コントローラは、単一のクロックサイクルの間に、前記レジスタアレイの第二の半分内に格納されているデータを前記レジスタアレイの第一の半分内にシフトし、前記メモリからデータの読み出し、前記レジスタの第二の半分内にロードするように、構成されることを特徴とする請求項 26 記載のシステム。

40

【請求項 28】

前記フィルタリング回路は、フィルタ計算論理回路の 2 つの独立したブロックを含み、前記レジスタアレイは、フィルタ計算論理回路の各々のブロックに対する、少なくとも 2 つの集合のタップポイントを有し、第一の集合のタップポイントは、前記レジスタアレイ内の第一の集合の列のタッピングのために用いられ、第二の集合のタップポイントは、前記レジスタアレイ内の第二の集合の列をタッピングのために用いられる、ことを特徴とする請求項 26 記載のシステム。

50

【発明の詳細な説明】

【技術分野】

【0001】

本発明は信号処理、より詳細には、信号処理における非ブロック化 (deblocking) フィルタリングに係る。

【背景技術】

【0002】

コンピュータ装置は、マイクロプロセッサ及びデジタル信号プロセッサを含め、広範な範囲のアプリケーションに対して設計されており、事実上あらゆる産業において用いられている。様々な理由から、これらアプリケーションの多くは、ビデオやオーディオデータ等のデータ処理に向けられており、低消費電力とコンパクト化が要求される。更に、幾つかのアプリケーションにおいては、リアルタイム或いはほぼリアルタイムにて実行が可能な高速計算エンジンが要求される。これらデータ処理アプリケーションの多くは、かつてない速度にて複数の機能を遂行する能力を有するデータ信号処理回路を必要としている。

【0003】

様々なビデオ及びオーディオ信号処理アプリケーション、例えば、MPEG-4、デジタルTV、対話型グラフィックアプリケーション (例えば、合成コンテンツ)、対話型マルチメディア等を含むMPEG (moving pictures experts groups) は、様々なタイプのデータを様々なアプリケーションに対して統合化する能力を有する標準化された技術要素を採用する。例えば、ビデオアプリケーション、例えば、デジタルTV、対話型グラフィックアプリケーション (例えば、合成コンテンツ)、対話型マルチメディア (例えば、World Wide Web、コンテンツの配信とコンテンツへのアクセス) の、製作、配信及びコンテンツアクセスなるパラダイムは統合化することができる。MPEG-4標準は、これら及び他のアプリケーションに対して、製作者、サービスプロバイダ、及び末端ユーザ等の需要を満たすための集合の技術を提供し、これらアプリケーションの統合化を助ける。MPEG-4標準に関する更なる情報については、MPEG (動画エキスパートグループ) から、the International Organisation for Standardisation, at the Telecom Italia Lab of Torino, Italyにおいて得られる "Overview of the MPEG-4 Standard (MPEG-4標準の概要)" を参照されたい。

【0004】

MPEG-4標準は、"メディアオブジェクト (media objects)" と呼ばれる、ある単位のコンテンツ、例えば、オーラル、ビジュアル及び/或いはオーディオビジュアルコンテンツを表現するための標準化されたやり方を提供する。これらマルチメディアオブジェクトは、自然なものであることも、合成されたものであることもある。例えば、カメラ或いはマイクロホンにて撮像・録音された自然のコンテンツであることも、合成コンピュータにて生成されたコンテンツであることもある。これらメディアコンテンツの組成を指定に従って混合することで、複号メディアオブジェクトが形成され、その結果としてオーディオビジュアルシーンが形成される。メディアオブジェクトと関連するデータは、ネットワークチャネルを通じて、特定のメディアオブジェクトの特性に対して適当なQoS (quality of service) にて、伝送できるように多重化及び合成され、受信者端の所で生成されるオーディオビジュアルシーンと相互作用する。

【0005】

信号処理アプリケーション、例えば、MPEG-4標準を採用する処理アプリケーションにおいては、しばしば、信号データをフィルタリングすることは有益である。例えば、MPEG-4圧縮は、画素の8x8に関して動作するが、これらブロックは、通常は、メモリとの間で、32ビットバスを用いて、8回の2ワードバスアクセスを介して、読み書きされる。メモリ内においては、これら画素は、小さなエンディアン (little endian) にすぎず、より大きなバイトアドレスは、より多くの画素を含み、各画素は、8ビット値を有する。このアプローチによると、1つの32ビットワードは、4画素を含み、この4画素は、通常、クワッド (quad) と呼ばれる。MPEG-4圧縮は劣化を伴う。つまり

10

20

30

40

50

、解凍過程の結果として得られる画素の8×8ブロックが、圧縮過程に入力された8×8ブロックと異なることがある。このため、画素の複数の8×8ブロックが、ある画像に組立てられた場合、これら8×8ブロック間の境界が目障りとなることがある(例えば、画像が水平及び垂直エッジの形態にて”ブロック性(blockiness)”を示すことがある)。このブロック性に対処するためには、画素位置によって決定されるビデオオブジェクトのエッジを区画するデータが、より良い画像が得られるように、フィルタリングされる。ただし、このフィルタリングは非常に挑戦的な課題である。これは、様々なタイプのデータを、例えば水平及び垂直エッジフィルタリングのためにフィルタリングするためには、典型的には、異なるタイプのフィルタが必要となるためである。加えて、多くの従来のフィルタリングアプローチは、ゲート及び/或いはメモリサイクルを効率的には用いず、このため、不当に大きな帯域幅とメモリが要求される。 10

【0006】

本発明は、上述の信号処理アプリケーションを含む、信号処理アプリケーションの実現と統合化に対する課題、並びに、MPEG4における信号のフィルタリング、及び他のタイプの信号の処理に対する課題を解決することに向けられる。

【発明の開示】

【0007】

本発明の様々な態様は、信号処理アプリケーションにおけるフィルタリングに向けられる。より具体的なアプリケーションとしては、MPEG-4アプリケーションに着目され、本発明は、このMPEG-4アプリケーションとの関連では、非ブロック化フィルタリング(deblocking filtering)に向けられる。 20

【0008】

本発明の一つの実施例によると、ビデオ信号に対する画素データのブロック間のエッジデータが、データ格納装置及びフィルタリング回路を用いてフィルタリングされる。本発明によると、垂直及び水平両方向のフィルタリングに対して、単一のデータ格納装置を用いることが可能となり、第一のステップにおいて格納及びフィルタリングされたデータは、次のステップにおいて再使用され、その後、メモリ内に書き戻される。このアプローチでは、データをいったんメモリ内に書き戻し、後のある時点でデータを再び書き込むのではなく、次のフィルタリング動作のために格納装置内にデータを維持できることにより、メモリ帯域幅が低減することが可能となる。加えて、ロード及び/或いはアンロード(メモリからの読み込み及びメモリへの書き込み)は、データの、格納装置の第一の部分から第二の部分への移動(シフト)と同時に行うことが可能となるが、このやり方は、単一のクロックサイクルの間にこれを達成できるという点で、効率的である。 30

【0009】

本発明のより具体的な実施例においては、ある画像内のあるエッジを共有する画素データの連続するブロックが、レジスタアレイの、それぞれ、第一と第二の半分内に、レジスタアレイの第一と第二の半分によって共有されるあるエッジが、画像内のエッジと対応するようなやり方にて、ロードされる。次に、レジスタアレイ内のエッジの両側のレジスタ内のデータがフィルタリング回路に送られ、その後、レジスタに戻される。このエッジに沿うデータが全てフィルタリングされると、レジスタアレイの第一の半分内のデータは、アンロードされ、メモリ内に書き込まれる。レジスタアレイの第二の半分内のデータはレジスタアレイの第一の半分内にシフトされ、レジスタアレイの第二の半分内には新たな画素データがロードされる。この新たな画素データは、レジスタアレイの第一の半分内にシフトされたデータとその画像内のあるエッジを共有する画素データのブロックと対応する。データが再び上述のようにしてフィルタリング回路に送られ、フィルタリング、アンロード及びロードが、その画像のある列或いは行内のデータが全てフィルタリングされるまで反復される。その行或いは列の終端に達すると、レジスタアレイの両方の半分内のデータはアンロードされ、メモリ内に書き込まれ;このレジスタアレイへのデータの読み込み、フィルタリング及びアンロードが、その画像データの追加の行或いは列に対して反復される。もう一つの具体的な実現(a more particular implementation)においては、ある 40 50

画像に対する水平及び垂直方向の両方のエッジデータは、このレジスタアレイにて、メモリを通じての別個のバスを用いて、フィルタリングされる。もう一つのより具体的な態様においては、水平及び垂直の両方向のエッジデータが、レジスタアレイの第一の半分内でフィルタリングされた上で、データがアンロードされ、データがメモリ内に書き戻される。

【0010】

上述の本発明の概要は、解説しようとする個々の実施例 (embodiment) 或いは全ての実現 (implementation) を説明することを意図するものではなく、これら実施例については、後に図面を用いて詳しく例示される。

【0011】

本発明は、以下の本発明の様々な実施例の添付の図面を用いての詳細な説明を読むことでより完全に理解できるものである。

【0012】

本発明は、様々に修正及び変更することが可能であるが、図面には、単に例示として、特定の実施例が示されており、以下では、これらについて詳細に説明する。ただし、本発明は、説明されるこれら特定の実施例に制限されるものではなく、むしろ、本発明は、添付のクレームによって定義される本発明の精神及び範囲内に入る、全ての修正物、同等物及び代替物をカバーすることを意図する。

【0013】

本発明は、信号を処理するための方法及び装置、例えば、MPEG-4タイプのアプリケーションにおけるビデオ信号の処理にとりわけ適するものと信ずる。本発明は、隣接する画素ブロック (例えば、8×8アレイ) 内の垂直及び水平エッジをフィルタリングするための、ビデオデータの処理に対してとりわけ有効なことが発見されている。本発明は、必ずしも、このようなアプリケーションに限定されるものではないが、本発明の様々な態様が、このような環境 (アプリケーション) 内での幾つかの実施例を通じて最も良く理解できるものである。

【発明を実施するための最良の形態】

【0014】

本発明の一つの実施例によると、ビデオ画素データは、連続的なフィルタリング動作の際に、その内部に格納されたデータを再利用するように構成されたレジスタアレイ或いはメモリ等の格納装置を用いてフィルタリングされる。この格納装置に格納されるデータは、それらの間にあるエッジを有するビデオ画素データの2つの集合に対応し、各集合は、それぞれ、この格納装置の第一及び第二の部分内に格納される。ビデオ画素データは、例えば、コンピュータ、デジタルTV、対話型グラフィックアプリケーション及び/或いは対話型メディアアプリケーションにおいて用いられる連続的なビデオデータに対応する。この格納装置内の、エッジに向き合う (隣接する) 両方のビデオ画素データ集合からのデータに対応するデータがフィルタリングされる。例えば、エッジのいずれかの側から外側に向かって延びるデータの2から4個程度の連続する画素 (contiguous pixels) が、エッジ近傍の画素に対応するビデオデータの表示の外観を平滑化するため、或いは、例えば、ブロック性 (blockiness) を訂正するために変更するためにフィルタリングされる。フィルタリングの後に、格納装置の第一の部分からデータはメモリ内に書き込まれ、格納装置の第二の部分からのデータはそのデータ格納装置内に維持され (例えば、第一の部分内に転送され)、新たなデータが格納装置内に読み込まれる。これら新たなデータは、格納装置の第二の部分内に前に格納されていた画素データと対応する画素と隣接し、これらともう一つのエッジを共有する画素に対応する。アレイ (格納装置) 内のデータが、再び、上述のようにフィルタリングされが、今度は、前から格納装置の第二の部分内に存在していたデータがメモリ内に書き込まれ、この新たなデータは格納装置内に維持され、その後、第二の集合の新たなデータが、同様にして格納装置内に読み込まれる。このアプローチでは、水平或いは垂直フィルタリングを、単一タイプの格納装置を用いて達成することが可能となる。加えて、水平或いは垂直フィルタリングの各ステップに対して、データをた

10

20

30

40

50

った1度だけメモリから読出す或いはこれに書き込むことのみで、データをフィルタリングすることが可能となる。本発明との関連で用いることができるフィルタリング回路及びフィルタリングアルゴリズムに関するより詳細な情報については、上で参照された " Overview of the MPEG-4 Standard (M P E G - 4 標準の概要) " なる資料を参照されたい。

【 0 0 1 5 】

図1は、本発明のもう一つの実施例による、ビデオ画像を表す画素データをフィルタリングするための流れ図である。ブロック110から開始して、画素データの第一と第二のブロックがメモリから、レジスタアレイの、それぞれ、第一と第二の半分内に読み込まれる。これら第一と第二のブロックの各々は、画素データの、それらの間にあるエッジを共有する、互いに隣接するブロックに対応する。例えば、これら第一と第二のブロックは、連続する画像データを表す画素の8×8ブロックを含み、各ブロックは共有されるエッジに隣接する8画素のブロックから成る。垂直に隣接する画像データに対応する画素ブロックがフィルタリングされる際には、これら2つのブロック間には、水平エッジが存在する。同様にして、水平に隣接する画像データに対応する画素のブロックがフィルタリングされる際には、これら2つのブロックの間には垂直エッジが存在する。ブロック120において、共有されるエッジに沿う画素データのこれら第一と第二のブロックの各々からの画素データがフィルタリングされる。フィルタリングの後、ブロック130において、レジスタアレイの第一の半分内のフィルタリングされたデータを含むデータはメモリ内に書き込まれる。ブロック140において、レジスタアレイの第二の半分内のフィルタリングされたデータを含むデータが、レジスタアレイの第一の半分内に書き込まれる。次に、ブロック150において、第二のブロックに隣接する画素に対するデータの追加のブロックがレジスタアレイの第二の半分内に書き込まれる。このプロセスは、その後、ブロック120から再開され、画素データのこの追加のブロックと画素データの第二のブロックとによって共有されるあるエッジに対応するデータがフィルタリングされる。ブロック120から150における、読み込み、フィルタリング、及び書き込みのシーケンスがビデオ画像に対応する追加の複数のブロックに対して反復される。

10

20

【 0 0 1 6 】

レジスタアレイは、本発明から逸脱することなく、多様なサイズ及び方向（オリエンテーション）にて実現することが可能である。図2Aは、本発明の一つの実施例による、画素の8×16ブロックを格納するように構成されたレジスタアレイ200を示す。レジスタアレイ200は、0-7にてラベル付けされた8個の列と、16個の行を含み、これらによって、画素レジスタの8×16アレイが構成される。各レジスタは、1画素に対するデータを格納する能力を有する8ビットレジスタから成る。水平エッジフィルタリングのためには、（例えば、図1のブロック110におけるようなやり方にて）、エッジ領域210を共有する画素が、レジスタアレイ200の、それぞれ、上側及び下側8×8画素ブロック部分220、225内に読み込まれる。スライス230から開始して、レジスタアレイ200の中央部分205内のレジスタ内に格納されている画素の1×10スライスがフィルタリングされ、エッジ領域210のいずれかの側の4個のレジスタに対応するこうしてフィルタリングされた画素の1×8スライスがレジスタアレイ200に戻される。フィルタリングがレジスタアレイ200の中央部分205内の列0-7内の画素が全てフィルタリングされるまで反復される。

30

40

【 0 0 1 7 】

レジスタアレイの中央部分205に対する各列内の画素のフィルタリングを終えた後に、レジスタ内のデータは、下側の8×8画素ブロック部分225内の画素とある下側エッジを共有するある8×8画素ブロックに対する次のフィルタリングサイクルに対して更新される。上側の8×8画素ブロック部分220内に格納されていた画素はメモリ内に書き込まれ、下側の8×8画素ブロック部分225内に格納されていた画素が上側の8×8画素ブロック部分220内にシフトされ、画素の新たな8×8ブロックがメモリから読み出され、下側の8×8画素ブロック部分225内に読み込まれる。これら書き込み、シフト、及び読み込み動作は、例えば、単一のメモリアクセスサイクルにて遂行される。データが

50

シフトされた後においては、上側の 8×8 画素ブロック部分 220 内の画素の上側の 4 行はフィルタリングされたデータを含み、上側（下側）の 8×8 画素ブロック部分 220（225）内の画素の下側の 4 行はまだフィルタリングされていないデータを含む。エッジデータのスライスが、再び、上述と類似するやり方にて、スライス 230 から開始して、フィルタリングされる。いったんデータのフィルタリングを終えると、書き込み、シフト及び読み込み動作が再び遂行され、画素のもう一つの新たな 8×8 画素ブロックがレジスタアレイ 200 内に読み込まれる。 8×8 画素ブロックのある列の終端に達し、このフィルタリングも終了すると、このレジスタアレイの両方の半分がメモリ内に書き込まれる。 8×8 画素ブロックのある別の列をフィルタリングすることが必要とされる場合は、新たな 8×8 画素ブロックが上側（220）と下側（225） 8×8 画素ブロック部分の両方内に読み込まれ、このプロセスが上述のように続けられる。

【0018】

図 2 B は、本発明のより具体的な実施例による、図 2 A 内のレジスタアレイ 200 の一つの実現に対するブロック図 240 である。この実現においては、レジスタアレイ 200（240）は、先入れ先出し（first-in first-out, FIFO）アレイ（例えば、シフトレジスタ）として動作する、つまり、レジスタアレイ 240 は、メモリ読み出しポートからロードされ、このアレイ内のデータは、水平エッジフィルタリングに対しては、それぞれ、水平ロード及びアンロードポート 242、244 を介して、下から上へとシフトされる。データはフィルタリングを終えると、レジスタアレイからアンロードポート 244 を介してレジスタの外にシフトアウトされ、メモリに書き戻される。垂直エッジフィルタリングに対しては、データは、レジスタアレイ内を同様にシフトされるが、ただし、下から上へではなく、それぞれ、ロード及びアンロードポート 246、248 を用いて、左から右へとシフトされる。レジスタアレイ 200（240）は、レジスタ内の画素データをシフトし、画素をフィルタリングのためにフィルタ計算論理（図示せず）に供給するためシフトレジスタとして機能するとともに、フィルタリングされた結果を保存する機能も有する。

【0019】

行及び列インデックス 252 及び 254 は、それぞれ、8 ビット画素レジスタが、このアレイ内のどこに位置するかを示す。このアレイ内に読み込まれた 8×8 画素ブロック間の境界は、水平及び垂直エッジフィルタリングの両方に対して、行 7 と 8 の間の境界に対応する。矢印 " " 及び " " は、アレイ内をデータがシフトされる方向を示し、ブロック図 240 上の定義された各領域は水平及び垂直シフトを実行するために一意的に制御される。行と列のアレイの外側のボックスは、コアレジスタアレイの内でのシフトから見て外側に位置する多重化（マルチプレキシング）を表す。上へのシフトは以下のように表される：つまり、" A " は、行 0 - 7、列 3 - 0 内におけるアレイの 4×8 スライスの上へのシフトを示し；" B " は、行 0 - 7、列 7 - 4 内におけるアレイの 4×8 スライスの上へのシフトを示し；" C " は、行 8 - 15、列 3 - 0 におけるアレイの 4×8 スライスの上へのシフトを示し；" D " は、行 8 - 15、列 7 - 4 におけるアレイの 4×8 スライスの上へのシフトを示す。C 及び D は、シフトの際に下側のレジスタをロードするとき用いられる。アレイの右へのシフト、つまり、E、F、G、H、及び J なるシフトは、垂直エッジフィルタリングのためにデータをローディングするため、及び / 或いはフィルタリングの際にデータをシフトするために用いられる。

【0020】

一つの実現においては、水平エッジフィルタリングは、ブロック図 240 を用いて、以下のように行なわれる。2つの 8×8 画素ブロックがアレイ 200 内にロードされる。第一の 8×8 画素ブロックは画像の上側部分から得られ、第二の 8×8 画素ブロックは、その画像の、第一の 8×8 画素ブロックの直ぐ下の、これと隣接する部分から得られる。画素データを、行 15 内にロードするためには、下位アドレスクワッド（4ビットに相当する部分）については A 及び C が用いられ、上位アドレスクワッドについては B 及び D が用いられる。ここで、各クワッド（quad）は、データの 4 画素幅集合を含む。いったん画素データがレジスタアレイ 200 内にロードされると、次に、フィルタリングアル

ゴリズムによってデータが右にシフトされる。例えば、F、G、H、及びIを用いて新たにフィルタリングされたデータが列7、行4-11にロードされ、同時に、列0、行3-12からの新たなまだフィルタリングされていないデータがフィルタリングアルゴリズムに供給される。フィルタリングの際には、フィルタリング計算から戻されるのは行4-11のみであるため、列0、行3が列7、行3にラップバックされ；同様にして、列0、行12が列7、行12にラップバックされる。各フィルタリング動作に対して、レジスタアレイ内の各列内のデータは、一列だけ右にシフトされ、最も右の列(0)はフィルタリングされた上で、最も左の列(7)に書き戻される。このフィルタリング及びシフティングが、行4-11内の全てのデータがフィルタリングされ、アレイ200内の元の位置にシフトバックされるまで行なわれる(例えば、8回のフィルタリング及びシフティング動作の後に、フィルタリングされたデータは、それが開始時にまだフィルタリングされていないデータとして置かれていた元の列内に戻る)。

10

【0021】

水平エッジのフィルタリングを終えた後に、アレイ200の上側の8個の行(0-7)は、A及びBを用いて、行0のデータタップポイントの所からメモリ内にアンロードされる。下位アドレスクワッドに対しては列0-3が用いられ、上位アドレスクワッドに対しては列4-7が用いられる。上位アドレスがメモリ内に書き込まれると、A及びBがアクティブとなり、アレイ200の上側の8×8セクションが上にシフトされる。このアンロードステップの際には、アレイの下側の8行(8-15)はシフトされない。一つの態様においては、このアンロードステップの際に行8内のデータが行0-7内に複製される。複製されたデータを有する行0-7は、その後、新たなデータがアレイの下側にロードされるとき上書きされる。

20

【0022】

第一の8×8画素ブロックのアンロードを終えると、新たな8×8画素ブロックがメモリアレイ200内にロードされる。この新たな8×8画素ブロックは、画像内の、第二の8×8画素ブロックと隣接する、この直ぐ下のブロックから成る。画素データを行15内にロードする際には、下位アドレスクワッドに対してはA及びCシフト、上位アドレスクワッドに対してはB及びDシフトを用いて、行8-15内のデータが、これらの内容を保存するために、行0-7内にシフトされる。このフィルタリング、アンロード及びロード(及び対応する行8-15からデータの行0-7への対応するシフト)が、その画像内の8×8画素ブロックのある列全体がフィルタリングされるまで反復される。ある列内の少なくとも2つの8×8画素ブロックによって共有されるある水平エッジのフィルタリングが完了すると、アレイ内の両方の8×8画素ブロックがアンロードされ、メモリ内に書き込まれる。このとき、下位アドレスクワッドをアンロードするためにはA及びCが用いられ、上位アドレスクワッドをアンロードするためにはB及びDが用いられる。

30

【0023】

もう一つの実現においては、垂直エッジフィルタリングが、レジスタアレイ200を用いて、ブロック図240に示されるようなやり方にて、以下のように行なわれる。2つの8×8画素ブロックがアレイ200内にロードされる。第一の8×8画素ブロックはある画像の左エッジから得られ、第二の8×8画素ブロックは、その画像の、データの第一の8×8画素ブロックの右に隣接する部分から得られる。この8×8画素データは、列7、行0-15内に、第一のアドレスクワッド(行0-3)についてはE及びFシフトを用いて、第二のアドレスクワッド(行4-7)についてはGシフトを用いて、第三のアドレスクワッド(行8-11)についてはHシフトを用いて、そして、第四のアドレスクワッド(行12-15)についてはI及びJシフトを用いて、ロードされる。ロードされる画素データのバイトの順番が、上述の水平モードのデータのロードの場合と比較して逆転される(例えば、仮想メモリアドレスとオブジェクト識別子とが入れ換えられる)。これは、通常、スイズル(swizzle)と呼ばれ、これによって、データがフィルタリングのための適当な(水平或いは垂直の)方向に向けられる(オリエンテーション)され

40

50

る。より具体的には、バイトの順番を逆転されることで、垂直エッジに沿うデータが、フィルタリングの計算に対しては、行7と8との間のエッジと対応するようにされる。後に説明するように、フィルタリングの後、データのバイトの順番は、再び、逆転、すなわち、アンスイズル (unswizzle) された上で、メモリ内にアンロードされる。

【0024】

レジスタアレイ内にロードされた後、これら垂直にロードされた8×8画素ブロックは、水平エッジフィルタリングとの関連で上で説明したそれと類似するやり方にて、フィルタリングされる。F、G、H、及びIなるシフトが用いて、列0、行3-12の所のまだフィルタリングされてないデータがフィルタリングアルゴリズムに供給され、同時に、新たにフィルタリングされたデータが、列7、行4-11内にロードされる。列0、行3及び12の所のデータは、それぞれ、列7、行3及び12内にラップバックされる。

10

【0025】

フィルタリングの後、フィルタリングされた境界データのみが、レジスタアレイ200からメモリ内にアンロードされる。ブロックの境界(例えば、行7と8との間の境界)のいずれかの側の1クワッド(4画素ビット)がメモリ内に書き戻される。この際のアンロードに対するタップポイントとしては、下位アドレスクワッドに対しては列0、行4-7が用いられ、上位アドレスクワッドに対しては列0、行8-11が用いられる。このアンロードにおいては、データのあるアレイ全体をメモリ内に書き込むことは要求されず、一つの態様においては、境界のいずれかの側のクワッド(4画素ビット)に対応する行4-11のみがメモリ内に書き込まれる。上位アドレスクワッドが書き込まれると、アレイ全体がE、F、G、H、I及びJなるシフトを用いて右にシフトされ、列0、行8-15が列7、行0-7にラップバックされ、その後、新たな8×8画素ブロックが行8-15内にロードされる。この新たな8×8画素ブロックは、H、I及びJなるシフトを用いてロードされ、データをアレイの列7、行8-15の所に供給する。このフィルタリング、アンロード及びロード(及びこれに対応するデータのシフト)が、その画像内の8×8画素ブロックのある行全体がフィルタリングされるまで反復される。

20

【0026】

本発明のもう一つの実施例においては、フィルタ計算パス内の中間ポイントの計算をパイプライン化 (pipelining) するために、列1、行3-12の所にタップポイントが追加される。このパイプライン化は、例えば、計算論理が複数のクロックを必要とし、高いフィルタ帯域幅が必要とされる場合に有効である。フィルタリング回路は、中間結果を保持するように構成されたレジスタを含む。フィルタリング動作の第一のクロックにおいては、列0からのデータを用いて、中間値が計算及び格納される。第二から第九番目のクロックにおいては、列1からのデータを用いて中間値が計算される。最終的なフィルタリングされたデータは、列0と、前に格納された中間値を用いて計算される。このアプローチによると、長い計算パスを有するフィルタにて、より高い周波数にて動作することが可能となる。このアプローチでは、8回のフィルタ計算から成る各集合に対して1つの追加のクロックが必要となるが、ただし、結果として、全体として見ると、計算時間を(1列当り2クロックが必要とされる場合)16クロックから9クロックに削減することが可能となる。この9クロックの内訳として、(8個の)各列に対して1クロックが必要となることに加えて、パイプラインを整える (prime) するために1クロックが必要となる。

30

40

【0027】

本発明のもう一つの実施例においては、このフィルタリングシステムは、フィルタ計算論理の、2つの同一の独立したブロックから構成される。レジスタアレイは、計算論理の各ブロックに対して1つの、2集合のタップポイントを有する。第一の集合のタップポイントは、まだフィルタリングされてないデータのために、列0、行3-12の所に設けられる。フィルタリングされたデータは、列3、行4-11内に戻され、まだフィルタリングされてないデータは列3、行3と12にラップバックされる。第二の集合のタップポイントは、まだフィルタリングされてないデータのために、列4、行3-12の所に設けら

50

れる。フィルタリングされたデータは列 7、行 4 - 11 に戻され、まだフィルタリングされていないデータは、列 7、行 3 と 12 内にラップバックされる。こうして、フィルタリングを遂行するために要求されるシフトの回数は、8 回から 4 回に低減される。このフィルタ計算論理のパイレル化は、高速アプリケーションのためのもので、 16×16 等のより大きなサイズのレジスタアレイに適する。

【0028】

以下の説明においては、フィルタリングアプローチ及び技術は、レジスタアレイ 200 及び上でブロック図 240 との関連で説明した対応するフィルタリングアプローチを用いるものと想定される。より大きなレジスタアレイを用いる態様においても、類似するローディング、アンローディング、フィルタリング及びシフティング技術を用いることができるが、ただし、以下の説明では、本発明のこのようなより大きなレジスタアレイを用いる態様の具体的な実施例については簡素化のために割愛される。

【0029】

図 3 A 及び 3 B は、本発明のもう一つの実施例による、図 2 A に示されるレジスタアレイ 200 のようなレジスタアレイを用いてのフィルタリングを施される画素のアレイ 305 を示す。図 3 A は、一例として、図 2 A のレジスタアレイ 200 を用いて、 $8 \times$ - 列 352 内の、 $8 \times$ 行 341 と $8 \times$ 行 342 の所の 8×8 画素ブロックによって共有される水平エッジ 321 に沿う画素データがフィルタリングされる際の様子を示す（ここで、 $8 \times$ 行或いは $8 \times$ 列は、 8×8 画素ブロックの行或いは列を表す）。最初に、 $8 \times$ 行 341、 $8 \times$ 列 352 の所の 8×8 画素ブロック内のデータがメモリから読み出され、（図 2 A）の上側画素ブロック部分 220 内にロードされ、 $8 \times$ 行 342、 $8 \times$ 列 352 の所の 8×8 画素ブロック内のデータがメモリから読み出され、（図 2 A の）下側画素ブロック部分 225 内にロードされる。エッジ 321 の両側の画素ブロックの部分 320 のスライス（ 1×10 列）が、上述のフィルタリング回路及びフィルタリングアルゴリズムを用いるフィルタリング回路に送られる。これらスライスは、例えば、上で図 2 B のブロック図 240 との関連で説明したように、シフトレジスタを用いて、列 1 - 7 の各々を右に 1 列だけシフトさせることで列 0 から得ることができる。フィルタリングの後、上側画素ブロック部分 220 は、レジスタアレイからアンロードされ、メモリ内に書き戻される。下側画素ブロック部分 220 は、上側画素ブロック部分 220 内にシフトされ、 $8 \times$ 行 343、 $8 \times$ 列 352 の所の 8×8 画素ブロックがメモリから読み出され、下側画素ブロック部分 225 内にロードされる。次に、 $8 \times$ 列 352 内の、エッジ 322 の両側のエッジデータが同様にしてフィルタリングされる。 $8 \times$ 列 352 内の、エッジ 321 及び 322 近傍のデータのフィルタリングを終えると、隣接する $8 \times$ 列 351 或いは $8 \times$ 列 353 内の、 $8 \times$ 行 341 及び 342 からの新たなデータが、レジスタアレイ 200 の上側部分と下側部分の両方に読み込まれ、類似のフィルタリング動作が遂行される。

【0030】

図 3 B に示される本発明のもう一つの実施例においては、垂直エッジデータが、図 3 A において遂行されたフィルタリング動作と類似するやり方にて、ただし、水平方向に配置（オリент）された 16×8 レジスタアレイを用いて（例えば、図 2 A のレジスタアレイ 200 の辺を回転されることで）フィルタリングされる。 $8 \times$ 行 342 内のデータが、左から右に向かって $8 \times$ 列 351、352 から開始してフィルタリングされ、これが $8 \times$ 列 353 へと続けられる。 $8 \times$ 行 342 内の、 $8 \times$ 列 351 及び 352 内の 8×8 画素ブロックの所のデータが、この 16×8 アレイの左半分と右半分内に書き込まれる。 $8 \times$ 行 342 内の、エッジ 331 の両側の $8 \times$ 列 351 及び 352 の部分 330 内のエッジ画素のデータのスライス（ 10×1 行）を、フィルタリングアルゴリズム内で用いることで、 $8 \times$ 行 342 内の、エッジ 331 の両側の 4 画素のおのこの内の画素データがフィルタリングされる。フィルタリングを終えると、フィルタリングされたデータはレジスタアレイの中央部分（例えば、 $8 \times$ 行 342 内の、エッジ 331 のいずれかの側に延びる 4 画素から成る 8×8 ブロック）がアンロードされ、メモリ内に書き戻される。レジスタアレイの右半分内のデータがレジスタアレイ内の左半分にシフトされ、 $8 \times$ 行 342 内の、 $8 \times$

列 3 5 3 の所の 8 × 8 画素ブロック内のデータがメモリから読み出され、レジスタアレイの右半分内にロードされる。次に、8 × 行 3 4 2 内の、エッジ 3 3 2 の両側の画素データが、10 × 1 スライスを用いて、類似のやり方にてフィルタリングされ、必要であれば、このプロセスが、再び、8 × 行 3 4 1 及び / 或いは 3 4 3 の所から続けられる。

【 0 0 3 1 】

図 4 A から 4 D に示される本発明のもう一つの実施例においては、画素のアレイ 4 0 0 (図にはこれら画素によって表されるある画像の左上部分が示されている) が、水平及び垂直両方のエッジデータをフィルタリングするための 16 × 16 レジスタアレイ (図示せず) を用いて、フィルタリングされる。この 16 × 16 レジスタアレイは、上で図 2 A 及び 2 B との関連で説明した 8 × 16 レジスタアレイと類似する。アレイ 4 0 0 は、16 × 行 4 4 1 及び 4 4 2 と、16 × 列 4 5 1 及び 4 5 2 内の画素データの 16 × 16 ブロックを含むが、各 16 × 16 ブロックは、個々の 8 × 8 画素ブロック間に垂直エッジ部分及び水平ヘッジ部分を有する (ここで、16 × 行或いは 16 × 列は、16 × 16 画素ブロックの行或いは列を表す) 。垂直エッジ 4 3 1、4 3 2、4 3 3 ; 水平エッジ 4 2 1、4 2 2、4 2 3 は、個々の 8 × 8 画素ブロックを分離する。このアレイ 4 0 0 が、水平エッジフィルタリングのためのこのアレイを通じての第一のパス、及び垂直エッジフィルタリングの第一の半分を用いることに加えて、垂直エッジフィルタリングの残りの半分に対するこのアレイを通じての第二のパスを用いることでフィルタリングされる。第二のパスの際には、メモリ内にはデータの半分のみを書き込むことで、メモリ書き込みサイクルが、8 × 16 なるサイズのレジスタアレイを用いる場合と比較して低減される。

10

20

【 0 0 3 2 】

図 4 B は、16 × 行 4 4 1、16 × 列 4 5 1 の所の 16 × 16 ブロック内の、水平エッジ 4 2 1 に沿う画素データと、垂直エッジ 4 3 1 に沿う画素データがフィルタリングされる様子を示す。フィルタリングは、画像の左上角の所から開始され、画素の 16 × 16 ブロックがこの 16 × 16 レジスタアレイ内にロードされる。データの各行に対して 4 ワード (クワッド) が読み込まれる。この 16 × 16 レジスタアレイにおいては、フィルタリングは、最初に、16 画素列に対して、全水平エッジ 4 2 1 に関して遂行され、水平エッジ 4 2 1 に最も近い 4 行内の画素が、例えば、上述のそれと類似するやり方にてフィルタリングされる。

【 0 0 3 3 】

次に、この 16 × 16 レジスタアレイ内の上側 8 画素行に対する垂直エッジ 4 3 1 が、例えば、上側 8 行の各々に対するエッジ 4 3 1 の両側の 4 列をフィルタリングすることで、フィルタリングされる。一つの態様においては、最も上の行からのデータの水平スライスが得られ、フィルタリング回路に送られ、フィルタリングされたデータは、フィルタリング回路から水平エッジ 4 2 1 に隣接する行内に戻され、他の 8 画素行の各々は、1 行だけ上にシフトされる。加えて、水平スライス内の、フィルタリングのためには用いられたが、ただし、(水平エッジ 4 2 1 に隣接する行内には) 戻されなかったデータは、最も上の行から、水平エッジ 4 2 1 に隣接する行内にラップバックされる。垂直エッジ 4 3 1 のフィルタリングを終えると、16 × 16 レジスタアレイの上側半分 (エッジ 4 2 1 の上側の 8 画素行) は、アレイからアンロードされ、メモリ内に書き込まれる。

30

40

【 0 0 3 4 】

16 × 16 レジスタアレイの上側 8 行をアレイからアンロードした後、16 × 16 レジスタアレイの下側の 8 行が、エッジ 4 2 1 に隣接する 4 行内のフィルタリングされたデータも含めて、16 × 16 レジスタアレイの上側 8 行内にシフトされる。次に、図 4 B 内のエッジ 4 2 2 の下側の 8 画素行がメモリから読み出され、この 16 × 16 レジスタアレイの下側 8 行内にロードされる。結果として、この 16 × 16 レジスタアレイは、16 × 行 4 4 1 の下側半分に対するデータと、16 × 行 4 4 2 の上側半分に対するデータとを含むこととなる。

【 0 0 3 5 】

図 4 C は、図 4 B に示される動作に続くフィルタリング動作、つまり、画素データの連

50

続する 8 行に対して、上で説明されたフィルタリング、アンローディング、及びローディングのシーケンスが反復される様子を示す。アレイ 400 内のある列の最も下（図示せず）に到達すると、 16×16 レジスタアレイ内に格納されている垂直エッジに関する垂直エッジフィルタリングは全て完了し、 16×16 レジスタアレイの 16 行の全てがアンロードされ、メモリ内に書き込まれる。フィルタリング動作は、次に、4D に示されるように、アレイ 400 内の、次の $16 \times$ 列 452 に移動し、 $16 \times$ 行 441 内の、 $16 \times$ 列 452 の所の 16×16 画素ブロック内のデータが、 16×16 レジスタアレイにロードされる。フィルタリングが、同様にして、この $16 \times$ 列 452 が全てフィルタリングされるまで遂行される。

【0036】

図 4A から 4D との関連で上で説明したようにアレイ 400 内の、列の各々を通じての第一のパスを終えると、アレイ 400 を通じて第二のパスが、 16×16 ブロック間の垂直エッジデータ（例えば、垂直エッジ 432 に対するデータ）をフィルタリングするために遂行される。一つの態様においては、データの 16×16 ブロックが再び 16×16 レジスタアレイ内にロードされ、この垂直エッジデータがフィルタリングされる。例えば、これら 16×16 ブロックを一つの 8×8 ブロックだけ右にオフセットすることで、垂直エッジが 16×16 アレイの中央に置かれる。フィルタリングを終えると、 16×16 アレイの中央の 8×16 スライスのみがメモリ内に書き戻される。

【0037】

もう一つの態様においては、後の詳細に説明するように、 32×8 画素ブロックが 32×8 レジスタアレイ内に読み込まれる。このアプローチでは、画素データを伝送するために用いられるバスのバースト能力（bursting capability）を利用することで、4ワードを読み込むことで 16×16 アレイの 1 行を満たす代わりに、8ワードを読み込むことで 32×8 アレイの 1 行が満たされる。このため、このアプローチは、 16×16 アレイアプローチと比較してより効率的である。

【0038】

本発明のもう一つの態様においては、用いられているレジスタアレイのサイズに均等に分割できない画素数を有する画素アレイが、上で説明された幾つかの実施例と類似のやり方にてフィルタリングされる。例えば、 88 画素幅のアレイが 16×16 レジスタアレイを用いてフィルタリングされる場合、 16 画素幅を有する 5 列と、たった 8 画素幅しか有さない 1 列が存在することとなる。この例においては、フィルタリングは、同一でない列幅に対処できるように変更される（例えば、幅が検出され、上で図 4B から 4C との関連で説明した、列の各々を通じての第一のパスと類似するやり方にて、水平及び垂直の両方のエッジフィルタリングが遂行される。ただし、異なる点として、水平エッジフィルタリングは、メモリアレイの最後の $8 \times$ 列に対応する 16×16 アレイの一方の 1 半分についてのみ遂行される）。

【0039】

図 5A から 5C に示される本発明のもう一つの実施例においては、画素アレイ 500 の垂直エッジ部分が、 32×8 画素ブロックと 32×8 レジスタアレイとを用いてフィルタリングされる。画素アレイ 500 は、例えば、図 4A から 4D に示されるアレイ 400 と同一なものであり、上述の水平及び垂直フィルタリングステップが既に遂行されており、アレイ 400 内の 16×16 ブロック間の垂直エッジのみがまだフィルタリングされていないものと想定される。このアプローチにおいては、 16×16 フィルタリングは上述のやり方にて達成され、まだフィルタリングされていない垂直エッジの残りの部分が、フィルタリングされるべき残りのエッジ部分の数が限られているために、 16×16 フィルタリングアプローチをもう一度用いるより効率的なやり方にてフィルタリングされる。例えば、 32×8 レジスタアレイは、このアレイ内の 2 つの別個のエッジ部分を、別個のフィルタリング論理を用いて、同時にフィルタリングするために、特に有効である。二重 2 のフィルタリング論理を用いることで、両方のエッジを、1 つのエッジをフィルタリングするために通常要求されるのと同じの時間にてフィルタリングすることが可能となる。

10

20

30

40

50

【0040】

図5Aにおいては、8×8画素ブロックの2つの1つ置きのエッジ（エッジ531と532）に対応する垂直エッジ画素のデータが、例えば、上述のような2次元シフトレジスタ（two-dimensional shift register）を用いてフィルタリングされる。8×列521の32×画素幅部分510が、図2Aに示される8×16レジスタアレイ200と類似する、32×8レジスタアレイ（図示せず）内に読み込まれる。（上述のように16×16フィルタリングの際に垂直エッジの半分は既にフィルタリングされているため）、1つ置きのエッジからのエッジデータをフィルタリングすることのみが必要されるために、32×8レジスタアレイの1半分から、上で8×16及び16×16レジスタアレイとの関連で行なわれるように、データを読み込むことは要求されず、ここでは、フィルタリングされる垂直エッジのいずれかの側の5画素を含むデータの1×10スライスがフィルタリングされることとなる。エッジ531との関連では、1×10スライス551が得られ、上述のようなフィルタリング動作が2次元シフトレジスタを用いて遂行される。同様にして、エッジ531に対するデータをフィルタリングした後に、垂直エッジ532の両側の5画素を含むスライスがフィルタリング計算に送られる。このフィルタリングが完了すると、垂直エッジ532と532の各々を水平方向から見て中心として位置するフィルタリングを終えた8×8画素ブロックが32×8レジスタアレイからアンロードされ、メモリ内に書き込まれる。

10

【0041】

図5Bにおいては、8×行512内の、隣接する32×8画素ブロック512が32×8レジスタアレイ内に読み込まれ、フィルタリングが、画素ブロック510との関連で上で説明したようなやり方にて遂行される。垂直エッジ533と534を水平方向から見て中心として位置する8×8画素ブロックが、同様にして、フィルタリングされ、アンロードされ、メモリ内に書き戻される。いったんある行の端に到達すると、この32×8フィルタリングは、図5Cに示されるように、部分510の直ぐ下の、部分511内の、次の8×行522から再開される。エッジ531と532を有する部分511が、上で説明された部分510のフィルタリングと類似するやり方にて、フィルタリングされる。同様にして、追加の行が、アレイ500全体のフィルタリングを終えるまで、フィルタリングされる。

20

【0042】

図6は、本発明の一つの実施例による、画素データのブロックをフィルタリングするために構成されたシステム600を示す。システム600は、例えば、TV或いはコンピュータの画面上に表示されるべき画素に対する画像データを格納するように構成されたメモリ610を含む。メモリ610は、画素データを転送するように設計されたバス605、例えば、上述のような画素データを表すワードを伝送するように構成された32ビットバスと接続される。バス605は、メモリ610を、コントローラ640及びレジスタアレイ620とに接続する。コントローラ640は、メモリ610とレジスタアレイ620との間のデータの移動、並びにレジスタアレイ620とフィルタ回路630との間のデータの移動を制御するように適合化される。レジスタアレイ620とフィルタ回路630は、画素エッジのデータをフィルタリングする際に、レジスタアレイ620内のデータを、後続のエッジのフィルタリングのために、シフトし、再使用するように構成される。一つの態様によると、レジスタアレイ620は、図2A及び2Bとの関連で上で説明されたそれと一貫するやり方にて、コントローラ640を介して動作するように構成される。

30

40

【0043】

本発明の一つ或いは複数の実施例（example embodiments）と一貫するフィルタリングシーケンス及びアプローチに関する更なる詳細、及び一つ或いは複数の実施例の更なる形態（implementations）に関しては、添付の付録（パーツA及びB）を参照されたい。

【0044】

本発明は、上で説明された特定の実施例に制限されるものと解されるべきではない。例えば、フィルタリングの順番を変えることも（例えば、上から下、下から上、右から左、

50

左から右等、とすること)も)、レジスタアレイのサイズを変えることも、及び/或いは他の類似のバリエーションを考えることもできる。様々な修正物、同等なプロセス、並びに本発明を適用することができる様々な構成が添付のクレームに定義される本発明の範囲内に入るものである。

【図面の簡単な説明】

【0045】

【図1】本発明の一つの実施例による、水平及び垂直の方向の両方のエッジをフィルタリングするために構成されたレジスタアレイを用いてデータをフィルタリングするための方法を示す流れ図である。

【図2A】本発明の一つの実施例による、水平或いは垂直エッジデータをフィルタリングするために構成されたレジスタアレイを示す図である。 10

【図2B】本発明の一つの実施例による、図2Aのレジスタアレイに対する一つの実現態様を示すブロック図である。

【図3A】本発明の一つの実施例による、水平エッジデータフィルタリングのために構成されたレジスタアレイを用いての、データの水平エッジフィルタリングを示す図である。

【図3B】本発明の一つの実施例による、垂直エッジデータフィルタリングのために構成されたレジスタアレイを用いての、データの垂直エッジフィルタリングを示す図である。

【図4A】本発明のもう一つの実施例による、16×16画素ブロックのアレイのデータの、垂直エッジフィルタリングと水平エッジフィルタリングとを組み合わせるやり方を示す図である。 20

【図4B】本発明のもう一つの実施例による、16×16画素ブロックのアレイのデータの、垂直エッジフィルタリングと水平エッジフィルタリングとを組み合わせるやり方を示す図である。

【図4C】本発明のもう一つの実施例による、16×16画素ブロックのアレイのデータの、垂直エッジフィルタリングと水平エッジフィルタリングとを組み合わせるやり方を示す図である。

【図4D】本発明のもう一つの実施例による、16×16画素ブロックのアレイのデータの、垂直エッジフィルタリングと水平エッジフィルタリングとを組み合わせるやり方を示す図である。

【図5A】本発明のもう一つの実施例による、8×32画素ブロックのアレイのデータの、垂直エッジフィルタリングを示す図である。 30

【図5B】本発明のもう一つの実施例による、8×32画素ブロックのアレイのデータの、垂直エッジフィルタリングを示す図である。

【図5C】本発明のもう一つの実施例による、8×32画素ブロックのアレイのデータの、垂直エッジフィルタリングを示す図である。

【図6】本発明のもう一つの実施例による、画素データをフィルタリングするためのシステムを示す図である。

【符号の説明】

【0046】

600 システム

605 バス

610 メモリ

620 レジスタアレイ

640 コントローラ

【 図 1 】

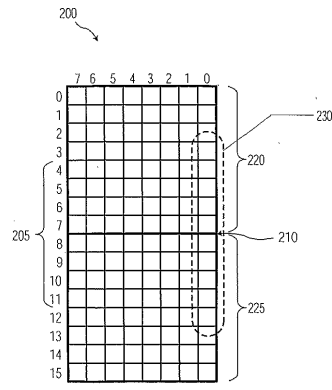
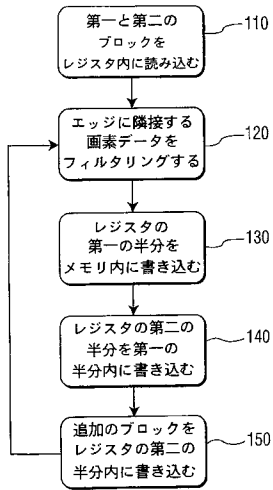
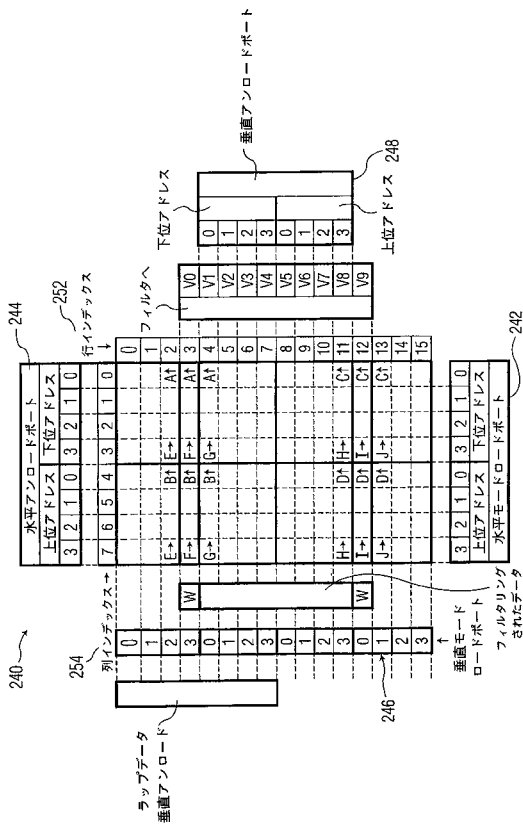
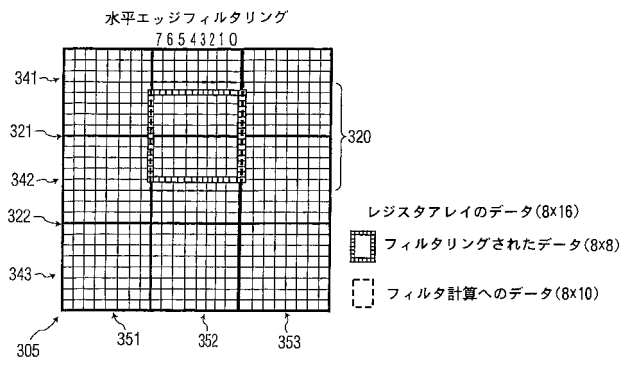


FIG. 2A

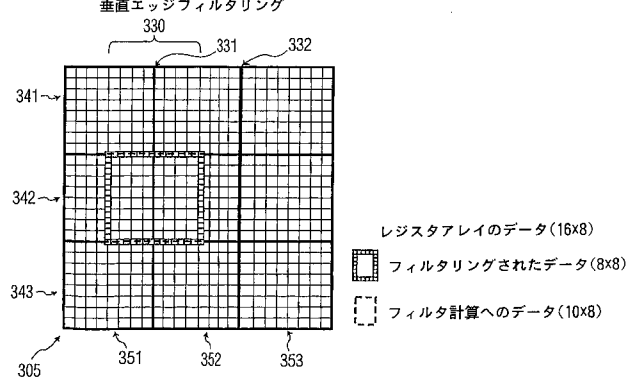
【 図 2 B 】



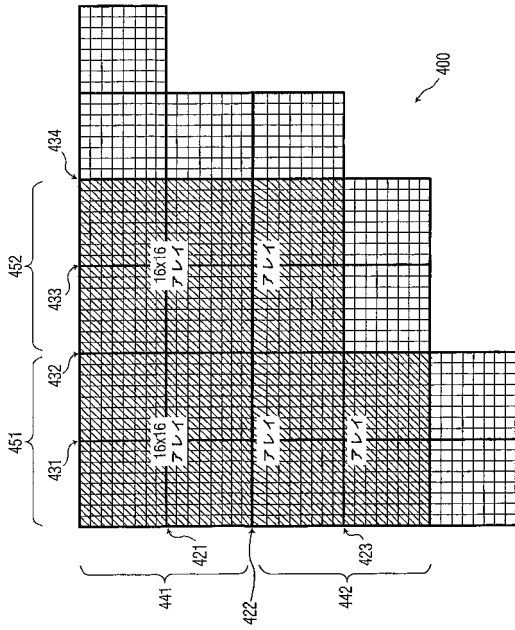
【 図 3 A 】



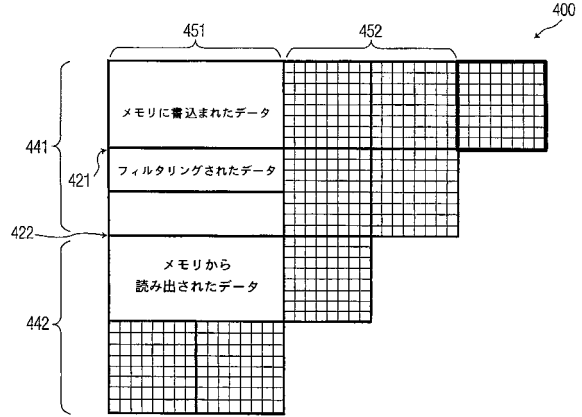
【 図 3 B 】



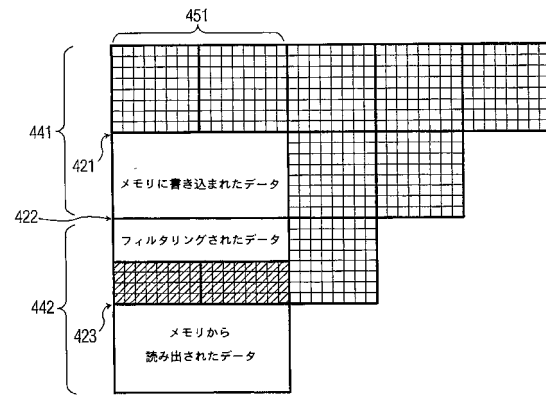
【図 4 A】



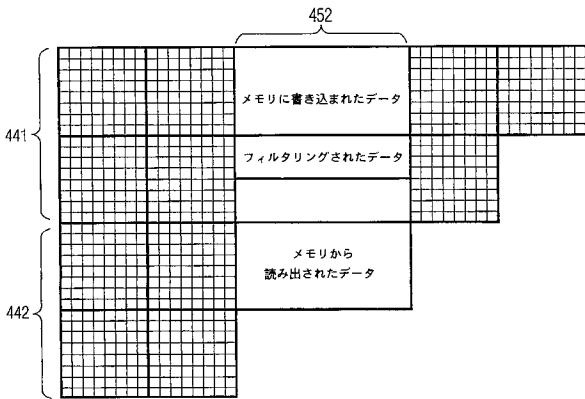
【図 4 B】



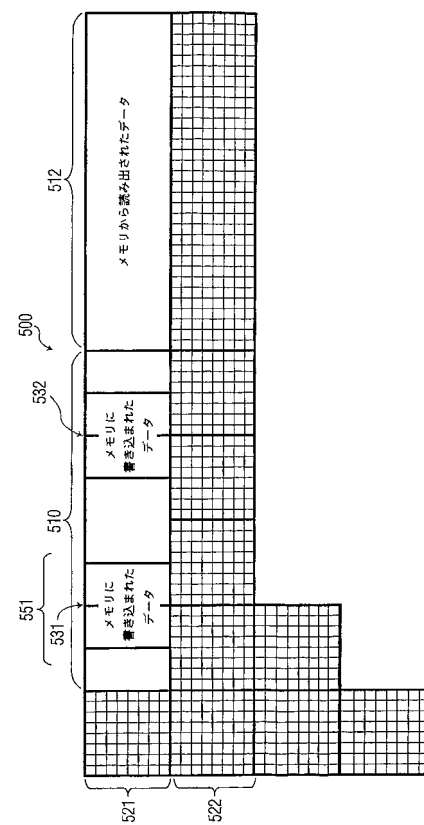
【図 4 C】



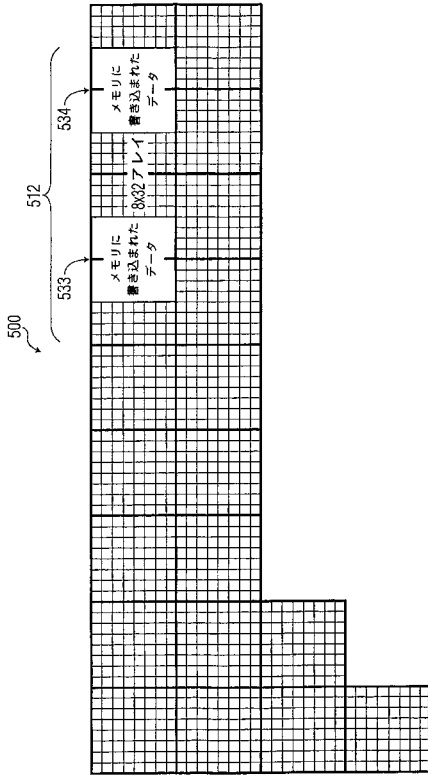
【図 4 D】



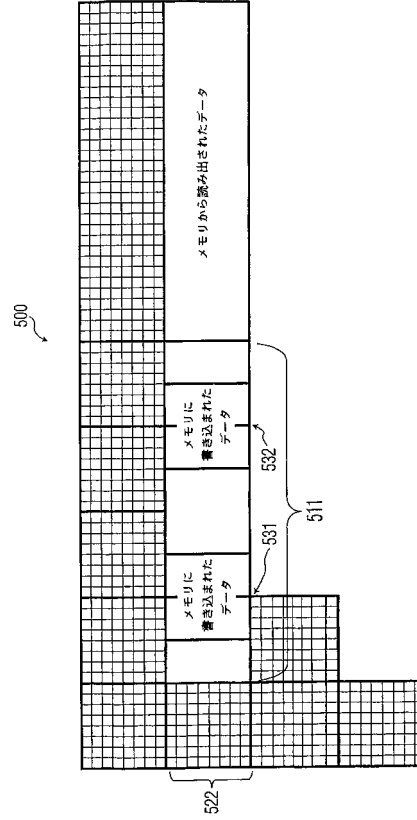
【図 5 A】



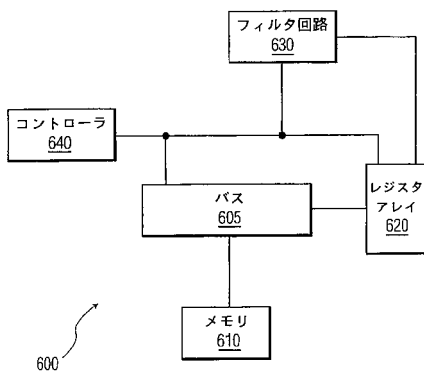
【図 5 B】



【図 5 C】



【図 6】



【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International Application No. PCT/IB 03/02964
A. CLASSIFICATION OF SUBJECT MATTER IPC 7 H04N7/26 H04N7/30 H04N7/50		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) IPC 7 H04N		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, INSPEC, WPI Data, PAJ		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	LAI Y-K ET AL: "A NOVEL VIDEO SIGNAL PROCESSOR WITH PROGRAMMABLE DATA ARRANGEMENT AND EFFICIENT MEMORY CONFIGURATION" IEEE TRANSACTIONS ON CONSUMER ELECTRONICS, IEEE INC. NEW YORK, US, vol. 42, no. 3, 1 August 1996 (1996-08-01), pages 526-533, XP000638535 ISSN: 0098-3063 page 529, paragraph III.B - page 531, paragraph IV.A; figures 7,10	1-19,25, 26
Y	US 5 977 947 A (POTU BRAHMAJI) 2 November 1999 (1999-11-02) column 6, line 1 - line 49 figures 1,6,7	1-19,25, 26
	----- -/--	
<input checked="" type="checkbox"/> Further documents are listed in the continuation of box C. <input checked="" type="checkbox"/> Patent family members are listed in annex.		
* Special categories of cited documents :		
"A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed		"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. "Z" document member of the same patent family
Date of the actual completion of the international search	Date of mailing of the international search report	
2 July 2004	14/07/2004	
Name and mailing address of the ISA European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016	Authorized officer Gauthier, J-C	

INTERNATIONAL SEARCH REPORT

 Int'l Application No
 PCT/IB 03/02964

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
P, X	US 2002/135586 A1 (SANDFORD MARK) 26 September 2002 (2002-09-26) page 2, paragraph 18 - paragraph 24; figure 4	1-19, 25, 26
A	US 6 064 450 A (TEICHNER DETLEF ET AL) 16 May 2000 (2000-05-16) column 6, line 14 - line 66 column 7, line 18 - line 35 column 8, line 36 - line 49	1-28
A	GOODENOUGH J ET AL: "A SINGLE CHIP VIDEO SIGNAL PROCESSING ARCHITECTURE FOR IMAGE PROCESSING, CODING, AND COMPUTER VISION" IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS FOR VIDEO TECHNOLOGY, IEEE INC. NEW YORK, US, vol. 5, no. 5, 1 October 1995 (1995-10-01), pages 436-445, XP000535995 ISSN: 1051-8215 paragraphs '0111!, '000V!; figures 1-3	1-28

INTERNATIONAL SEARCH REPORT

Int: International Application No PCT/IB 03/02964
--

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 5977947	A	02-11-1999	NONE
US 2002135586	A1	26-09-2002	NONE
US 6064450	A	16-05-2000	DE 69621901 D1 25-07-2002 DE 69621901 T2 31-10-2002 EP 0778707 A2 11-06-1997 JP 9187035 A 15-07-1997

フロントページの続き

(81) 指定国 AP(GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NI, NO, NZ, OM, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, UZ, VC, VN, YU, ZA, ZM, ZW

(74) 代理人 100082991
弁理士 佐藤 泰和

(74) 代理人 100096921
弁理士 吉元 弘

(74) 代理人 100103263
弁理士 川崎 康

(72) 発明者 ティム、ランゲ
アメリカ合衆国カリフォルニア州、サンノゼ、マッカイ、ドライブ、1109、エム/エス 41
エスジェイ

(72) 発明者 ジャド、レーマン
アメリカ合衆国カリフォルニア州、サンノゼ、マッカイ、ドライブ、1109、エム/エス 41
エスジェイ

Fターム(参考) 5C059 KK03 MA00 TA68 TC02 TC33 TD08 UA11 UA31
5J064 AA04 BA16 BB14 BC01 BC04 BC11 BC29 BD04