(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2016 年 9 月 29 日 (29.09.2016)

WIPO | PCT

(10) 国际公布号
WO 2016/150372 A1

(51) 国际专利分类号:
G09G 3/32 (2016.01)

(21) 国际申请号: PCT/CN2016/076962

(22) 国际申请日: 2016 年 3 月 22 日 (22.03.2016)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201510133524.2 2015 年 3 月 25 日 (25.03.2015) CN

(71) 申请人: **北京大学深圳研究生院 (PEKING UNIVERSITY SHENZHEN GRADUATE SCHOOL)** [CN/CN]; 中国广东省深圳市南山区西丽深圳大学城北大园区, Guangdong 518055 (CN)。

(72) 发明人: **张盛东 (ZHANG, Shengdong)**; 中国广东省深圳市南山区西丽深圳大学城北大园区, Guangdong 518055 (CN)。 **王翠翠 (WANG, Cuicui)**; 中国广东省深圳市南山区西丽深圳大学城北大园区, Guangdong 518055 (CN)。 **冷传利 (LENG, Chuanli)**; 中国广东省深圳市南山区西丽深圳大学城北大园区, Guangdong 518055 (CN)。 **孟雪 (MENG, Xue)**; 中国广东省深圳市南山区西丽深圳大学城北大园区, Guangdong 518055 (CN)。 **鲁文高 (LU, Wengao)**; 中国广东省深圳市南山区西丽深圳大学城北大园区, Guangdong 518055 (CN)。

(74) 代理人: **深圳鼎合诚知识产权代理有限公司 (DHC IP ATTORNEYS)**; 中国广东省深圳福田区金田路与福华路交汇处现代国际大厦 2201, Guangdong 518048 (CN)。

(81) 指定国 (除另有指明，要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明，要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:
— 包括国际检索报告(条约第 21 条(3))。

(54) **Title**: PIXEL CIRCUIT AND DRIVE METHOD THEREFOR, AND DISPLAY DEVICE

(54) **发明名称** : 像素电路及其驱动方法和一种显示装置

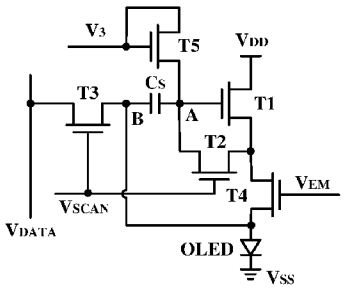


图 2a

(57) **Abstract**: A pixel circuit, a drive method for a pixel circuit and a display device. A second transistor (T2) is connected between a control electrode of a drive transistor (T1) and an ON electrode to form a diode-connected topological structure. By virtue of the circuit structure and the cooperation with a storage capacitor (Cs), during current row gating, a threshold voltage (V_{TH_T1}) of the drive transistor (T1) and grey scale-related data voltage information (V_{DATA}) are extracted and stored on the storage capacitor (Cs), thereby compensating the threshold voltage (V_{TH_T1}) of the drive transistor (T1) and increasing the contrast of a display.

(57) **摘要**: 一种像素电路、像素电路驱动方法及显示装置，在驱动晶体管(T1)的控制极和一个导通电极之间连接第二晶体管(T2)来形成二极管接法的拓扑结构，利用这种电路结构并配合存储电容(Cs)，在当前行选通时提取驱动晶体管(T1)的阈值电压(V_{TH_T1})和灰度有关的数据电压信息(V_{DATA})并存储于存储电容(Cs)上，从而补偿了驱动晶体管(T1)的阈值电压(V_{TH_T1})，增加了显示器的对比度。

WO 2016/150372 A1

像素电路及其驱动方法和一种显示装置

技术领域

本申请涉及显示器件领域，具体涉及一种显示装置及其像素电路和驱动方法。

背景技术

有机发光二极管（Organic Light-Emitting Diode，OLED）显示因具有高亮度、高发光效率、宽视角和低功耗等优点，近年来被人们广泛研究，并迅速应用到新一代的显示当中。OLED 显示的驱动方式可以为无源矩阵驱动（Passive Matrix OLED，PMOLED）和有源矩阵驱动（Active Matrix OLED ，AMOLED）两种。无源矩阵驱动虽然成本低廉，但是存在交叉串扰现象不能实现高分辨率的显示，且无源矩阵驱动电流大，降低了 OLED 的使用寿命。相比之下，有源矩阵驱动方式在每个像素上设置数目不同的晶体管作为电流源，避免了交叉串扰，所需的驱动电流较小，功耗较低，使 OLED 的寿命增加，可以实现高分辨的显示，同时，有源矩阵驱动更容易满足大面积和高灰度级显示的需要。

传统的 AMOLED 像素电路由两个薄膜晶体管（TFT: Thin Film Transistor）和一个存储电容构成，如图 1 所示，该像素电路包括驱动晶体管 11、开关晶体管 12、存储电容 13 和发光器件 OLED 14，扫描控制信号线 15 上的信号控制开关晶体管 12，采样数据信号线 16 上的数据信号，提供给驱动晶体管 11 的栅极，使得驱动晶体管 11 产生 OLED 14 所需要的电流，从而产生所需要的灰度，并将该灰度信息存储在存储电容 13 中，存储电容 13 保持采样到的数据信息直到下一帧。该像素电路中流过 OLED 14 的电流可以表示为：

$$I_{OLED}=\frac{1}{2}\mu_n C_{ox}\frac{W}{L}(V_G-V_{OLED}-V_{TH})^2$$

其中，μ_n、C_{ox}和$\frac{W}{L}$分别为驱动晶体管 11 的有效场效应迁移率、单位面积的栅氧化层电容和宽长比。V_G为驱动晶体管 11 的栅极电位，V_{OLED}为 OLED 14 发光过程中其阳极的电位，V_{TH}为驱动晶体管 11 的阈值电压。这种电路结构虽然简单，但是当驱动晶体管 11 的阈值电压V_{TH}漂移、

OLED 14 随着时间而退化造成V_{OLED}增加或采用多晶硅材料导致面板各处驱动晶体管阈值电压不均匀时，流过 OLED 14 的电流会随着时间或空间位置的变化而变化，从而导致显示的不均匀问题。

为了补偿驱动管和发光器件的阈值电压变化和退化，提出了在像素点内进行补偿和外围电路配合补偿的方法。一般地，外围电路配合补偿的方法需要复杂的外围电路结构，与现有的 AMLCD 的驱动电路兼容性较差，需要特别的研究。目前提出的在像素点内进行补偿的方法主要分为电流型和电压型两种。电流型像素电路的补偿精度比较高，但是需要一个比较长的建立时间，特别是在小电流并且数据线上具有很大的寄生电容的情况下。这一点严重地限制了电流型像素电路在大面积、高分辨率显示器中的应用。电压型像素电路驱动速度快，但补偿精度没有电流型像素电路的高，且电路结构或/和驱动信号一般相对复杂。

发明内容

本申请提供一种显示装置及其像素电路和驱动方法，以补偿驱动晶体管的阈值电压变化，从而缓解因阈值电压变化所导致的显示不均匀问题。

根据第一方面，一种实施例中提供一种像素电路，包括:

用于串联在第一电平端和第二电平端之间的驱动晶体管、第四晶体管和发光元件，以及第二晶体管、第三晶体管、第五晶体管和存储电容；驱动晶体管的第一极用于连接至第一电平端，驱动晶体管的第二极连接至第四晶体管的第一极，第四晶体管的第二极连接至发光元件的第一端，发光元件的第二端用于连接至第二电平端，第四晶体管的控制极用于输入第二扫描控制信号；第三晶体管的第一极用于输入数据信号，第三晶体管的控制极用于输入第一扫描控制信号；存储电容的两端分别连接至驱动晶体管的控制极和第三晶体管的第二极，分别形成第一节点和第二节点；第五晶体管的第二极连接至驱动晶体管的控制极，第五晶体管的控制极用于输入第三扫描控制信号，第五晶体管的第一极用于输入参考电位；第二晶体管的第一极连接至驱动晶体管的控制极，第二晶体管的第二极连接至驱动晶体管的第二极，第二晶体管的控制极用于输入第一扫描控制信号；在初始化阶段，第五晶体管和第四晶体管分别响应第三扫描控制信号的有效电平和第二扫描控制信号的第一有效电平导通，初

始化第一节点和第二节点的电位；在阈值提取与数据写入阶段，第二晶体管响应第一扫描控制信号的有效电平导通提取驱动晶体管的阈值电压，第三晶体管响应第一扫描控制信号的有效电平导通向第二节点传输数据信号；在发光阶段，第四晶体管响应第二扫描控制信号的第二有效电平导通，驱动晶体管响应第一节点的电位导通驱动发光元件发光；第三扫描控制信号的有效电平和第二扫描控制信号的第一有效电平、第一扫描控制信号的有效电平、第二扫描控制信号的第二有效电平依次到来。

根据第二方面，一种实施例中提供一种显示装置，包括：

像素电路矩阵，所述像素电路矩阵包括排列成 n 行 m 列矩阵的上述的像素电路，所述 n 和 m 为大于 0 的整数；栅极驱动电路，用于产生扫描脉冲信号，并通过沿第一方向形成的各行扫描线向像素电路提供所需的扫描控制信号；数据驱动电路，用于产生代表灰度信息的数据电压信号，并通过沿第二方向形成的各数据线向像素电路提供数据信号；控制器，用于向栅极驱动电路和数据驱动电路提供控制时序。

根据第三方面，一种实施例中提供一种像素电路驱动方法，像素电路的每一驱动周期包括初始化阶段、阈值提取与数据写入阶段和发光阶段，驱动方法包括：

在所述初始化阶段，第五晶体管和第四晶体管分别响应第三扫描控制信号的有效电平和第二扫描控制信号的第一有效电平导通，初始化第一节点和第二节点的电位；在所述阈值提取与数据写入阶段，第四晶体管由第二扫描控制信号控制在截止状态；第二晶体管响应第一扫描控制信号的有效电平导通，以提取驱动晶体管的阈值电压，通过存储电容存储于第一节点；第三晶体管响应第一扫描控制信号的有效电平导通向第二节点传输数据信号；在所述发光阶段，第四晶体管响应第二扫描控制信号的第二有效电平导通，驱动晶体管响应第一节点的电位导通驱动发光元件发光。

依据上述实施例的的像素电路，采用在驱动晶体管的控制极和和一个导通电极之间连接第二晶体管来形成二极管接法的拓扑结构，利用这种电路结构并配合存储电容，在当前行选通时提取驱动晶体管的阈值电压和灰度有关的数据电压信息并存储于存储电容上，从而补偿了驱动晶体管的阈值电压，增加了显示器的对比度。

附图说明

图 1 为传统的 2T1C 像素电路结构示意图;

图 2a 为实施例一提供的一种像素电路结构图;

图 2b 为实施例一提供的另一种像素电路结构图;

图 3a 为实施例一的一种像素电路工作时序原理图;

图 3b 为实施例一的另一种像素电路工作时序原理图;

图 4 为实施例二提供的一种像素电路结构图;

图 5 为实施例三提供的一种像素电路结构图;

图 6 为实施例三的一种像素电路工作时序原理图;

图 7 为一种实施例的一种显示装置结构原理图;

图 8 为实施例五的一种像素电路结构图;

图 9 为实施例五的一种像素电路驱动过程示意图。

具体实施方式

下面通过具体实施方式结合附图对本发明作进一步详细说明。

首先对一些术语进行说明：本申请中的晶体管可以是任何结构的晶体管，比如双极型晶体管(BJT)或者场效应晶体管(FET)。当晶体管为双极型晶体管时，其控制极是指双极型晶体管的基极，第一极可以为双极型晶体管的集电极或发射极，对应的第二极可以为双极型晶体管的发射极或集电极，在实际应用过程中，“发射极”和“集电极”可以依据信号流向而互换；当晶体管为场效应晶体管时，其控制极是指场效应晶体管的栅极，第一极可以为场效应晶体管的漏极或源极，对应的第二极可以为场效应晶体管的源极或漏极，在实际应用过程中，“源极”和“漏极”可以依据信号流向而互换。显示器中的晶体管通常为一种场效应晶体管：薄膜晶体管(TFT)。下面以晶体管为场效应晶体管为例对本申请做详细的说明，在其它实施例中晶体管也可以是双极型晶体管。

发光元件为有机发光二极管（Organic Light-Emitting Diode，OLED），在其它实施例中，也可以是其它发光元件。发光元件的第一端可以是阴极或阳极，相应地，则发光元件的第二端为阳极或阴极。本领域技术人员应当理解：电流应从发光元件的阳极流向阴极，因此，基于电流的流向，可以确定发光元件的阳极和阴极。

有效电平可以是高电平，也可以是低电平，可根据具体元器件的功能实现作适应性地置换。

第一电平端 VDD 和第二电平端 VSS 是为像素电路工作所提供的电

源两端。在一种实施例中，第一电平端 VDD 可以为高电平端，第二电平端为低电平端或地线，在其它实施例中，也可以作适应性地置换。需要说明的是：对于像素电路而言，第一电平端和第二电平端并非本申请像素电路的一部分，为了使本领域技术人员更好地理解本申请的技术方案，而特别引入第一电平端和第二电平端予以描述。

需要说明的是，为了描述方便，也为了使本领域技术人员更清楚地理解本申请的技术方案，本申请文件中引入第一节点 A、第二节点 B 和第三节点 C 对电路结构相关部分进行标识，不能认定为电路中额外引入的端子。

为描述方便，高电平采用 V_H 表征，低电平采用 V_L 表征。

实施例一：

请参考图 2a 和图 2b，为本实施例公开的一种像素电路结构图，包括：用于串联在第一电平端 VDD 和第二电平端 VSS 之间的驱动晶体管 T1、第四晶体管 T4 和发光元件 OLED，以及第二晶体管 T2、第三晶体管 T3、第五晶体管 T5 和存储电容 Cs。本实施例中，各晶体管为 N 型薄膜晶体管，各晶体管导通的有效电平为高电平。

驱动晶体管 T1 的第一极用于连接至第一电平端 VDD，驱动晶体管 T1 的第二极连接至第四晶体管 T4 的第一极，第四晶体管 T4 的第二极连接至发光元件 OLED 的第一端，发光元件 OLED 的第二端用于连接至第二电平端 VSS，第四晶体管 T4 的控制极用于输入第二扫描控制信号 V_{EM}。

第三晶体管 T3 的第一极用于输入数据信号 V_{DATA}，第三晶体管 T3 的控制极用于输入第一扫描控制信号 V_{SCAN}。

存储电容 Cs 的两端分别连接至驱动晶体管 T1 的控制极和第三晶体管 T3 的第二极，分别形成第一节点 A 和第二节点 B。

第五晶体管 T5 的第二极连接至驱动晶体管 T1 的控制极，第五晶体管 T5 的控制极用于输入第三扫描控制信号 V_3，当存在多行像素电路时，在优选的实施例中，本行像素电路的第三扫描控制信号 V_3 由上一行像素电路的第一扫描控制信号 V_{SCAN} 提供；在具体实施例中，第五晶体管 T5 的第一极用于输入参考电位 V_{REF}，请参考图 2b，在另一具体实施例中，请参考图 2a，第五晶体管 T5 的第一极连接至第五晶体管 T5 的控制极，

第五晶体管 T5 第一极输入的参考电位 V_{REF} 由第三扫描控制信号 V_3 提供。

第二晶体管 T2 的第一极连接至驱动晶体管 T1 的控制极，第二晶体管 T2 的第二极连接至驱动晶体管 T1 的第二极，第二晶体管 T2 的控制极用于输入第一扫描控制信号 V_{SCAN}。

在具体实施例中，像素电路依次工作于初始化阶段、阈值提取与数据写入阶段、发光阶段。

在初始化阶段，第五晶体管 T5 和第四晶体管 T4 分别响应第三扫描控制信号 V_3 的有效电平和第二扫描控制信号 V_{EM} 的第一有效电平导通，初始化第一节点 A 和第二节点 B 的电位。

在阈值提取与数据写入阶段，第二晶体管 T2 响应第一扫描控制信号 V_{SCAN} 的有效电平导通提取驱动晶体管 T1 的阈值电压，第三晶体管 T3 响应第一扫描控制信号 V_{SCAN} 的有效电平导通向第二节点 B 传输数据信号 V_{DATA}。

在发光阶段，第四晶体管 T4 响应第二扫描控制信号 V_{EM} 的第二有效电平导通，驱动晶体管 T1 响应第一节点 A 的电位导通驱动发光元件 OLED 发光。

在具体实施例中，第三扫描控制信号 V_3 的有效电平和第二扫描控制信号 V_{EM} 的第一有效电平、第一扫描控制信号 V_{SCAN} 的有效电平、第二扫描控制信号 V_{EM} 的第二有效电平依次到来。

请参考图 3a 和图 3b，为本实施例像素电路的工作时序图，其中，图 3a 为图 2a 对应像素电路的工作时序，图 3b 为图 2b 对应像素电路的工作时序，下面以图 2a 所示像素电路为例，结合图 2a 和图 3a 对本实施例像素电路的工作过程予以说明。在本实施例中，各晶体管导通的有效电平为高电平。

（1）在初始化阶段：第三扫描控制信号 V_3 为高电平，第一电平端 VDD 提供低电平 V_{DDL}，第二扫描控制信号 V_{EM} 为高电平。在优选的实施例中，当本行像素电路的第三扫描控制信号 V_3 由上一行像素电路的第一扫描控制信号 V_{SCAN} 提供时，则上一行像素电路被选通。此时，第五晶体管 T5 和第四晶体管 T4 分别响应第三扫描控制信号 V_3 的有效电平和第二扫描控制信号 V_{EM} 的第一有效电平导通，于是，第一节点 A 通过第五晶体管 T5 被充电至高电平，此时，处于高电平的第一节点 A 会导

通驱动晶体管 T1，第二节点 B 通过导通的第四晶体管 T4 和驱动晶体管 T1 被放电至 V_{DDL}，完成了初始化过程。需要说明的是，为了使编程过程中发光元件 OLED 不发光，V_{DDL} 应满足 $V_{DDL}<V_{OLED0}$，其中 V_{OLED0} 为 OLED 的阈值电压。

（2）在阈值提取与数据写入阶段：当前行的第一扫描控制信号 V_{SCAN} 从低电平转换成高电平，于是，当前行的像素行被选通，第三扫描控制信号 V_3 从高电平转换成低电平，当前行的第二扫描控制信号 V_{EM} 从高电平转换成低电平，第一电平端 VDD 依旧提供低电平 V_{DDL}。于是，第五晶体管 T5 和第四晶体管 T4 分别被第三扫描控制信号 V_3 和第二扫描控制信号 V_{EM} 控制在截止状态；第二晶体管 T2 和第三晶体管 T3 分别响应第一扫描控制信号 V_{SCAN} 的有效电平导通。由于此时第一电平端 VDD 提供低电平 V_{DDL}，第一节点 A 为高电平，于是，导通的第二晶体管 T2 使得驱动晶体管 T1 形成二极管接法开始通过第一电平端 VDD 放电至 $V_{DDL}+V_{TH_T1}$；与此同时，导通的第三晶体管 T3 将灰度有关的数据电压信息 V_{DATA} 传输至第二节点 B（即存储电容 C_S 的一端），因此存储电容 C_S 的两端形成了可以维持整个一帧时间的基准电压。此时第一节点 A 和第二节点 B 之间的电压差为：

$$V_A - V_B = V_{DDL} + V_{TH_T1} - V_{DATA} \quad (1)$$

其中，V_A 为第一节点 A 的电位，V_B 为第二节点 B 的电位，V_{TH_T1} 表示第一晶体管 T1 的阈值电压，V_{DDL} 表示第一电平端 VDD 提供的低电平，V_{DATA} 表示该像素点此时所需要的灰度信息对应的数据信号电压。

当当前行的第一扫描控制信号 V_{SCAN} 从高电平变为低电平，结束了本行的编程过程，第一电平端 VDD 从低电平 V_{DDL} 转换成高电平 V_{DDH}，当前行的第二扫描信号 V_{EM} 从低电平转换成高电平，当前行进入发光阶段。

（3）在发光阶段：第三扫描控制信号 V_3 和第一扫描控制信号 V_{SCAN} 均为低电平，于是第二晶体管 T2、第三晶体管 T3 和第五晶体管 T5 均被控制在截止状态；第二扫描控制信号 V_{EM} 从低电平转换成高电平（即第二有效电平），于是，第四晶体管 T4 响应第二扫描控制信号 V_{EM} 的第二有效电平导通。在存储电容 C_S 自举下，发光元件 OLED 的阳极电位 V_{OLED} 通过存储电容 C_S 自举驱动晶体管 T1 的控制极，而存储电容 C_S 在编程过程中形成的基准电压保持不变，所以，此时第一节点 A 的电压为：

$$V_A = V_{TH_T1} + V_{DDL} - V_{DATA} + V_B \quad (2)$$

由于在发光阶段，发光元件 OLED 两端的压差为 V_{OLED}，因此，第二节点 B 的电位 $V_B = V_{OLED}$，于是，式（2）可以变换为：

$$V_A = V_{TH_T1} + V_{DDL} - V_{DATA} + V_{OLED} \quad (3)$$

由于此时驱动晶体管 T1 工作在饱和区，所以驱动晶体管 T1 产生的电流，也即为流过发光元件 OLED 的发光电流可以表示成：

$$\begin{aligned} I_{OLED} &= \frac{1}{2}\mu_n C_{OX}\frac{W}{L}(V_{TH_T1} + V_{DDL} - V_{DATA} + V_{OLED} - V_{TH_T1} - V_{OLED})^2 \\ &= \frac{1}{2}\mu_n C_{OX}\frac{W}{L}(V_{DDL} - V_{DATA})^2 \end{aligned} \quad (4)$$

其中，I_{OLED} 为流过发光元件 OLED 的发光电流；μ_n、C_{OX} 和 W/L 分别为驱动晶体管 T1 的场效应迁移率、单位面积栅绝缘层电容和管子的宽长比。V_{OLED} 表示发光过程中发光元件 OLED 两端的压差，由公式（4）可以看出：流过发光元件 OLED 的电流 I_{OLED} 与驱动晶体管 T1 的阈值电压 V_{TH_T1} 及发光元件 OLED 的阈值电压 V_{OLED0} 无关，只与当前像素点灰度有关的数据信号 V_{DATA} 和 V_{DDL} 有关。

需要说明的是，对于图 2b 所示的像素电路中，第五晶体管 T5 的第一极用于连接至一固定电源端，其所输入的参考电位 V_{REF} 由某一固定的电平 V_{REF} 提供。其工作时序图如图 3b 所示，需要说明的是，由于第五晶体管 T5 的第一电极耦合至某一固定的电平 V_{REF}，所以在初始化阶段 A 点被预充到 V_{REF}，B 点被放电至 V_{DDL}，其他工作过程与上述实施例相同，这里不再赘述。

本实施例中的像素电路能够补偿驱动晶体管和发光元件的阈值电压变化或退化，还可以补偿显示面板各处像素电路的驱动晶体管阈值电压不均匀而导致的显示不均匀问题，并且该像素电路采用了在驱动晶体管的第二电极接开关管使其形成二极管的拓扑结构来实现电压型阈值电压提取，当存在多行像素电路时，利用上一行的选通时间对本行进行初始化，每行的编程时间只有阈值提取和数据写入的时间，驱动速度较快。

实施例二：

请参考图 4，为本实施例公开的一种像素电路结构图，与上述实施例不同之处在于，本实施公开的像素电路还包括第六晶体管 T6，第六晶

体管 T6 的第一极连接至第二节点 B，第六晶体管 T6 的第二极连接至第四晶体管 T4 的第一极，第六晶体管 T6 的控制极连接至第四晶体管 T4 的控制极。

由于第六晶体管 T6 响应的是当前行的第二扫描控制信号 V_{EM}，因此，第六晶体管与第四晶体管 T4 同时导通或断开；在初始化阶段和发光阶段第六晶体管 T6 导通，在阈值提取与数据写入阶段第六晶体管 T6 关断。由于第四晶体管 T4 并非理想的晶体管，当其上有电流流过时会存在压降，本实施例相对于实施例一的好处是屏蔽掉了第四晶体管 T4 的电压降对驱动晶体管 T1 电流的影响。本实施例像素电路工作时序请参考图 3a，其工作过程也分为三个阶段即初始化阶段、阈值提取与数据写入阶段和发光阶段，具体可参见实施例一，在此不再赘述。

实施例三：

请参考图 5，为本实施例公开的一种像素电路结构图，与上述实施例不同之处在于，本实施公开的像素电路中，第四晶体管 T4 和第六晶体管 T6 为 P 型晶体管，第四晶体管 T4 和第六晶体管 T6 导通的有效电平为低电平，其它晶体管导通的有效电平依旧为高电平。第四晶体管 T4 的控制极和第六晶体管 T6 的控制极还连接至第二晶体管 T2 的控制极或者第三晶体管 T3 的控制极，本行像素电路的第二扫描控制信号 V_{EM} 由该行像素电路第一扫描控制信号 V_{SCAN} 提供。

本实施例中，由于第四晶体管 T4 和第六晶体管 T6 为 P 型管，其导通的有效电平变为低电平，于是，像素电路可以减少一根扫描信号线（省掉了提供 $V_{EM[n]}$ 扫描信号线）。以实施例中同时包括第四晶体管 T4 和第六晶体管 T6 进行说明本实施例。请参考图 6，为本实施例像素电路的工作时序图，需要说明的是，本实施例所示的电路结构的工作过程也分为三个阶段即初始化阶段、阈值提取与数据写入阶段和发光阶段。

（1）初始化阶段，第三扫描控制信号 V_3 为高电平，第一电平端 VDD 提供低电平 V_{DDL}。在优选的实施例中，当本行像素电路的第三扫描控制信号 V_3 由上一行像素电路的第一扫描控制信号 V_{SCAN} 提供时，则上一行像素电路被选通。当前行的第一扫描控制信号 V_{SCAN} 为低电平。因此，第五晶体管 T5 和第四晶体管 T4 与第六晶体管 T6 分别响应第三扫描控制信号 V_3 和当前行的第一扫描控制信号 V_{SCAN} 的有效电平导通。于是，

第一节点 A 通过第五晶体管 T5 被充电至高电平，第二节点 B 通过导通的第六晶体管 T6 和驱动晶体管 T1 被放电至 V_{DDL}，完成了初始化过程。为了使编程过程中发光元件 OLED 不发光，V_{DDL} 应满足 $V_{DDL}<V_{OLED0}$，其中 V_{OLED0} 为 OLED 的阈值电压。

（2）阈值提取与数据写入阶段：当前行的像素行被选通，当前行的第一扫描信号 V_{SCAN} 从低电平转换成高电平，第三扫描控制信号 V_3 从高电平转换成低电平，于是第五晶体管 T5 和第四晶体管 T4 与第六晶体管 T6 分别由第三扫描控制信号 V_3 和当前行的第一扫描控制信号 V_{SCAN} 控制在截止状态；第二晶体管 T2 和第三晶体管 T3 响应当前行的第一扫描信号 V_{SCAN} 导通。由于此时 V_{DD} 为低电平，第一节点 A 为高电平，于是导通的第二晶体管 T2 使得驱动晶体管 T1 形成二极管接法开始放电至 $V_{DDL}+V_{TH_T1}$；与此同时，导通的第三晶体管 T3 将灰度有关的数据电压信息 V_{DATA} 传输至第二节点 B（存储电容 C_S 的一端），因此第一电容 C_S 两端形成了可以维持整个一帧时间的基准电压。此时第一节点 A 和第二节点 B 之间的电压差为：

$$V_A - V_B = V_{DDL} + V_{TH_T1} - V_{DATA} \tag{5}$$

其中，V_A 为第一节点 A 的电位，V_B 为第二节点 B 的电位，V_{TH_T1} 表示第一晶体管 T1 的阈值电压，V_{DDL} 表示第一电平端 V_{DD} 的低电平，V_{DATA} 表示该像素点此时所需要的灰度信息对应的数据信号电压。

当当前行的第一扫描控制信号 V_{SCAN} 从高电平变为低电平，结束了本行的编程过程，第一电平端 V_{DD} 的电压从低电平 V_{DDL} 转换成高电平 V_{DDH}，当前行开始准备进入发光阶段。

（3）发光阶段，第三扫描控制信号 V_3 和第一扫描控制信号 V_{SCAN} 均为低电平，第二晶体管 T2、第三晶体管 T3 和第五晶体管 T5 均被控制在截止状态；第四晶体管 T4 和第六晶体管 T6 导通。发光元件 OLED 的阳极电压 V_{OLED} 通过导通的第四晶体管 T4 和第六晶体管 T6 被存储电容 C_S 自举驱动晶体管 T1 的控制极，而存储电容 C_S 在编程过程中形成的基准电压保持不变，所以，此时第一节点 A 的电压为：

$$V_A = V_{TH_T1} + V_{DDL} - V_{DATA} + V_B \tag{6}$$

由于在发光阶段发光元件 OLED 两端的电压为 V_{OLED}，因此，第二节点 B 的电位 $V_B = V_{OLED}$，于是，式（6）可以变换为：

$$V_A = V_{TH_T1} + V_{DDL} - V_{DATA} + V_{OLED} \tag{7}$$

由于此时第一晶体管 T1 工作在饱和区，所以驱动晶体管 T1 产生的电流，也即为流过发光元件 OLED 的发光电流可以表示成:

$$I_{OLED} = \frac{1}{2}\mu_n C_{OX}\frac{W}{L}(V_{TH_T1} + V_{DDL} - V_{DATA} + V_{OLED} - V_{TH_T1} - V_{OLED})^2 = \frac{1}{2}\mu_n C_{OX}\frac{W}{L}(V_{DDL} - V_{DATA})^2 \quad (8)$$

其中，I_{OLED}为流过发光元件 OLED 的发光电流；μ_n、C_{OX}和 W/L 分别为驱动晶体管 T1 的场效应迁移率、单位面积栅绝缘层电容和管子的宽长比。V_{OLED}表示发光过程中 OLED 两端的电压,有公式(8)可以看出:流过发光元件 OLED 的电流I_{OLED}与驱动晶体管 T1 的阈值电压 V_{TH_T1}及发光元件 OLED 的阈值电压 V_{OLED}无关，只与当前像素点灰度有关的数据信号 V_{DATA}和 V_{DDL}有关。

本实施例中的像素电路能够补偿驱动晶体管和发光元件的阈值电压漂移，还可以补偿显示面板各处像素电路的驱动晶体管阈值电压不同而导致的显示不均匀问题，并且该像素电路采用了在驱动管的第二电极接开关管以使其形成二极管的拓扑结构来实现电压型阈值电压提取，当存在多行像素电路时，利用上一行的选通时间对本行进行初始化，每行的编程时间只有阈值提取和数据写入的时间，驱动速度快。与以上实施例相比，该电路的好处是减少了一根控制信号线，从而增大了开口率，减少了外围电路的复杂度。

实施例四:

本实施例还公开了一种显示装置，请参考图 7，为本实施例还公开的显示装置结构原理图，该显示装置包括:

显示面板 100，显示面板 100 包括排列成 n 行 m 列矩阵的上述实施例提供的像素电路 Pixel[1][1]……Pixel[n][m]，其中，n 和 m 为大于 0 的整数，Pixel[n][m]表征第 n 行 m 列的像素电路；与每个像素相连的第一方向(例如横向)的多条扫描线 Gate[1]……Gate[n]，其中，Gate[n]表示第 n 行像素电路对应的扫描线，用于向提供向本行像素电路提供扫描控制信号，例如第一扫描控制信号 V_{SCAN}、第二扫描控制信号 V_{EM}、第三扫描控制信号 V_3 等；和第二方向(例如纵向)的多条数据线 Data[1]……Data[m]，其中，Data[m] 表示第 m 列像素电路对应的数据线，用于提供

各像素电路的数据电压 V_{DATA}。显示面板可以是液晶显示面板、有机发光显示面板、电子纸显示面板等，而对应的显示装置可以是液晶显示器、有机发光显示器、电子纸显示器等。需要说明的是，在其它实施例中，像素电路所需的有些扫描控制信号也可以通过全局线的方式来提供，比如第一电平端所需的电源线、第二电平端所需的电源线等，本领域技术人员可以依据具体像素电路的需求来调整。

栅极驱动电路 200，用于产生扫描脉冲信号，并通过沿第一方向形成的各行扫描线 Gate[1]……Gate[n]向像素电路提供所需的扫描控制信号。

数据驱动电路 300，数据驱动电路 300 的信号输出端耦合到显示面板 100 中与其对应的数据线 Data[1]……Data[m]上，数据驱动电路 300 产生的数据电压信号 V_{DATA} 通过数据线 Data[1]……Data[m]传输到对应的像素单元内以实现图像灰度。

控制器 400，控制器 400 用于向栅极驱动电路和数据驱动电路提供控制时序。

实施例五：

本实施例还公开了一种 AC 型（Alternating Current，交流）的驱动方法。采用上述各实施例所述的像素电路，以各晶体管为 N 型晶体管为例进行说明，请参考图 8 和图 9，分别为像素电路结构图及工作时序原理图，各晶体管导通的有效电平为高电平。像素电路的每一驱动周期依次包括初始化阶段、阈值提取与数据写入阶段和发光阶段，驱动方法包括：

（1）初始化阶段，第三扫描控制信号 V_3 为有效电平（例如高电平），在具体应用过程中，本行像素电路的第三扫描控制信号 V_3 由上一行的第一扫描控制信号 V_{SCAN} 提供，此时，上一行的第一扫描控制信号 V_{SCAN} 为有效电平（例如高电平），于是，上一行像素行被选通；当前行的第一电平端 VDD 为低电平 V_{DDL}；当前行的第二扫描信号 V_{EM} 为第一有效电平（例如高电平）。因此，第五晶体管 T5 和第四晶体管 T4 分别响应第三扫描控制信号 V_3 和当前行的第二扫描信号 V_{EM} 的有效电平导通，于是，第一节点 A 通过第五晶体管 T5 被充电至高电平，第二节点 B 通过导通的第四晶体管 T4 和驱动晶体管 T1 被放电至 V_{DDL}，完成了初始化

过程。为了使编程过程中，发光元件 OLED 不发光，V_{DDL} 应满足 $V_{DDL}<V_{OLED0}$，其中 V_{OLED0} 为发光元件 OLED 的阈值电压。

（2）阈值提取与数据写入阶段：当前行的像素行被选通，当前行的第一扫描信号 V_{SCAN} 为从低电平转换成高电平，第三扫描控制信号 V_3 从高电平转换成低电平，当前行的第二扫描控制信号 V_{EM} 从高电平转换成低电平，第一电平端 VDD 为低电平 V_{DDL}。于是，第五晶体管 T5 和第四晶体管 T4 分别被控制在截止状态；第二晶体管 T2 和第三晶体管 T3 响应当前行的第一扫描信号 V_{SCAN} 的有效电平导通。由于此时第一电平端 VDD 为低电平 V_{DDL}，第一节点 A 为高电平，于是导通的第二晶体管 T2 使得驱动晶体管在第二电极形成二极管接法开始放电至 $V_{DDL}+V_{TH_T1}$；与此同时，导通的第三晶体管 T3 将灰度有关的数据电压信息 V_{DATA} 传输至第二节点 B（即存储电容 C_S 的一端），因此存储电容 C_S 两端形成了可以维持整个一帧时间的基准电压。此时第一节点 A 和第二节点 B 之间的电压差为：

$$V_A - V_B = V_{DDL} + V_{TH_T1} - V_{DATA} \tag{9}$$

其中，V_A 为第一节点 A 的电位，V_B 为第二节点 B 的电位，V_{TH_T1} 表示第一晶体管 T1 的阈值电压，V_{DDL} 表示第一电平端 VDD 电压的低电平，V_{DATA} 表示该像素点此时所需要的灰度信息对应的数据信号电压。

需要说明的是，当当前行的第一扫描控制信号 V_{SCAN} 从高电平变为低电平，结束了本行的编程过程，第一电平端 VDD 电压从低电平 V_{DDL} 转换成高电平 V_{DDH}，当前行并没有立刻进入发光阶段，而是 V_{EM} 继续保持低电平；本行编程完成以后开始对下一行进行编程。

由于写入的数据 V_{DATA} 为负电平，且发光元件 OLED 有一个很大固有电容 C_{OLED}，请参考图 8，该数据电压 V_{DATA} 会保持在 C_{OLED} 上直到 V_{EM} 为高电平导通发光支路为止；通过合理的设计数据电压 V_{DATA} 的范围和 V_{EM} 的低电平时间，可以使发光元件 OLED 形成有效地 AC 驱动，从而减少或抑制发光元件 OLED 的退化。本实施例中给出的 V_{EM} 为低电平的时间为 0.3 T，其中，T 为本行像素电路驱动过程的一周期时间。需要说明的是，相关技术人员可以根据发光元件 OLED 的情况合理的设置 OLED 负偏置的时间。

（3）发光阶段，第三扫描控制信号 V_3 为和当前行的第一扫描控制信号 V_{SCAN} 均为低电平，第二晶体管 T2、第三晶体管 T3 和第五晶体管

T5 均关断；当前行的第二扫描控制信号 V_{EM} 开始变为第二有效电平（例如从低电平转换为高电平），于是，第四晶体管 T4 响应第二扫描控制信号 V_{EM} 导通。在存储电容 C_S 自举下，发光元件 OLED 的阳极电压 V_{OLED} 通过存储电容 C_S 自举驱动晶体管 T1 的控制极，而驱动电容 C_S 在编程过程中形成的基准电压保持不变，所以，此时第一节点 A 的电压为：

$$V_A = V_{TH_T1} + V_{DDL} - V_{DATA} + V_B \tag{10}$$

由于在发光阶段，发光元件 OLED 两端的电压为 V_{OLED}，因此，第二节点 B 的电位 $V_B = V_{OLED}$，于是，式（10）可以变换为：

$$V_A = V_{TH_T1} + V_{DDL} - V_{DATA} + V_{OLED} \tag{11}$$

由于此时驱动晶体管 T1 工作在饱和区，所以驱动晶体管 T1 产生的电流，也即为流过发光元件 OLED 的发光电流可以表示成：

$$\begin{aligned} I_{OLED} &= \frac{1}{2}\mu_n C_{OX}\frac{W}{L}(V_{TH_T1} + V_{DDL} - V_{DATA} + V_{OLED} - V_{TH_T1} - V_{OLED})^2 \\ &= \frac{1}{2}\mu_n C_{OX}\frac{W}{L}(V_{DDL} - V_{DATA})^2 \end{aligned} \tag{12}$$

其中，I_{OLED} 为流过发光元件 OLED 的发光电流；μ_n、C_{OX} 和 W/L 分别为驱动晶体管 T1 的场效应迁移率、单位面积栅绝缘层电容和管子的宽长比。V_{OLED} 表示发光过程中 OLED 两端的电压，由公式（12）可以看出：流过发光元件 OLED 的电流 I_{OLED} 与驱动晶体管 T1 的阈值电压 V_{TH_T1} 及发光元件 OLED 的阈值电压 V_{OLED0} 无关，只与当前像素点灰度有关的数据信号 V_{DATA} 和 V_{DDL} 有关。

本实施例中的像素电路能够补偿驱动晶体管和发光元件的阈值电压漂移，还可以补偿显示面板各处像素电路的驱动晶体管阈值电压不同而导致的显示不均匀问题，并且该像素电路采用了在驱动晶体管的第二电极接开关管使其形成二极管的拓扑结构来实现电压型阈值电压提取，利用上一行的选通时间对本行进行初始化，每行的编程时间只有阈值提取和数据写入的时间，驱动速度快。本申请的像素电路在编程的过程不发光，增加了对比对，并且该像素电路可以使 OLED 处于 AC 驱动模式下，可以减少或抑制 OLED 的退化。

以上应用了具体个例对本发明进行阐述，只是用于帮助理解本发明，并不用以限制本发明。对于本发明所属技术领域的技术人员，依据本发明的思想，还可以做出若干简单推演、变形或替换。

权 利 要 求

1. 一种像素电路，其特征在于，包括:

用于串联在第一电平端（VDD）和第二电平端（VSS）之间的驱动晶体管（T1）、第四晶体管（T4）和发光元件（OLED），以及第二晶体管（T2）、第三晶体管（T3）、第五晶体管（T5）和存储电容（Cs）;

驱动晶体管（T1）的第一极用于连接至第一电平端（VDD），驱动晶体管（T1）的第二极连接至第四晶体管（T4）的第一极，第四晶体管（T4）的第二极连接至发光元件（OLED）的第一端，发光元件（OLED）的第二端用于连接至第二电平端（VSS），第四晶体管（T4）的控制极用于输入第二扫描控制信号（V_{EM}）;

第三晶体管（T3）的第一极用于输入数据信号（V_{DATA}），第三晶体管（T3）的控制极用于输入第一扫描控制信号（V_{SCAN}）;

存储电容（Cs）的两端分别连接至驱动晶体管（T1）的控制极和第三晶体管（T3）的第二极，分别形成第一节点（A）和第二节点（B）;

第五晶体管（T5）的第二极连接至驱动晶体管（T1）的控制极，第五晶体管（T5）的控制极用于输入第三扫描控制信号（V_3），第五晶体管（T5）的第一极用于输入参考电位;

第二晶体管（T2）的第一极连接至驱动晶体管（T1）的控制极，第二晶体管（T2）的第二极连接至驱动晶体管（T1）的第二极，第二晶体管（T2）的控制极用于输入第一扫描控制信号（V_{SCAN}）;

在初始化阶段，第五晶体管（T5）和第四晶体管（T4）分别响应第三扫描控制信号（V_3）的有效电平和第二扫描控制信号（V_{EM}）的第一有效电平导通，初始化第一节点（A）和第二节点（B）的电位;

在阈值提取与数据写入阶段，第二晶体管（T2）响应第一扫描控制信号（V_{SCAN}）的有效电平导通提取驱动晶体管（T1）的阈值电压，第三晶体管（T3）响应第一扫描控制信号（V_{SCAN}）的有效电平导通向第二节点（B）传输数据信号（V_{DATA}）;

在发光阶段，第四晶体管（T4）响应第二扫描控制信号（V_{EM}）的第二有效电平导通，驱动晶体管（T1）响应第一节点（A）的电位导通驱动发光元件（OLED）发光;

第三扫描控制信号（V_3）的有效电平和第二扫描控制信号（V_{EM}）的第一有效电平、第一扫描控制信号（V_{SCAN}）的有效电平、第二扫描控

制信号（V_{EM}）的第二有效电平依次到来。

2. 如权利要求 1 所述的像素电路，其特征在于，本行像素电路的第三扫描控制信号（V_3）由上一行像素电路的第一扫描控制信号（V_{SCAN}）提供。

3. 如权利要求 1 所述的像素电路，其特征在于，所述第五晶体管（T5）的第一极连接至第五晶体管（T5）的控制极，第五晶体管（T5）第一极输入的参考电位由第三扫描控制信号（V_3）提供。

4. 如权利要求 1-3 任意一项所述的像素电路，其特征在于，还包括：第六晶体管（T6）;

第六晶体管（T6）的第一极连接至第二节点（B），第六晶体管（T6）的第二极连接至第四晶体管（T4）的第一极，第六晶体管（T6）的控制极连接至第四晶体管（T4）的控制极。

5. 如权利要求 4 所述的像素电路，其特征在于，第四晶体管（T4）和第六晶体管（T6）为 N 型晶体管，第四晶体管（T4）和第六晶体管（T6）导通的有效电平为高电平。

6. 如权利要求 4 所述的像素电路，其特征在于，

第四晶体管（T4）和第六晶体管（T6）为 P 型晶体管，第四晶体管（T4）和第六晶体管（T6）导通的有效电平为低电平;

第四晶体管（T4）的控制极和第六晶体管（T6）的控制极还连接至第二晶体管（T2）的控制极或者第三晶体管（T3）的控制极，第二扫描控制信号（V_{EM}）由第一扫描控制信号（V_{SCAN}）提供。

7. 一种显示装置，其特征在于，包括:

像素电路矩阵，所述像素电路矩阵包括排列成 n 行 m 列矩阵的如权利要求 1-6 任意一项所述的像素电路，所述 n 和 m 为大于 0 的整数;

栅极驱动电路，用于产生扫描脉冲信号，并通过沿第一方向形成的各行扫描线向像素电路提供所需的扫描控制信号;

数据驱动电路，用于产生代表灰度信息的数据电压信号，并通过沿第二方向形成的各数据线向像素电路提供数据信号;

控制器，用于向栅极驱动电路和数据驱动电路提供控制时序。

8. 一种像素电路驱动方法，其特征在于，所述像素电路的每一驱动周期依次包括初始化阶段、阈值提取与数据写入阶段和发光阶段，所述驱动方法包括:

在所述初始化阶段，第五晶体管（T5）和第四晶体管（T4）分别响应第三扫描控制信号（V_3）的有效电平和第二扫描控制信号（V_{EM}）的第一有效电平导通，初始化第一节点（A）和第二节点（B）的电位；

在所述阈值提取与数据写入阶段，第四晶体管（T4）由第二扫描控制信号（V_{EM}）控制在截止状态；第二晶体管（T2）响应第一扫描控制信号（V_{SCAN}）的有效电平导通，以提取驱动晶体管（T1）的阈值电压，通过存储电容（Cs）存储于第一节点（A）；第三晶体管（T3）响应第一扫描控制信号（V_{SCAN}）的有效电平导通向第二节点（B）传输数据信号（V_{DATA}）；

在所述发光阶段，第四晶体管（T4）响应第二扫描控制信号（V_{EM}）的第二有效电平导通，驱动晶体管（T1）响应第一节点（A）的电位导通驱动发光元件（OLED）发光。

9. 如权利要求 8 所述的像素电路驱动方法，其特征在于，第二扫描控制信号（V_{EM}）的第二有效电平到来时间与第二扫描控制信号（V_{EM}）的第一有效电平结束时间之间的时长大于阈值提取与数据写入阶段所需的时长。

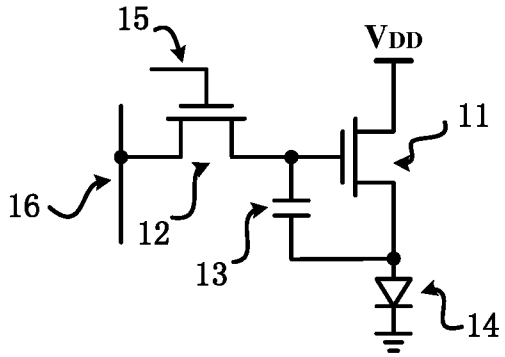

15
VDD
11
16
12
13
14

图 1

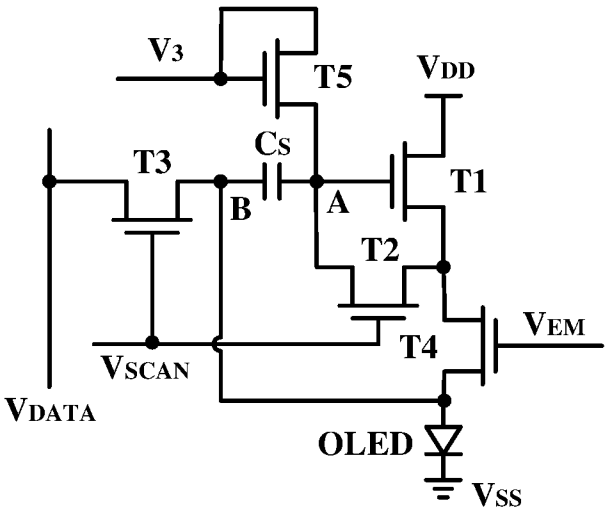

V3
T5
VDD
CS
T3
T1
B
A
T2
VEM
T4
VSCAN
VDATA
OLED
VSS

图 2a

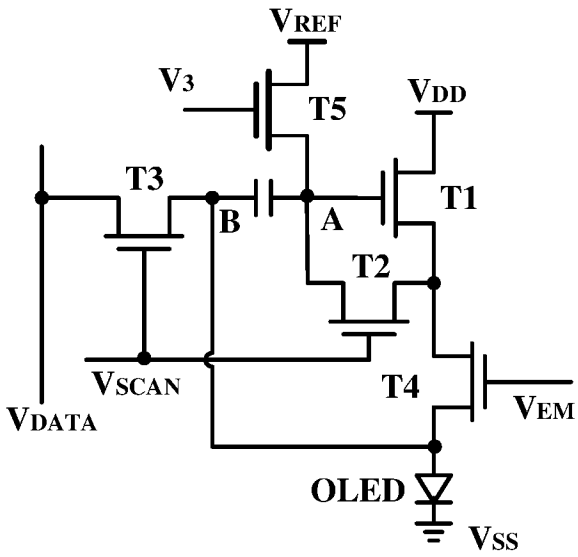

VREF
V3
T5
VDD
T3
B
A
T1
T2
VSCAN
T4
VEM
VDATA
OLED
VSS

图 2b

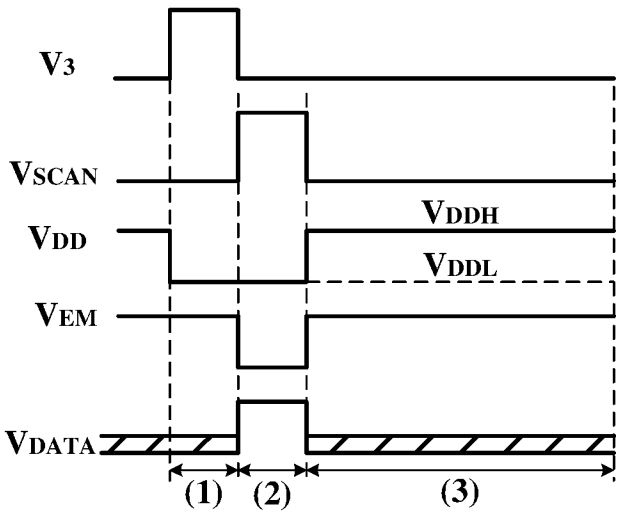

V3
VSCAN
VDDH
VDD
VDDL
VEM
VDATA
(1)
(2)
(3)

图 3a

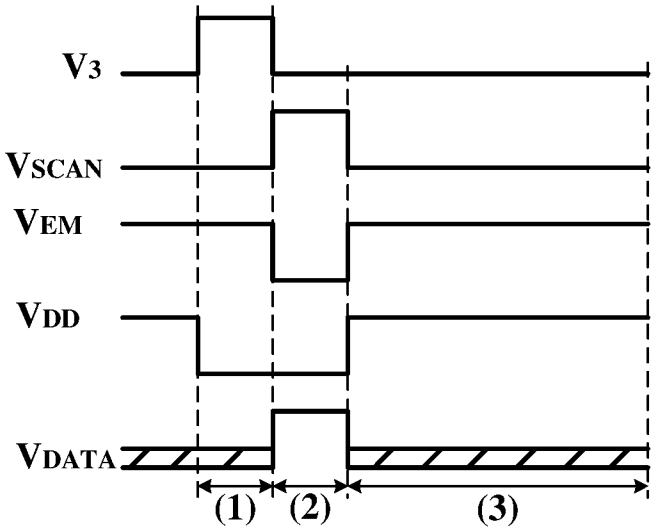

V3
VSCAN
VEM
VDD
VDATA
(1)
(2)
(3)

图 3b

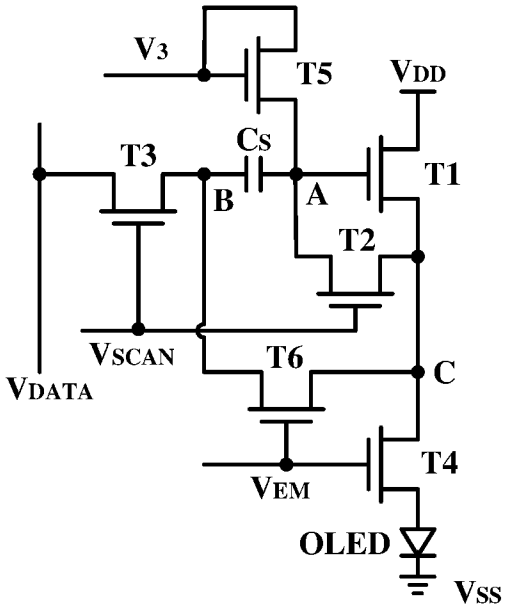

V3
T5
VDD
T3
CS
T1
B
A
T2
VSCAN
T6
C
VDATA
T4
VEM
OLED
VSS

图 4

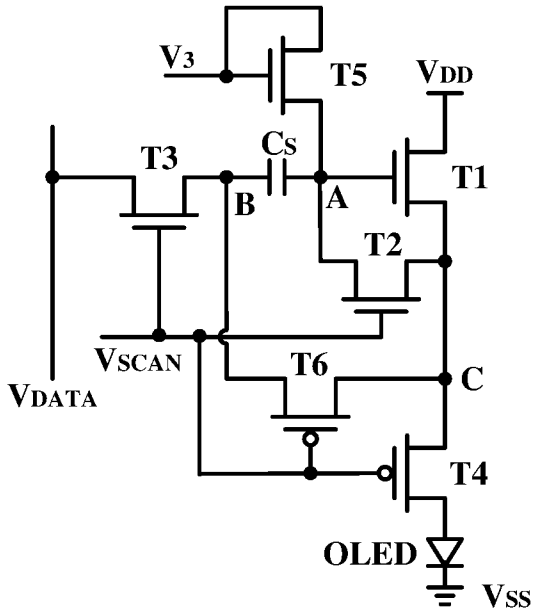

V3
T5
VDD
T3
CS
T1
B
A
T2
VSCAN
T6
C
VDATA
T4
OLED
VSS

图 5

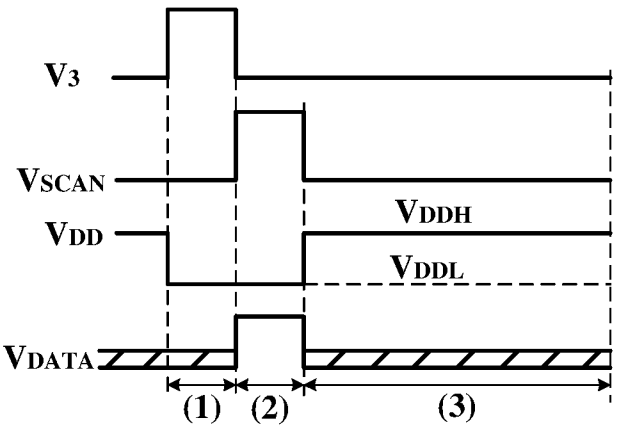

V3
VSCAN
VDDH
VDD
VDDL
VDATA
(1)
(2)
(3)

图 6

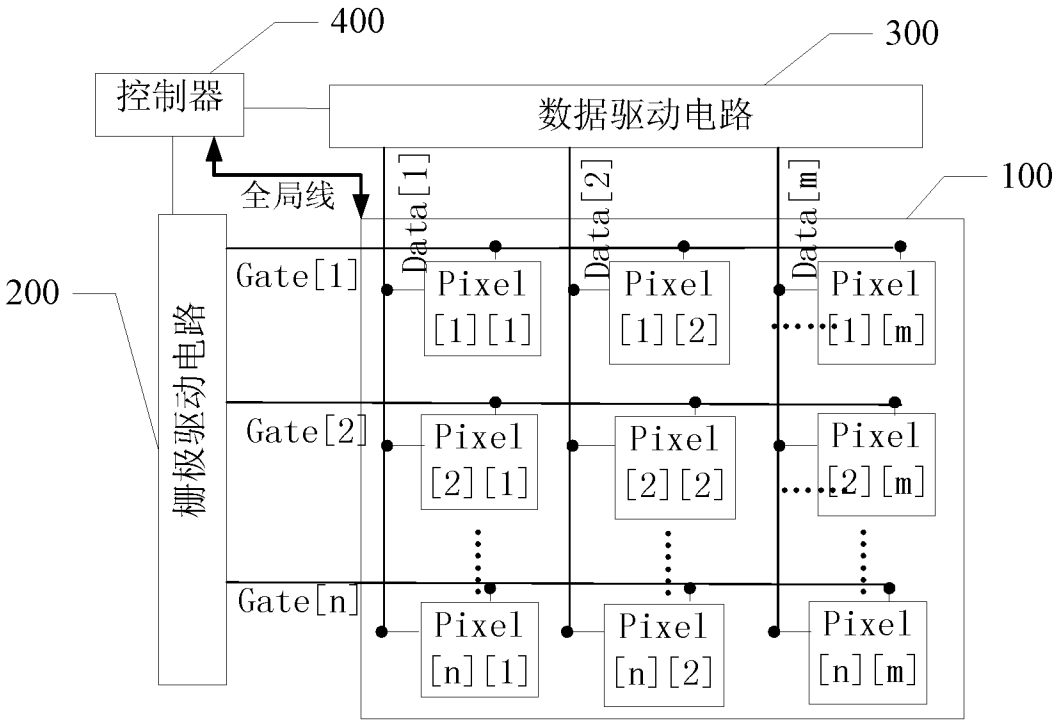

400
300
控制器
数据驱动电路
全局线
100
200
栅极驱动电路
Data[1]
Data[2]
Data[m]
Gate[1]
Gate[2]
Gate[n]
Pixel [1][1]
Pixel [1][2]
Pixel [1][m]
Pixel [2][1]
Pixel [2][2]
Pixel [2][m]
Pixel [n][1]
Pixel [n][2]
Pixel [n][m]

图 7

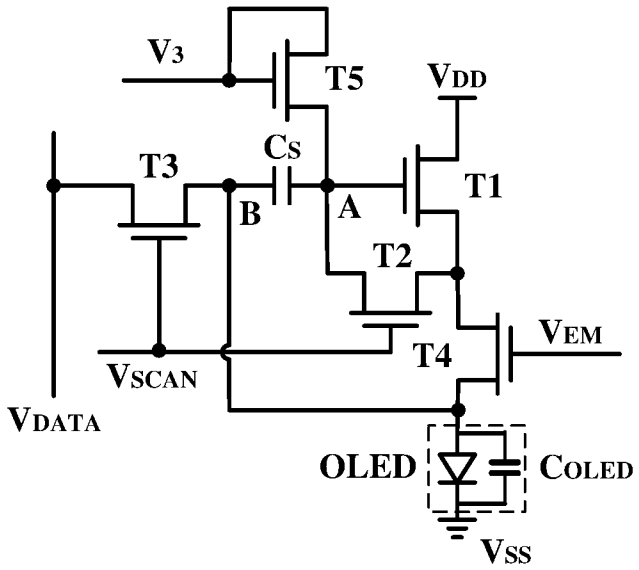

V3
T5
VDD
T3
CS
T1
B
A
T2
T4
VEM
VSCAN
VDATA
OLED
COLED
VSS

图 8

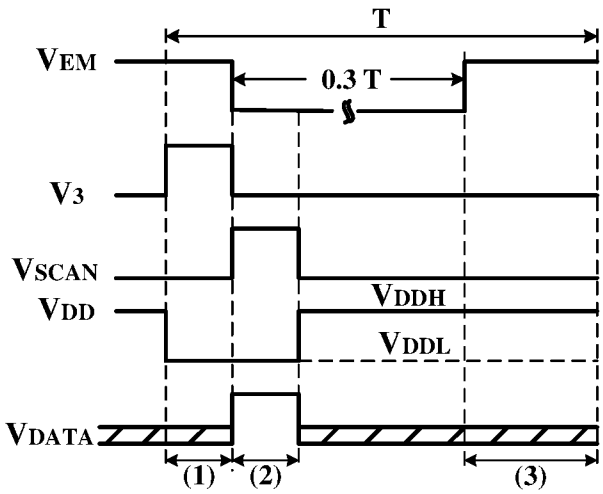


图 9

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2016/076962

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/32 (2016.01) i;

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G; H04N

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI, WPI, EPODOC: CHINA STAR, BOE, organic light-emitting, light-emitting element, compensation, drift, initialization, light-emitting, reference voltage, diode, OLED, organic, light, EL, threshold, pixel, initial, transistor, capacitor, Vref, Vem, Ven

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 104715724 A (PEKING UNIVERSITY SHENZHEN GRADUATE SCHOOL), 17 June 2015 (17.06.2015), claims 1-9, description, paragraphs [0033]-[0099], and figures 1-9	1-9
X	CN 102456318 A (LG DISPLAY CO., LTD.), 16 May 2012 (16.05.2012), description, paragraphs [0039]-[0046] and [0054]-[0063], and figures 4-5	8-9
A	CN 104157240 A (BOE TECHNOLOGY GROUP CO., LTD.), 19 November 2014 (19.11.2014), the whole document	1-9
A	CN 104167170 A (BOE TECHNOLOGY GROUP CO., LTD. et al.), 26 November 2014 (26.11.2014), the whole document	1-9
A	CN 102930824 A (BOE TECHNOLOGY GROUP CO., LTD.), 13 February 2013 (13.02.2013), the whole document	1-9
A	KR 20130055450 A (LG DISPLAY CO., LTD.), 28 May 2013 (28.05.2013), the whole document	1-9
A	US 2014320544 A1 (SAMSUNG DISPLAY CO., LTD.), 30 October 2014 (30.10.2014), the whole document	1-9

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
29 May 2016 (29.05.2016)	**17 June 2016 (17.06.2016)**
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer **LUO, Peng** Telephone No.: (86-10) **62414444**

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2016/076962

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 104715724 A	17 June 2015	None	
CN 102456318 A	16 May 2012	CN 102456318 B	03 December 2014
		US 2012098877 A1	26 April 2012
		KR 20120042084 A	03 May 2012
		DE 102011054634 A1	26 April 2012
		KR 101374477 B1	14 March 2014
		US 8749598 B2	10 June 2014
CN 104157240 A	19 November 2014	WO 2016011719 A1	28 January 2016
CN 104167170 A	26 November 2014	WO 2016004693 A1	14 January 2016
CN 102930824 A	13 February 2013	CN 102930824 B	15 April 2015
KR 20130055450 A	28 May 2013	None	
US 2014320544 A1	30 October 2014	US 9231039 B2	05 January 2016
		KR 20140127048 A	03 November 2014

国际检索报告

国际申请号
PCT/CN2016/076962

A. 主题的分类

G09G 3/32(2016.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G09G; H04N

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用））

CNPAT, CNKI, WPI, EPODOC: 华星，京东方，有机发光，发光元件，补偿，漂移，初始化，发光，参考电压，二极管，OLED, organic, light, EL, threshold, pixel, initial, transistor, capacitor, Vref, Vem, Ven

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
PX	CN 104715724 A (北京大学深圳研究生院) 2015年 6月 17日 (2015-06-17) 权利要求1-9，说明书第[0033]-[0099]段，图1-9	1-9
X	CN 102456318 A (乐金显示有限公司) 2012年 5月 16日 (2012-05-16) 说明书第[0039]-[0046]、[0054]-[0063]段，图4-5	8-9
A	CN 104157240 A (京东方科技集团股份有限公司) 2014年 11月 19日 (2014-11-19) 全文	1-9
A	CN 104167170 A (京东方科技集团股份有限公司 等) 2014年 11月 26日 (2014-11-26) 全文	1-9
A	CN 102930824 A (京东方科技集团股份有限公司) 2013年 2月 13日 (2013-02-13) 全文	1-9
A	KR 20130055450 A (LG DISPLAY CO., LTD.) 2013年 5月 28日 (2013-05-28) 全文	1-9
A	US 2014320544 A1 (SAMSUNG DISPLAY CO., LTD.) 2014年 10月 30日 (2014-10-30) 全文	1-9

☐ 其余文件在C栏的续页中列出。

☑ 见同族专利附件。

* 引用文件的具体类型：

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
2016年 5月 29日	2016年 6月 17日
ISA/CN的名称和邮寄地址	**受权官员**
中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088	罗朋
传真号 (86-10)62019451	电话号码 (86-10)62414444

表 PCT/ISA/210 (第2页) (2009年7月)

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2016/076962

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	104715724	A	2015年 6月 17日	无			
CN	102456318	A	2012年 5月 16日	CN	102456318	B	2014年 12月 3日
				US	2012098877	A1	2012年 4月 26日
				KR	20120042084	A	2012年 5月 3日
				DE	102011054634	A1	2012年 4月 26日
				KR	101374477	B1	2014年 3月 14日
				US	8749598	B2	2014年 6月 10日
CN	104157240	A	2014年 11月 19日	WO	2016011719	A1	2016年 1月 28日
CN	104167170	A	2014年 11月 26日	WO	2016004693	A1	2016年 1月 14日
CN	102930824	A	2013年 2月 13日	CN	102930824	B	2015年 4月 15日
KR	20130055450	A	2013年 5月 28日	无			
US	2014320544	A1	2014年 10月 30日	US	9231039	B2	2016年 1月 5日
				KR	20140127048	A	2014年 11月 3日