



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0116499
(43) 공개일자 2017년10월19일

(51) 국제특허분류(Int. Cl.)
H01F 41/04 (2006.01) H01F 17/00 (2006.01)
H01F 27/29 (2006.01) H05K 1/16 (2006.01)

(52) CPC특허분류
H01F 41/041 (2013.01)
H01F 17/0013 (2013.01)

(21) 출원번호 10-2016-0044334

(22) 출원일자 2016년04월11일
심사청구일자 없음

(71) 출원인
삼성전기주식회사
경기도 수원시 영통구 매영로 150 (매탄동)

(72) 발명자
이종윤
경기도 수원시 영통구 매영로 150 (매탄동)
방혜원
경기도 수원시 영통구 매영로 150 (매탄동)
(뒷면에 계속)

(74) 대리인
특허법인씨엔에스

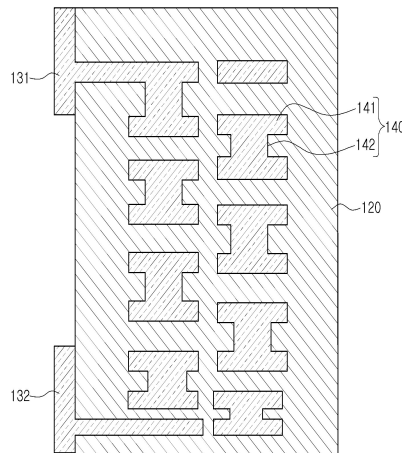
전체 청구항 수 : 총 9 항

(54) 발명의 명칭 인덕터 제조방법 및 인덕터

(57) 요약

본 발명의 일 실시형태는 감광성 특성을 가진 감광막을 이용하여 정교한 패턴 막을 갖는 단차를 형성하고, 상기 단차에 감광성 금속 페이스트에 비해 저항이 낮은 금속 페이스트를 채워 저항이 낮고 미세한 코일 패턴을 형성하는 인덕터 제조방법을 제공한다.

대표도 - 도3



(52) CPC특허분류

H01F 27/292 (2013.01)

H05K 1/165 (2013.01)

H01F 2017/002 (2013.01)

(72) 발명자

양진혁

경기도 수원시 영통구 매영로 150 (매탄동)

유영석

경기도 수원시 영통구 매영로 150 (매탄동)

명세서

청구범위

청구항 1

지지 부재 상에 패시베이션층(Passivation layer, PSV)을 도포하는 단계;
상기 패시베이션층 상에 DFR(Dry Film Resist)을 라미네이션하는 단계;
상기 DFR(Dry Film Resist)을 노광 및 현상하여 드라이 필름 패턴(Dry Film Pattern)을 형성하는 단계;
상기 드라이 필름 패턴(Dry Film Pattern) 상에 금속 페이스트를 인쇄하여 코일 패턴을 형성하는 단계;
상기 DFR(Dry Film Resist)을 제거하는 단계;
상기 코일 패턴 상에 패시베이션층(Passivation layer, PSV)을 도포하는 단계; 및
상기 패시베이션층(Passivation layer, PSV) 상에 비아를 가공하는 단계;를 포함하는 인덕터의 제조방법.

청구항 2

제 1항에 있어서,
상기 비아를 가공하는 단계 이후에,
상기 패시베이션층 상에 DFR(Dry Film Resist)을 라미네이션하는 단계;
상기 DFR(Dry Film Resist)을 노광 및 현상하여 드라이 필름 패턴(Dry Film Pattern)을 형성하는 단계;
상기 드라이 필름 패턴(Dry Film Pattern) 상에 금속 페이스트를 인쇄하여 코일 패턴을 형성하는 단계;
상기 DFR(Dry Film Resist)을 제거하는 단계; 및
상기 코일 패턴 상에 패시베이션층(Passivation layer, PSV)을 도포하는 단계;를 반복하여 적층체를 형성하는 인덕터의 제조방법.

청구항 3

제 2항에 있어서,
상기 코일 패턴 상에 패시베이션층(Passivation layer, PSV)을 도포하는 단계 이후에 적층체를 절단하고 소결하는 단계를 더 수행하는 인덕터의 제조방법.

청구항 4

제 3항에 있어서,
상기 적층체에서 지지 부재를 제거하고, 적층체의 외측에 외부전극을 형성하는 단계를 더 수행하는 인덕터의 제조방법.

청구항 5

제 1항에 있어서,

상기 금속 페이스트는 감광성 금속 페이스트 대비 저항이 낮은 인덕터의 제조방법.

청구항 6

제 1항에 있어서,

상기 비아를 가공하는 단계는 패시베이션층(Passivation layer, PSV)을 노광 및 현상하여 수행되는 인덕터의 제조방법.

청구항 7

제 1항에 있어서,

상기 드라이 필름 패턴(Dry Film Pattern) 상에 형성된 코일 패턴들은 상기 비아에 의해 서로 연결되는 인덕터의 제조방법.

청구항 8

코일부를 포함하는 바디와 상기 바디의 외측에 배치되며, 상기 코일부와 연결된 외부전극을 포함하며,

상기 코일부는 도전성 패턴과 도전성 비아를 가지며, 상기 도전성 패턴과 상기 도전성 비아는 감광성 금속 페이스트에 비해 저항이 낮은 금속 페이스트로 형성된 인덕터.

청구항 9

제 8항에 있어서,

상기 도전성 패턴 및 도전성 비아는 은(Ag)을 포함하는 인덕터.

발명의 설명

기술 분야

[0001] 본 발명은 실장형(SMD Type) 인덕터, 그 중에서도 특히 100MHz 이상의 고주파 대역에서 사용되는 인덕터의 제조 방법에 관한 것이다.

배경 기술

[0002] 칩 인덕터는 회로 기판에 실장되는 SMD(Surface Mount Device) 형태의 인덕터 부품이다.

[0003] 그 중에서 고주파용 인덕터는 100 MHz 이상의 고주파에서 사용되는 제품을 지칭한다.

[0004] 주로 Impedance matching용 LC회로에서 많이 사용된다. 최근 무선 통신 시장의 다밴드화 추세에 따라 다양한 주파수가 사용됨에 따라 매칭(matching) 회로의 수가 많이 늘어 고주파용 인덕터의 사용도 증가하고 있다.

[0005] 고주파 인덕터에서 가장 중요한 기술적 동향은 High-Q 특성을 갖는 것이다. 이때, $Q=wL/R$ 로 나타내어진다. 즉, Q 값은 주어진 주파수 대역에서의 인덕턴스(L)과 저항(R)의 비율을 의미한다. 특히, 전자부품의 소형화 추세 때문에 소자의 크기는 작게 하면서 Q는 크게 만드는 것이 중요하다.

[0006] 임피던스 매칭(Impedance Matching) 회로에 사용되는 부품이므로 고주파용 인덕터는 특정한 규격 용량(Inductance, L)에 맞추어 제품을 제조한다.

[0007] High-Q 특성을 구현한다는 것은 일정한 규격 용량(L)에서 보다 높은 Q값의 소자부품을 만드는 것이다.

[0008] 보다 높은 Q를 유지하면서 크기가 작고 얇은 제품을 얻기 위해서, 인덕터 코일의 미세화 및 코일간 정교한 정합

이 필요하다.

- [0010] 현재, 고주파용 인덕터 공정시 감광성 금속 페이스트를 사용하고 있다.
- [0011] 이는 정확한 정합과 제작 후 인덕터 형상을 일정하게 유지할 수 있는 장점이 있으나, 금속 페이스트 상에 감광성 특성을 부여하여야 하므로 일반적인 금속 페이스트에 비해 저항이 크다. 이는 인덕터 특성상 Q 값에 영향을 미쳐 인덕터의 특성 향상에 한계가 있다.
- [0012] 또한, 금속 페이스트에 부여한 감광성 특성이 고유한 감광성 특성에 비해 저하되는 문제가 있어 일반적인 감광막에 비하여 해상도가 떨어지는 문제가 있다.

발명의 내용

해결하려는 과제

- [0014] 본 발명은 인덕터, 특히 고주파용 인덕터에 관한 것이다.
- [0015] 상술한 바와 같이 종래의 적층 세라믹 기술에서는 도선의 두께를 높이고 단차를 해소하는 것이 어렵다.
- [0016] 본 발명은 적층 세라믹 기술과는 다른 유기 절연체를 이용한 공법을 제시하며, 이러한 공법으로 회로코일(도선)의 두께 증가 및 단차 해소 등의 기술적 난제를 해결할 수 있는 칩 인덕터, 특히 고주파용 칩 인덕터에 관한 것이다.

과제의 해결 수단

- [0017] 본 발명의 일 실시형태는 지지 부재 상에 패시베이션층(Passivation layer, PSV)을 도포하는 단계, 상기 패시베이션층 상에 DFR(Dry Film Resist)을 라미네이션하는 단계, 상기 DFR(Dry Film Resist)을 노광 및 현상하여 드라이 필름 패턴(Dry Film Pattern)을 형성하는 단계, 상기 드라이 필름 패턴(Dry Film Pattern) 상에 금속 페이스트를 인쇄하여 코일 패턴을 형성하는 단계, 상기 DFR(Dry Film Resist)을 제거하는 단계, 상기 코일 패턴 상에 패시베이션층 (Passivation layer, PSV)을 도포하는 단계 및 상기 패시베이션층(Passivation layer, PSV) 상에 비아를 가공하는 단계를 포함하는 인덕터의 제조방법을 제공한다.
- [0019] 본 발명의 다른 실시형태는 코일부를 포함하는 바디와 상기 바디의 외측에 배치되며, 상기 코일부와 연결된 외부전극을 포함하며, 상기 코일부는 도전성 패턴과 도전성 비아를 가지며, 상기 도전성 패턴과 상기 도전성 비아는 감광성 금속 페이스트에 비해 저항이 낮은 금속 페이스트로 형성된 인덕터를 제공한다.

발명의 효과

- [0021] 본 발명의 일 실시형태에 의하면 감광성 특성을 가진 감광막을 이용하여 정교한 패턴 막을 갖는 단차를 형성하고, 상기 단차에 감광성 금속 페이스트에 비해 저항이 낮은 금속 페이스트를 채워 저항이 낮고 미세한 코일 패턴을 형성할 수 있다.
- [0022] 본 발명의 일 실시형태에 의하면 코일 패턴의 저항이 낮아 Q 특성이 우수한 인덕터를 구현할 수 있다.

도면의 간단한 설명

- [0024] 도 1a 내지 도 1s는 본 발명의 일 실시형태에 따른 인덕터 제조 공정도이다.
- 도 2는 도 1b 내지 도 1s의 단계를 반복하여 적층된 바디의 단면도이다.
- 도 3은 도 2의 바디에 외부전극을 형성한 인덕터의 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0025] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시형태들을 설명한다.
- [0026] 그러나, 본 발명의 실시형태는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 이하 설명하는 실시형태로 한정되는 것은 아니다. 또한, 본 발명의 실시형태는 당해 기술 분야에서 평균적인 지식을 가진 자에게 본 발명을 더욱 완전하게 설명하기 위해서 제공되는 것이다. 따라서, 도면에서의 요소들의 형상 및 크기 등은 명확한 설명을 위해 과장될 수 있으며, 도면상의 동일한 부호로 표시되는 요소는 동일한 요소이다.
- [0028] 이하에서는, 본 발명의 일 실시형태에 따른 인덕터를 제작하는 실시예에 대하여 설명하지만, 본 발명이 이러한 실시예로 한정되는 것은 아니다.
- [0030] 도 1a 내지 도 1s는 본 발명의 일 실시형태에 따른 인덕터 제조 공정도이다.
- [0032] **인덕터의 제조방법**
- [0034] 본 발명의 일 실시형태에 따르면, 지지 부재 상에 패시베이션층(Passivation layer, PSV)을 도포하는 단계, 상기 패시베이션층 상에 DFR(Dry Film Resist)을 라미네이션하는 단계, 상기 DFR(Dry Film Resist)을 노광 및 현상하여 드라이 필름 패턴(Dry Film Pattern)을 형성하는 단계, 상기 드라이 필름 패턴(Dry Film Pattern) 상에 금속 페이스트를 인쇄하여 코일 패턴을 형성하는 단계, 상기 DFR(Dry Film Resist)을 제거하는 단계, 상기 코일 패턴 상에 패시베이션층 (Passivation layer, PSV)을 도포하는 단계 및 상기 패시베이션층(Passivation layer, PSV) 상에 비아를 가공하는 단계를 포함하는 인덕터의 제조방법을 제공한다.
- [0036] 이하 각 단계별로 자세히 설명하도록 한다.
- [0038] 1. 지지 부재 상에 패시베이션층(Passivation layer, PSV)을 도포하는 단계
- [0039] 도 1a를 참조하면, 지지 부재는 기판(10)과 기판(10) 상에 부착된 접착제(11)로 구성되며, 상기 접착제(11)는 발포 테입일 수 있다.
- [0040] 기판(10)은 특별히 제한되지 않으며, 지지할 수 있는 강성을 가진 부재이면 제한 없이 사용 가능하다.
- [0041] 상기 지지 부재 상에 패시베이션층(Passivation layer, PSV)(20)을 도포한다.
- [0043] 2. 상기 패시베이션층 상에 DFR(Dry Film Resist)을 라미네이션하는 단계
- [0044] 도 1b를 참조하면, 회로 패턴을 형성하기 위하여 패시베이션층(Passivation layer, PSV)(20) 상에 드라이 필름 레지스트(DFR)(30)을 라미네이션한다. DFR(Dry Film Resist)(30)은 노광/현상을 위한 부자재이다.
- [0046] 3. 상기 DFR(Dry Film Resist)을 노광 및 현상하여 드라이 필름 패턴(Dry Film Pattern)을 형성하는 단계
- [0047] 도 1c 및 도 1d를 참조하면, 노광/현상 공정을 통하여 상기 DFR(Dry Film Resist)(30)을 노광 및 현상하여 드라이 필름 패턴(Dry Film Pattern)을 형성한다.
- [0049] 4. 상기 드라이 필름 패턴(Dry Film Pattern) 상에 금속 페이스트를 인쇄하여 코일 패턴을 형성하는 단계
- [0050] 도 1e를 참조하면, 상기 드라이 필름 패턴(Dry Film Pattern) 상에 금속 페이스트를 인쇄하여 코일 패턴(40)을

형성한다.

- [0051] 상기 금속 페이스트는 감광성 금속 페이스트 대비 저항이 낮은 금속을 포함한다.
- [0052] 일반적으로, 고주파용 인덕터 공정시 감광성 금속 페이스트를 사용하고 있다.
- [0053] 이는 정확한 정합과 제작 후 인덕터 형상을 일정하게 유지할 수 있는 장점이 있으나, 금속 페이스트 상에 감광성 특성을 부여하여야 하므로 일반적인 금속 페이스트에 비해 저항이 크다. 저항이 클 경우, 인덕터 특성상 Q 값에 영향을 미쳐 인덕터의 특성 향상에 한계가 있다.
- [0054] 또한, 금속 페이스트에 부여한 감광성 특성이 고유한 감광성 특성에 비해 저하되는 문제가 있어 일반적인 감광막에 비하여 해상도가 떨어지는 문제가 있다.
- [0055] 본 발명의 일 실시형태에 따르면, 감광성 금속 페이스트 대비 저항이 낮은 금속을 포함하는 금속 페이스트를 인쇄하여 코일 패턴(40)을 형성하기 때문에, 미세한 코일 패턴을 형성할 수 있다.
- [0056] 또한, 코일 패턴의 저항이 낮아 Q 특성이 우수한 인덕터를 구현할 수 있다.

- [0058] 5. 상기 DFR(Dry Film Resist)을 제거하는 단계
- [0059] 도 1f를 참조하면, DFR(Dry Film Resist)(30)을 제거하여 코일 패턴(40)을 완성한다.

- [0061] 6. 상기 코일 패턴 상에 패시베이션층 (Passivation layer, PSV)을 도포하는 단계
- [0062] 도 1g를 참조하면, 상기 코일 패턴(40) 상에 패시베이션층 (Passivation layer, PSV)(20)을 도포한다.
- [0063] 상기 패시베이션층 (Passivation layer, PSV)(20)은 도 1b에서 도포한 패시베이션층과 동일하다.

- [0065] 7. 상기 패시베이션층(Passivation layer, PSV) 상에 비아를 가공하는 단계
- [0066] 도 1g를 참조하면, 상기 패시베이션층(Passivation layer, PSV)(20) 상에 비아를 가공한다.
- [0067] 상기 비아의 가공은 마스크를 이용하여 비아가 형성될 부분을 가리고 노광한 후 현상하여 비아를 형성한다.

- [0069] 8. 상기 패시베이션층 상에 DFR(Dry Film Resist)을 라미네이션하는 단계
- [0070] 도 1h를 참조하면, 상부 회로 패턴을 형성하기 위하여 패시베이션층 (Passivation layer, PSV)(20) 상에 드라이 필름 레지스트(DFR)(30)을 라미네이션한다. DFR(Dry Film Resist)(30)은 노광/현상을 위한 부자재이다.

- [0072] 9. 상기 DFR(Dry Film Resist)을 노광 및 현상하여 드라이 필름 패턴(Dry Film Pattern)을 형성하는 단계
- [0073] 도 1i 및 도 1j를 참조하면, 노광/현상 공정을 통하여 상기 DFR(Dry Film Resist)(30)을 노광 및 현상하여 드라이 필름 패턴(Dry Film Pattern)을 형성한다.

- [0075] 10. 상기 드라이 필름 패턴(Dry Film Pattern) 상에 금속 페이스트를 인쇄하여 코일 패턴을 형성하는 단계
- [0076] 도 1k를 참조하면, 상기 드라이 필름 패턴(Dry Film Pattern) 상에 금속 페이스트를 인쇄하여 코일 패턴(40)을 형성한다.

- [0078] 11. 상기 DFR(Dry Film Resist)을 제거하는 단계
- [0079] 도 1l을 참조하면, DFR(Dry Film Resist)(30)을 제거하여 코일 패턴(40)을 완성한다.

- [0081] 12. 상기 코일 패턴 상에 패시베이션층 (Passivation layer, PSV)을 도포하는 단계
- [0082] 도 1m을 참조하면, 상기 코일 패턴(40) 상에 패시베이션층 (Passivation layer, PSV)(20)을 도포한다.
- [0083] 상기 패시베이션층 (Passivation layer, PSV)(20)은 도 1b에서 도포한 패시베이션층과 동일하다.
- [0085] 13. 상기 패시베이션층(Passivation layer, PSV) 상에 비아를 가공하는 단계
- [0086] 도 1n을 참조하면, 상기 패시베이션층(Passivation layer, PSV)(20) 상에 비아를 가공한다.
- [0087] 상기 비아의 가공은 마스크를 이용하여 비아가 형성될 부분을 가리고 노광한 후 현상하여 비아를 형성한다.
- [0089] 14. 상기 패시베이션층 상에 DFR(Dry Film Resist)을 라미네이션하는 단계
- [0090] 도 1o를 참조하면, 상부 회로 패턴을 형성하기 위하여 패시베이션층 (Passivation layer, PSV)(20) 상에 드라이 필름 레지스트(DFR)(30)을 라미네이션한다.
- [0092] 15. 상기 DFR(Dry Film Resist)을 노광 및 현상하여 드라이 필름 패턴(Dry Film Pattern)을 형성하는 단계
- [0093] 도 1p 및 도 1q를 참조하면, 노광/현상 공정을 통하여 상기 DFR(Dry Film Resist)(30)을 노광 및 현상하여 드라이 필름 패턴(Dry Film Pattern)을 형성한다.
- [0095] 16. 상기 드라이 필름 패턴(Dry Film Pattern) 상에 금속 페이스트를 인쇄하여 코일 패턴을 형성하는 단계
- [0096] 도 1r을 참조하면, 상기 드라이 필름 패턴(Dry Film Pattern) 상에 금속 페이스트를 인쇄하여 코일 패턴(40)을 형성한다.
- [0098] 17. 상기 DFR(Dry Film Resist)을 제거하는 단계
- [0099] 도 1s를 참조하면, DFR(Dry Film Resist)(30)을 제거하여 상부층 코일 패턴(40)을 완성한다.
- [0101] 18. 일괄 적층
- [0102] 상기 공정을 반복함으로써, 상기 드라이 필름 패턴(Dry Film Pattern) 상에 형성된 코일 패턴(40)들이 상기 비아에 의해 서로 연결되도록 적층하여 적층체를 형성한다. 상기 코일 패턴(40) 중 최상부층 코일 패턴(40) 상에는 패시베이션층(Passivation layer, PSV)을 도포함으로써, 적층체를 형성한다.
- [0104] 도 2는 도 1b 내지 도 1s의 단계를 반복하여 적층된 바디의 단면도이다.
- [0105] 도 2를 참조하면, 상기 코일 패턴(40) 상에 패시베이션층(Passivation layer, PSV)을 도포하는 단계 이후에 적층체를 절단하고 소결함으로써 바디를 형성할 수 있다.
- [0107] 도 3은 도 2의 바디에 외부전극을 형성한 인덕터의 단면도이다.
- [0109] 도 3을 참조하면, 상기 적층체에서 지지 부재를 제거하고, 바디(120)의 외측에 외부전극(131, 132)을 형성하는 단계를 더 수행함으로써, 바디(120) 내부에 코일부(140)를 포함하고, 외측에 외부전극(131, 132)이 배치된 인덕터를 제조할 수 있다.

[0111] **인덕터**

[0113] 본 발명의 다른 실시형태에 따른 인덕터는 코일부(140)를 포함하는 바디(120)와 상기 바디(120)의 외측에 배치된 외부전극(131, 132)을 포함한다.

[0114] 또한, 상기 코일부(140)는 도전성 패턴(141)과 도전성 비아(142)를 갖는다.

[0116] 상기 도전성 패턴(141)과 상기 도전성 비아(142)는 감광성 금속 페이스트에 비해 저항이 낮은 금속 페이스트로 형성될 수 있다.

[0118] 인덕터의 바디(120)는 글라스 세라믹(Glass Ceramic), Al_2O_3 , 페라이트(Ferrite) 등의 세라믹 재료로 형성되며, 다만 이에 제한되는 것은 아니며, 유기 성분을 포함할 수도 있다.

[0120] 상기 도전성 패턴(141)과 도전성 비아(142)는 은(Ag)으로 이루어질 수 있다.

[0122] 한편, 상기 코일부(140)는 인덕터의 실장면에 수직인 형태로 배치될 수 있으나, 반드시 이에 제한되는 것은 아니다.

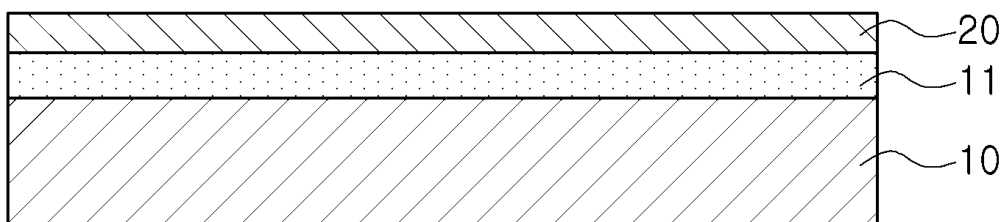
[0124] 이상에서 본 발명의 실시 형태에 대하여 상세하게 설명하였지만 본 발명의 권리 범위는 이에 한정되는 것은 아니고, 청구 범위에 기재된 본 발명의 기술적 사항을 벗어나지 않는 범위 내에서 다양한 수정 및 변형이 가능하다는 것은 당 기술 분야의 통상의 지식을 가진 자에게는 자명할 것이다.

부호의 설명

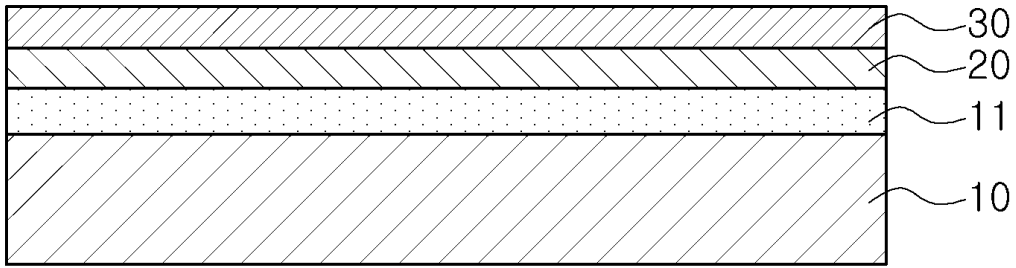
- [0126] 120: 바디
 140: 코일부 141: 도전성 패턴
 142: 도전성 비아
 131, 132: 외부전극

도면

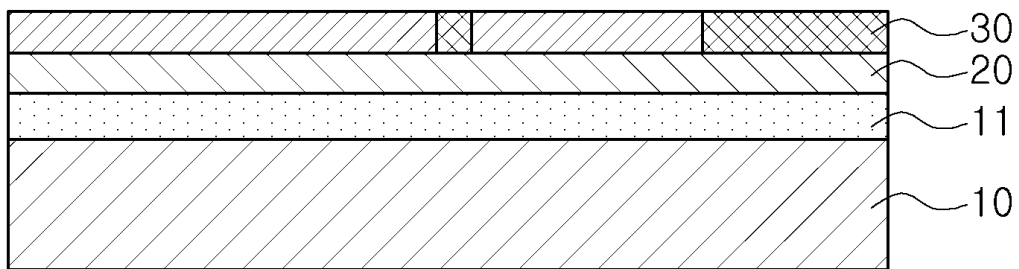
도면1a



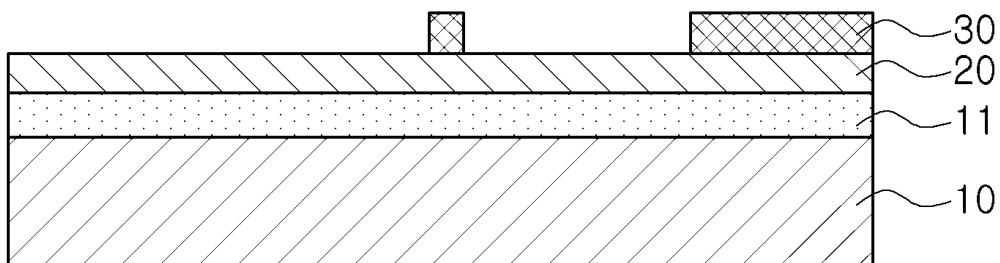
도면1b



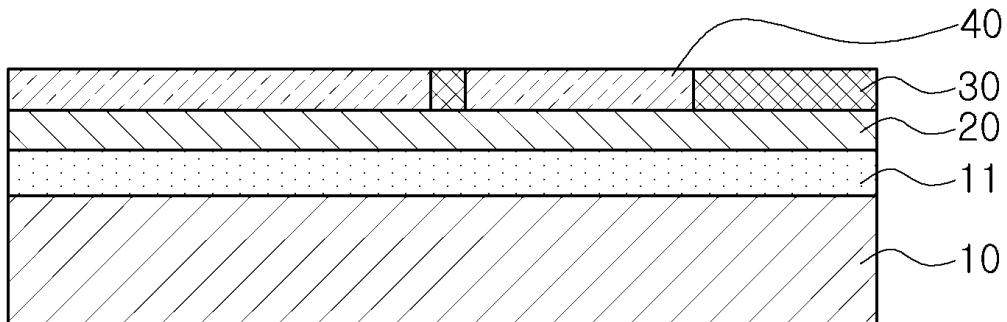
도면1c



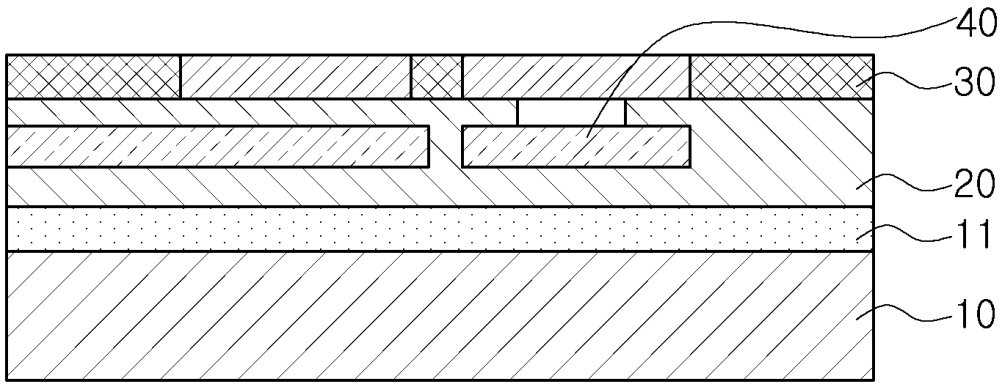
도면1d



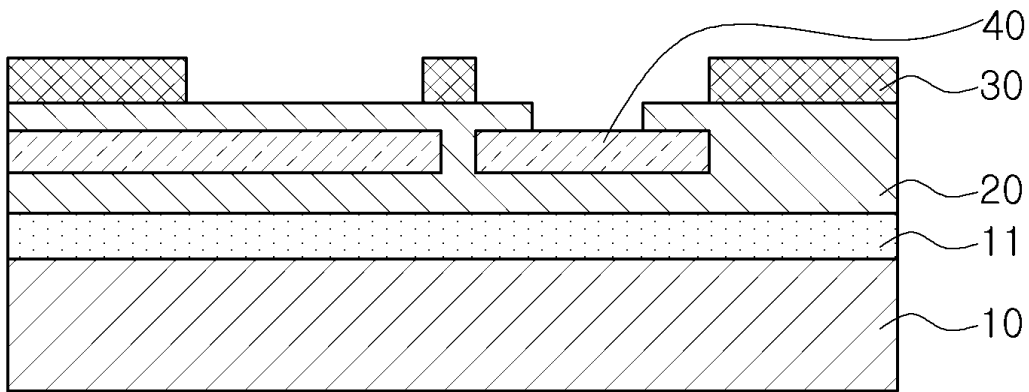
도면1e



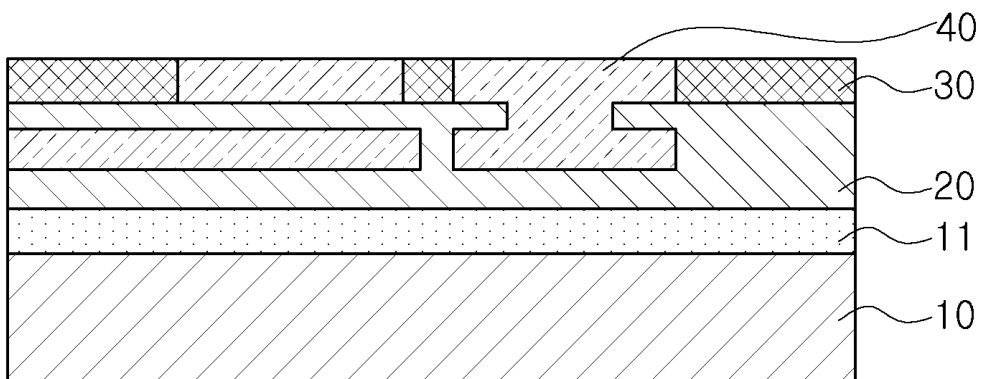
도면1i



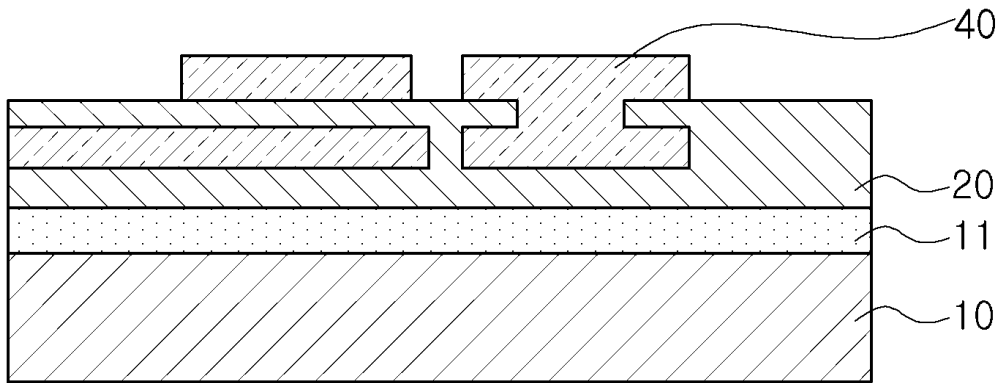
도면1j



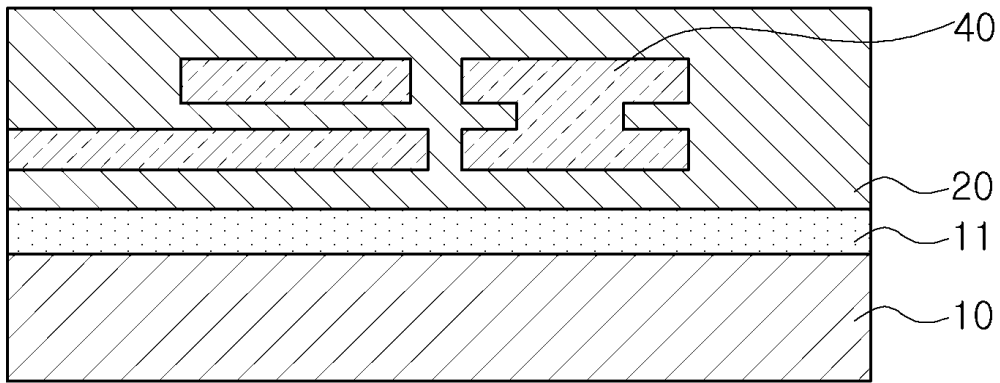
도면1k



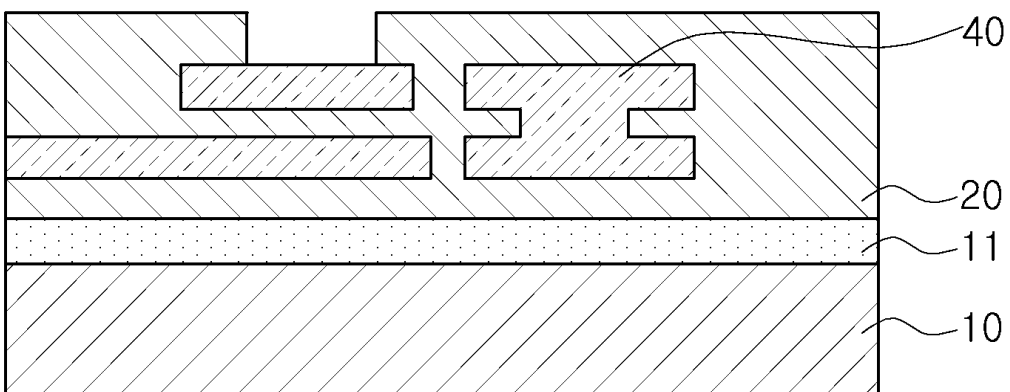
도면11



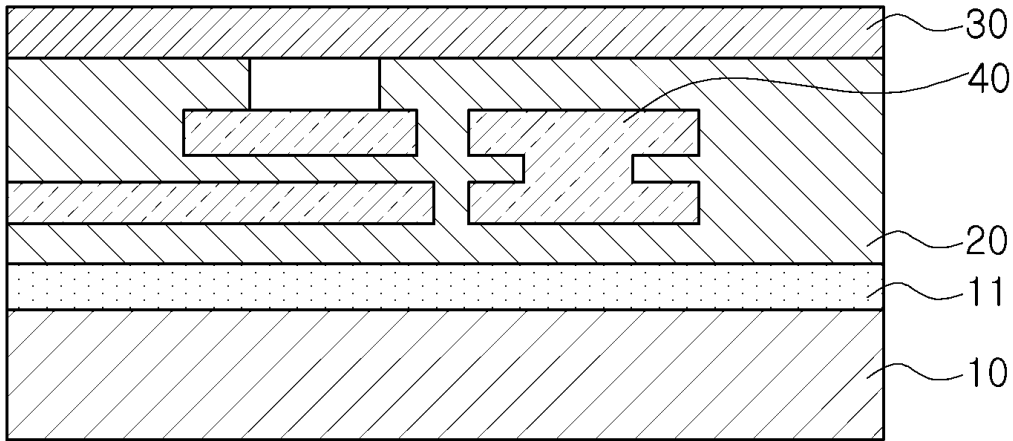
도면1m



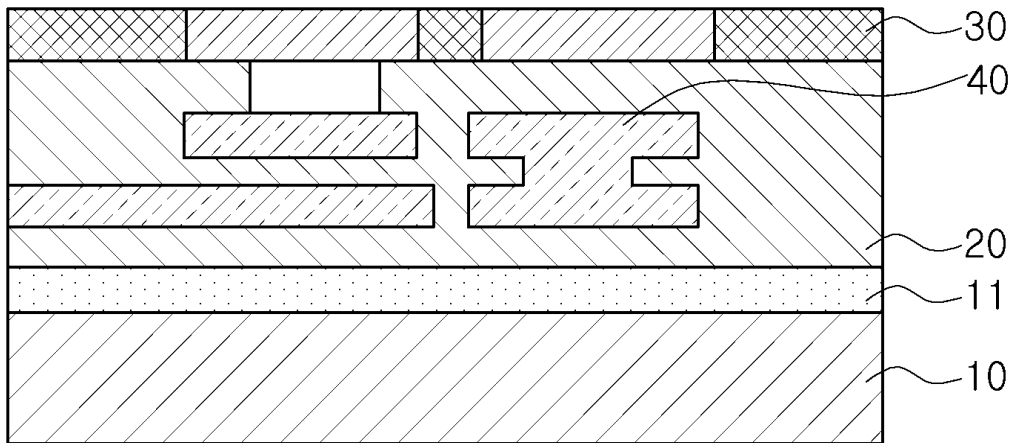
도면1n



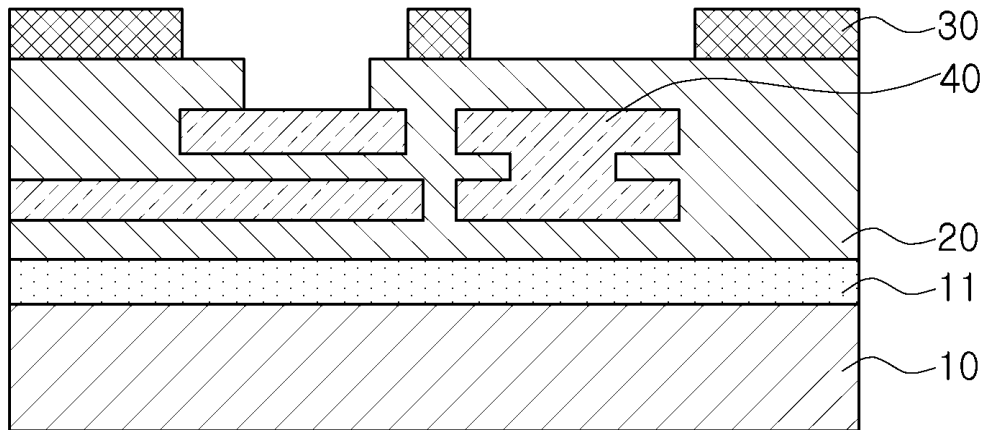
도면1o



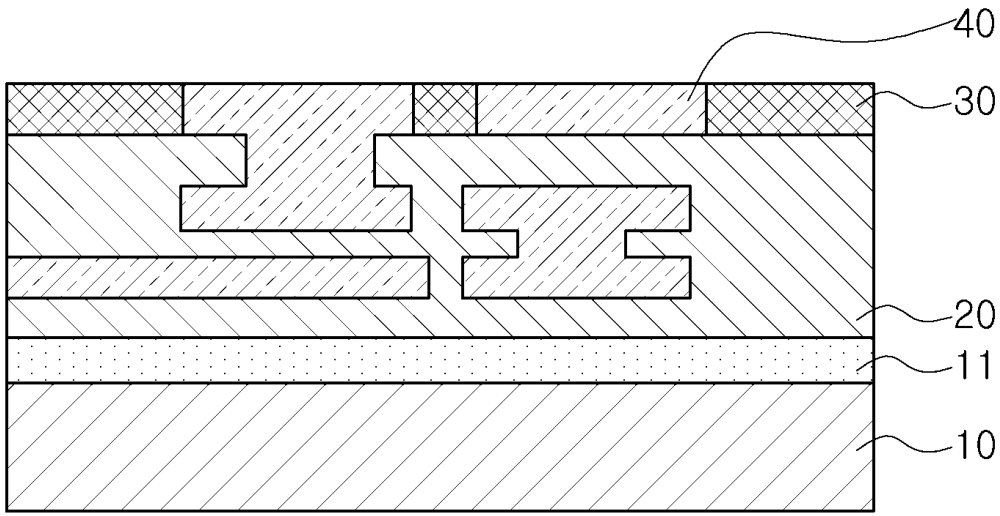
도면1p



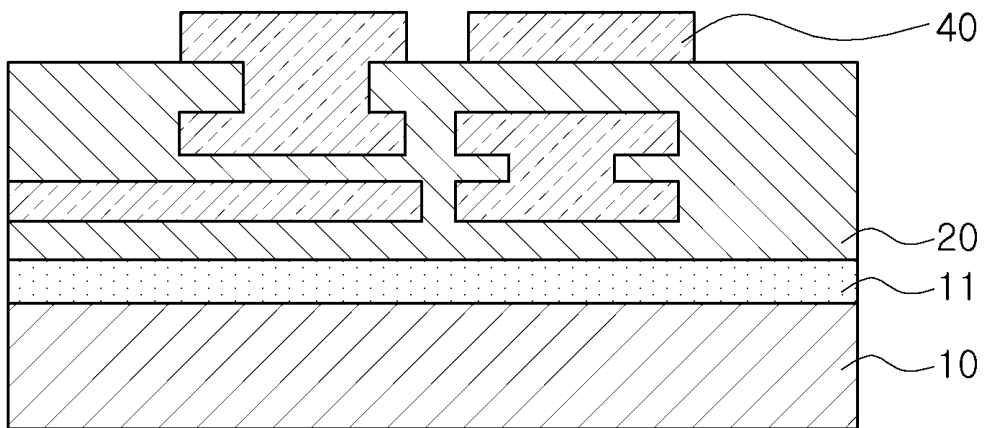
도면1q



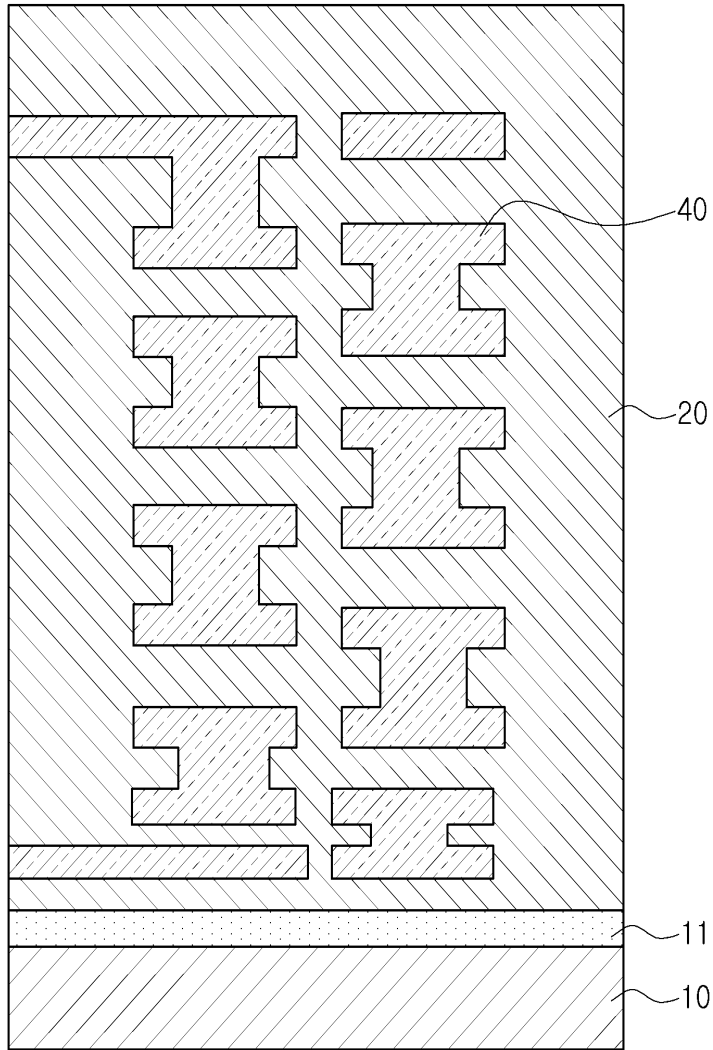
도면1r



도면1s



도면2



도면3

