

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2014 年 8 月 21 日 (21.08.2014)



(10) 国际公布号
WO 2014/124571 A1

- (51) 国际专利分类号:
G11C 19/28 (2006.01)
- (21) 国际申请号: PCT/CN2013/074026
- (22) 国际申请日: 2013 年 4 月 10 日 (10.04.2013)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201310052702.X 2013 年 2 月 18 日 (18.02.2013) CN
- (71) 申请人: 合肥京东方光电科技有限公司 (HEFEI BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国安徽省合肥市铜陵北路 2177 号, Anhui 230012 (CN)。京东方科技集团股份有限公司 (BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN]; 中国北京市朝阳区酒仙桥路 10 号, Beijing 100015 (CN)。
- (72) 发明人: 胡祖权 (HU, Zuquan); 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。王国磊 (WANG, Guolei); 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。马睿 (MA, Rui); 中国北京市经济技术开发区地泽路 9 号, Beijing 100176

(CN)。胡明 (HU, Ming); 中国北京市经济技术开发区地泽路 9 号, Beijing 100176 (CN)。

- (74) 代理人: 北京市柳沈律师事务所 (LIU, SHEN & ASSOCIATES); 中国北京市朝阳区北辰东路 8 号汇宾大厦 A0601, Beijing 100101 (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO,

[见续页]

(54) Title: BIDIRECTIONAL SHIFTING REGISTER UNIT, BIDIRECTIONAL SHIFTING REGISTER, AND DISPLAY DEVICE

(54) 发明名称: 双向移位寄存器单元、双向移位寄存器及显示装置

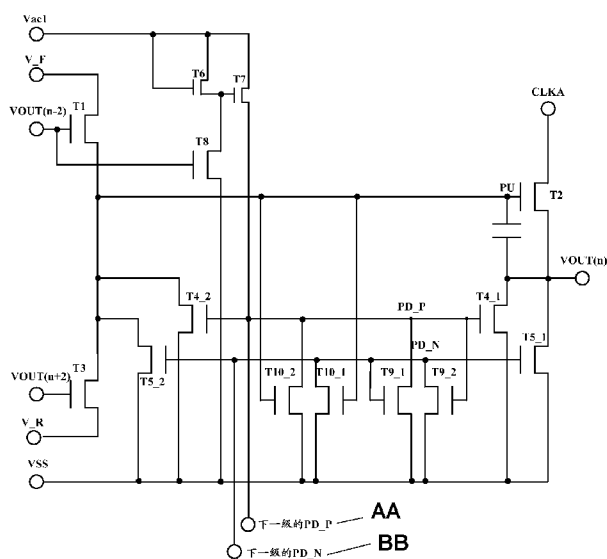


图 1 /FIG. 1

AA PD_P at a next level
BB PD_N at a next level

(57) Abstract: Disclosed are a bidirectional shifting register unit, a bidirectional shifting register, and a display device. The bidirectional shifting register unit has a pull-up module comprising a capacitor unit and TFTs, wherein one end of the capacitor unit is connected with an output node at a corresponding level, and the other end of the capacitor unit is connected with a pull-up node. The bidirectional shifting register unit also comprises two TFTs that can be exchanged as a precharge control unit and a reset control unit when scanning directions are different. The bidirectional shifting register unit also comprises a pull-down module which is used for pulling down electric potentials of the output node at the corresponding level and the pull-up node during a pull-down stage, wherein the pull-down module comprises a first pull-down submodule and a second pull-down submodule which work in turn during the pull-down stage. The present invention prolongs the service life of the bidirectional shifting register unit.

(57) 摘要: 本发明公开了一种双向移位寄存器单元、双向移位寄存器及显示装置, 该双向移位寄存器单元具有包括电容单元和 TFT 的上拉模块, 所述电容单元的一端与本级输出节点连接, 另一端与上拉节点连接, 所述双向移位寄存器单元还包括能够在扫描方向不同时, 进行互换以作为预充电控制单元和复位控制单元的两个 TFT, 所述双向移位寄存器单元还包括下拉模块, 用于在下拉阶段拉低所述本级输出节点连接和上拉节点的电位, 所述下拉模块包括在下拉阶段交替工作的第一下拉子模块和第二下拉子模块。本发明提高了双向移位寄存器单元的寿命。

器单元还包括一下拉模块, 用于在下拉阶段拉低所述本级输出节点连接和上拉节点的电位, 所述下拉模块包括在下拉阶段交替工作的第一下拉子模块和第二下拉子模块。本发明提高了双向移位寄存器单元的寿命。

WO 2014/124571 A1



RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, **本国际公布:**

CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG)。

— 包括国际检索报告(条约第 21 条(3))。

双向移位寄存器单元、双向移位寄存器及显示装置

技术领域

5 本发明涉及移位寄存器，特别是一种双向移位寄存器单元、双向移位寄存器及显示装置。

背景技术

集成栅极移位寄存器将栅极脉冲输出寄存器集成在面板上，从而节省了 IC，降低了成本。集成栅极移位寄存器的实现方法有很多种，可以包含不同
10 多个晶体管和电容，常用的有 12T1C，9T1C，13T1C 等结构。

一般而言，一个移位寄存器由多级移位寄存器单元组成，而每一级移位寄存器单元只是在极短的时间内输出一个高电平信号，而在其他时间都会输出低电平信号，通常为 VSS 信号。

15 现有技术的双向移位寄存器至少存在产品寿命较低的缺点，对此说明如下。

前面已经提到，每一级移位寄存器单元只是在极短的时间内输出一个高电平信号，而在其他时间都会输出低电平信号，为了保证移位寄存器单元输出低电平信号，则需要向上拉节点和输出节点输出低电平信号，通常为 VSS。也就是说，向上拉节点和输出节点输出低电平信号的时间非常长，这个时间
20 通常占到 99%以上。

而同时，该 VSS 信号都是通过下拉晶体管输出，这就需要下拉晶体管处于高电平导通的状态，以输出 VSS 信号到上拉节点和输出节点。

从以上描述可以发现，下拉晶体管的栅极上长期处于高电平状态，这就会导致使得下拉晶体管比双向移位寄存器单元中的其他晶体管老化更快，缩
25 短了产品的使用寿命。

发明内容

本发明实施例提供了一种双向移位寄存器单元、双向移位寄存器及显示装置，提高移位寄存器的寿命。

30 本发明实施例提供了一种双向移位寄存器单元，所述移位寄存器单元具有包括电容单元和 TFT 的上拉模块，所述电容单元的一端与本级输出节点连

接，另一端与上拉节点连接，所述双向移位寄存器单元还包括能够在扫描方向不同时，进行互换以分别作为预充电控制单元和复位控制单元的至少两个 TFT，所述双向移位寄存器单元还包括一下拉模块，用于在下拉阶段拉低所述本级输出节点和上拉节点的电位，所述下拉模块包括在下拉阶段交替工作的第一下拉子模块和第二下拉子模块。

根据一实施例，在上述的双向移位寄存器单元中，第一下拉子模块具有对应的第一下拉子节点，第二下拉子模块具有对应的第二下拉子节点，每一个下拉子模块包括：

第一 TFT，源极与低电位输入节点连接，漏极与本级输出节点连接，栅极与对应的下拉子节点连接；

第二 TFT，源极与低电位输入节点连接，漏极与上拉节点连接，栅极与对应的下拉子节点连接；

根据一实施例，所述双向移位寄存器单元还包括：

一拉高模块，用于在下拉阶段拉高所述第一下拉子节点和第二下拉子节点中的一个下拉子节点的电位；

对应于每一个下拉子节点对应设置的第一关联单元，用于在对应的下拉子节点处于高电平时，拉低另一个下拉子节点的电平；

根据一实施例，在上述的双向移位寄存器单元中，基于所述双向移位寄存器单元形成的移位寄存器中，相邻移位寄存器单元的第一下拉子节点相互连接，第二下拉子节点相互连接，且相邻移位寄存器单元的拉高模块与不同的下拉子节点连接，且输出高电平信号的时间相互错开。

根据一实施例，在上述的双向移位寄存器单元中，每一个第一关联单元均包括一 TFT，源极与低电位输入节点连接，栅极与对应的下拉子节点连接，漏极与另一个下拉子节点连接。

根据一实施例，在上述的双向移位寄存器单元中，还包括：

对应于每一个下拉子节点设置的第二关联单元，用于在上拉节点处于高电位时拉低对应的下拉子节点的电位。

根据一实施例，在上述的双向移位寄存器单元中，还包括：

第三关联单元，用于在双向移位寄存器单元处于预充电阶段时，关闭所述拉高模块。

根据一实施例，在上述的双向移位寄存器单元中，第三关联单元包括一

TFT，源极与低电位输入节点连接，栅极接收预充电阶段打开预充电 TFT 的控制信号，漏极输出所述低电位输入节点输出的低电平信号到所述拉高模块，以关闭所述拉高模块。

5 本发明实施例还提供了一种 $2N$ 级双向移位寄存器，其中 N 大于 1，包括第 0 级双向移位寄存器单元、第 $2N+1$ 级双向移位寄存器单元，以及 $2N$ 个利用上述的双向移位寄存器单元实现的位于第 0 级双向移位寄存器单元和第 $2N+1$ 级双向移位寄存器单元之间的中间级移位寄存器单元。

10 根据一实施例，在上述的双向移位寄存器中，所述第 0 级双向移位寄存器单元和第 $2N+1$ 级双向移位寄存器单元中的两个下拉子节点中的每一个对应设置有一个拉高模块，用于在下拉阶段拉高对应的下拉子节点的电位；所述第 0 级双向移位寄存器单元中的两个拉高模块输出高电平信号的时间相互错开，所述第 $2N+1$ 级双向移位寄存器单元中的两个拉高模块输出高电平信号的时间相互错开。

本发明实施例还提供了一种显示装置，包括上述的双向移位寄存器。

15 本发明实施例具有如下有益效果：

本发明实施例的双向移位寄存器单元中，对本级输出节点和上拉节点的电位进行拉低的下拉模块包括下拉阶段交替工作的第一下拉子模块和第二下拉子模块。这样在下拉阶段的任意一个时间点，其中只有一个下拉子模块的 TFT 处于高电平导通状态。因此，相对于现有技术的双向移位寄存器单元中，
20 每一个 TFT 在整个下拉阶段都处于高电平导通状态而言，本发明实施例的双向移位寄存器单元中，减少了下拉模块中的 TFT 处于高电平导通状态的时间，提高了 TFT 的寿命，也就提高了双向移位寄存器单元的寿命。

附图说明

25 图 1 表示本发明实施例的双向移位寄存器单元的结构示意图；

图 2 表示本发明实施例的双向移位寄存器单元组成双向移位寄存器时增加的 SR0 的结构示意图；

图 3 表示本发明实施例的双向移位寄存器单元组成双向移位寄存器时增加的 SR $2N+1$ 的结构示意图；

30 图 4 表示本发明实施例的双向移位寄存器的结构及连接示意图；

图 5 表示本发明实施例的双向移位寄存器正向扫描时的时序示意图；

图 6 表示本发明实施例的双向移位寄存器逆向扫描时的时序示意图。

具体实施方式

在本发明实施例的双向移位寄存器单元、双向移位寄存器及显示装置中，
5 对本级输出节点和上拉节点的电位进行拉低的下拉模块包括下拉阶段交替工作的第一下拉子模块和第二下拉子模块，这样降低了每一个下拉子模块中的 TFT 在下拉阶段处于高电平导通的时间，提高了下拉子模块中的 TFT 的寿命，也就提高了双向移位寄存器单元的寿命。

在对本发明实施例进行进一步详细说明之前，先对本发明实施例涉及到的
10 的概念说明如下。

移位寄存器单元为例，其工作过程如下，其一般分为如下 3 个阶段：

预充电阶段，利用其他输出节点输出的高电平信号初步拉高 PU 节点的电平；

输出阶段，继续拉高的 PU 节点打开一个 TFT，将高电平信号输出到本
15 级输出节点，使得本级移位寄存器单元的输出节点输出高电平信号；

下拉阶段，在输出高电平信号之后，直至下一次预充电阶段到来之前，都需要拉低上拉节点和本级输出节点的电平。

在本发明的具体实施例中，该下拉阶段指的就是本次输出阶段和下一次预充电阶段之间的阶段。

20 本发明实施例提供了一种双向移位寄存器单元，所述移位寄存器单元具有包括电容单元和 TFT 的上拉模块，所述电容单元的一端与本级输出节点连接，另一端与上拉节点连接。所述双向移位寄存器单元还包括能够在扫描方向不同时，进行互换以分别作为预充电控制单元和复位控制单元的至少两个 TFT。所述双向移位寄存器单元还包括一下拉模块，用于在下拉阶段拉
25 低所述本级输出节点和上拉节点的电位，所述下拉模块包括在下拉阶段交替工作的第一下拉子模块和第二下拉子模块。

本发明实施例的双向移位寄存器单元中，对本级输出节点和上拉节点的电位进行拉低的下拉模块包括下拉阶段交替工作的第一下拉子模块和第二下拉子模块，这样在下拉阶段的任意一个时间点，其中只有一个下拉子模块的
30 TFT 处于高电平导通状态。因此，相对于现有技术的双向移位寄存器单元中，每一个 TFT 在整个下拉阶段都处于高电平导通状态而言，本发明实施例的双

向移位寄存器单元中,减少了下拉模块中的 TFT 处于高电平导通状态的时间,提高了 TFT 的寿命,也就提高了双向移位寄存器单元的寿命。

一般而言,拉低节点的电位可以通过多种方式进行。在本发明的具体实施例中,每一个下拉子模块都包括两个 TFT,其中一个拉低 PU 节点的电位,另一个用于拉低本级输出节点的电位,即:在本发明的具体实施例中,第一下拉子模块具有对应的第一下拉子节点,第二下拉子模块具有对应的第二下拉子节点,每一个下拉子模块都包括:

第一 TFT,源极与低电位输入节点连接,漏极与本级输出节点连接,栅极与对应的下拉子节点连接;

第二 TFT,源极与低电位输入节点连接,漏极与上拉节点连接,栅极与对应的下拉子节点连接。

此时,只需要保证在下拉阶段,第一下拉子节点和第二下拉子节点轮流处于高电平状态,则第一下拉子模块和第二下拉子模块中的第一 TFT 会轮流打开,而第一下拉子模块和第二下拉子模块中的第二 TFT 也会轮流打开,则保证了下拉子模块中的 TFT 在下拉阶段仅有部分时间处于高电平打开状态,减少了下拉模块中的 TFT 处于高电平导通状态的时间,提高了 TFT 的寿命,也就提高了双向移位寄存器单元的寿命。

在本发明的具体实施例中,保证第一下拉子节点和第二下拉子节点轮流处于高电平状态可以通过多种方式实现,说明如下:

<方式一>

针对第一下拉子节点和第二下拉子节点分别设置各自的拉高单元,在拉高阶段轮流向第一下拉子节点和第二下拉子节点输出高电平信号。

如针对第一下拉子节点设置的拉高单元按照如下模式输出电平信号:高-低-高-低-.....,而针对第二下拉子节点设置的拉高单元则按照低-高-低-高-.....的方式输出电平信号。

则在下拉阶段第一下拉子节点和第二下拉子节点仅有一个处于高电平状态,而且每一个时刻都有一个下拉子节点处于高电平状态,因此,能够保证 PU 节点和输出节点总是处于低电平,而第一下拉子模块和第二下拉子模块中的 TFT 是处于轮流打开的状态,提高了 TFT 的寿命。

<方式二>

在方式二中,在每一个移位寄存器单元中设置一个拉高单元,在下拉阶

段拉高所述第一下拉子节点和第二下拉子节点中的一个下拉子节点的电位，同时设置对应于每一个下拉子节点对应设置的第一关联单元，用于在对应的下拉子节点处于高电平时，拉低另一个下拉子节点的电平。

5 这样，当其中一个下拉子节点处于高电平时，就拉低了另外一个下拉子节点的电位，实现了二者的交替工作。

而该第一关联单元都可以通过如下的 TFT 来实现，其源极与低电位输入节点连接，栅极与对应的下拉子节点连接，漏极与另一个下拉子节点连接。

10 这种方式下，只能保证其中一个下拉子节点处于高电平状态。因此，在本发明具体实施例中，为了减少拉高单元的数量，基于所述双向移位寄存器单元形成的移位寄存器中，相邻移位寄存器单元的第一下拉子节点相互连接，第二下拉子节点相互连接，且相邻移位寄存器单元的拉高模块与不同的下拉子节点连接，且输出高电平信号的时间相互错开。

这种方式下，以第 n 级和第 $n+1$ 级双向移位寄存器单元为例，假定每一级双向移位寄存器单元中都包括下拉子节点 A 和 B，其中第 n 级双向移位寄存器单元中的拉高模块与下拉子节点 A 连接，而第 $n+1$ 级双向移位寄存器单元中的拉高模块与下拉子节点 B 连接，当第 n 级双向移位寄存器单元中的拉高模块输出高电平时，第 $n+1$ 级双向移位寄存器单元处于低电平，此时：第 n 级和第 $n+1$ 级双向移位寄存器单元中的下拉子节点 A 相互连接，因此都处于高电平，此时与该下拉子节点 A 对应的第一 TFT 和第二 TFT 在高电平控制下导通，分别输出低电平信号到本级输出节点和上拉节点。而此时与该下拉子节点 B 对应的第一 TFT 和第二 TFT 关断。

25 在下一时刻，当第 $n+1$ 级双向移位寄存器单元中的拉高模块输出高电平时，第 n 级双向移位寄存器单元处于低电平，此时：由于第 n 级和第 $n+1$ 级双向移位寄存器单元中的下拉子节点 B 相互连接，因此都处于高电平，此时与该下拉子节点 B 对应的第一 TFT 和第二 TFT 在高电平控制下导通，分别输出低电平信号到本级输出节点和上拉节点。而此时与该下拉子节点 A 对应的第一 TFT 和第二 TFT 关断。

因此上述方式下，每个双向移位寄存器单元中只需设置一套拉高模块，减少了拉高模块的数量，降低了成本。

30 在本发明的具体实施例中，第一下拉子模块和第二下拉子模块在下拉阶段交替工作可以是以帧为单位交替工作，也可以是以时钟周期 T 为单位交替

工作，还可以是以其他时间间隔为单位交替工作，在此不一一描述。

应当理解是，第一下拉子模块和第二下拉子模块在下拉阶段交替工作，并不代表二者的工作时长相同，二者的工作时长也可以不同。

如假定在 $1000T$ 的时间内，第一下拉子模块和第二下拉子模块可以以如下各种方式交替工作：

第一下拉子模块工作 nT ，第二下拉子模块工作 mT ，第一下拉子模块工作 nT ，第二下拉子模块工作 mT ，.....

第一下拉子模块工作 nT ，第二下拉子模块工作 nT ，第一下拉子模块工作 nT ，第二下拉子模块工作 nT ，.....

.....

当上拉节点处于高电位时，此时表明本级双向移位寄存器单元需要输出高电平信号，任何方式实现的双向移位寄存器单元都应该关闭拉低模块，而这种关闭方式各种各样，在本发明的具体实施例中，由于具有多个下拉子节点，因此对应于每一个下拉子节点都设置有第二关联单元，用于在上拉节点处于高电位时拉低对应的下拉子节点的电位。

以上的方案已经可以形成一个可以正常工作的双向移位寄存器单元。

但在预充电阶段，第一 TFT 可以打开，也可以不打开，但相对而言，如果第一 TFT 不打开具有更好的效果。因此在本发明的具体实施例中，为了提高双向移位寄存器单元的效果，本发明的具体实施例的双向移位寄存器单元还包括：

第三关联单元，用于在双向移位寄存器单元处于预充电阶段时，关闭所述拉高模块。

而上述的第三关联单元可以通过如下方式的 TFT 实现，其源极与低电位输入节点连接，栅极接收预充电阶段打开预充电 TFT 的控制信号，漏极输出所述低电位输入节点输出的低电平信号到所述拉高模块，以关闭所述拉高模块。

本发明实施例还提供一种 $2N$ 级双向移位寄存器，其中 N 大于 1，包括第 0 级双向移位寄存器单元、第 $2N+1$ 级双向移位寄存器单元，以及 $2N$ 个利用上述任意一项所述的双向移位寄存器单元实现的位于第 0 级双向移位寄存器单元和第 $2N+1$ 级双向移位寄存器单元之间的中间级移位寄存器单元。

上述的双向移位寄存器中，所述第 0 级双向移位寄存器单元和第 $2N+1$

级双向移位寄存器单元中的两个下拉子节点中的每一个对应设置有一个拉高模块，用于在下拉阶段拉高对应的下拉子节点的电位；所述第 0 级双向移位寄存器单元中的两个拉高模块输出高电平信号的时间相互错开，所述第 $2N+1$ 级双向移位寄存器单元中的两个拉高模块输出高电平信号的时间相互错开。

5 本发明实施例还提供一种显示装置，其特征在于，上述的双向移位寄存器。

下面结合更加详细的电路和信号时序来说明本发明实施例的双向移位寄存器的工作。

如图 1 所示，本发明实施例的第 n 级（假定为奇数级）双向扫描移位寄存器单元中，首先包括 TFT T1 和 TFT T3，其中：T1 的漏极和 T3 的漏极分别连接到扫描控制线 V_F , V_R ，它们的栅极分别连接到上一个奇数级的输出 $VOUT(n-2)$ 和下一个奇数级的输出 $VOUT(n+2)$ ，利用 $VOUT(n-2)$ 和 $VOUT(n+2)$ 作为预充电控制信号和复位控制信号。

15 此时在扫描方向不同时，修改信号 V_F 和 V_R 的电平，即可实现 TFT T1 和 TFT T3 作用的互换。

如 V_F 为高，而 V_R 为低时，则 T1 是作为预充电控制单元，T3 是作为复位控制单元，而当 V_R 为高，而 V_F 为低时，T3 是作为预充电控制单元，T1 是作为复位控制单元。

同时，如图 1 所示，该奇数级双向扫描移位寄存器单元中还包括：TFT
20 T4_1（即之前的第一 TFT）、T5_1（即之前的第一 TFT）、TFT T4_2（即之前的第二 TFT）、T5_2（即之前的第二 TFT）、T6、T7、T8、T9_2、T9_1、T10_2、T10_1，其中：

T4_1、T5_1 的栅极分别与节点 PD_P , PD_N 相连，在下拉阶段， PD_P 或 PD_N 交替处于高电平，交替导通 T4_1、T5_1，输出低电平 VSS 到本级输出节点 $VOUT(n)$ 。

T4_2、T5_2 的漏极均连接到节点 PU ，栅极分别连接到节点 PD_P , PD_N ，源极均连接到 VSS ，用于在节点 PD_P , PD_N 交替处于高电平时，交替导通，输出低电平信号到 PU 节点。

T7 的漏极以及 T6 的栅极和漏极均连接到交流信号线 $Vac1$ （其信号电平
30 随着时间变化，可能是每一帧变化，也可能是每一帧内按时钟周期 T 变化，还可能是其他变化方式），T6 的源极与 T7 的栅极以及 T8 的漏极相连，T7

的源极连接到节点 PD_P (即下拉子节点), 而 T8 的栅极和源极分别到 VOUT(n-2)和 VSS。

以图 1 为例, T6 和 T7 作为拉高模块, 能够在下拉阶段拉高 PD_P 的电位。

- 5 上述结构中, 当 VOUT(n-2)为高电平时, 此时对 T2 进行预充电, 因此由作为第三关联单元的 T8 将 T7 的栅极放电至低电平 VSS, 从而 Vac1 的高电平将不会由 T6, T7 输出到节点 PD_P, 而当 VOUT(n-2)为低电平时, T8 关断, Vac1 的高电平将由 T6, T7 输出到节点 PD_P。

- T9_2, T9_1 作为对应于节点 PD_P, PD_N 设置的第一关联单元, T9_2, T9_1 的栅极分别连接到节点 PD_P, PD_N, 漏极分别连接到 PD_N, PD_P, 源极均连接到 VSS, 它们的作用是当 PD_P/PD_N 为高电平时, 由 TFT T9_2/T9_1 实现对节点 PD_N/PD_P 的放电。上述结构下, 保证在同一时间, 只有 PD_P 和 PD_N 仅有一个处于高电平, 使得拉低 PU 节点的 T4_2 和 T5_2 仅有一个处于高电平状态, 同时也使得拉低本级输出节点 VOUT(n)的 T4_1 和 T5_1 仅有一个处于高电平状态, 以提高 TFT 的寿命。
- 10 15

- T10_2, T10_1 作为对应于节点 PD_P, PD_N 设置第二关联单元, T10_2, T10_1 的栅极均连接到节点 PU, 漏极分别连接到节点 PD_P, PD_N, 源极均连接到 VSS, 它们的作用是当节点 PU 为高电位时, 表明本级输出节点 VOUT(n)输出高电平信号, 此时需要关闭 T4_1、T5_1、T4_2 以及 T5_2, 因此, 将节点 PD_P, PD_N 放电至低电平 VSS, 关闭 T4_1、T5_1、T4_2 以及 T5_2。
- 20

该奇数级双向扫描移位寄存器单元中还包括: T2 以及电容 C, T2 以及电容 C 组成上拉模块, 当节点 PU 为高电平时, 由 T2 输出 CLKA 的高电平。

而同时, PD_P 和 PD_N 与下一级偶数级双向扫描移位寄存器单元的 PD_P 和 PD_N 连接。

- 25 而偶数级的双向扫描移位寄存器单元与上述奇数级的双向扫描移位寄存器单元的不同之处仅在于: T6 的栅极和 T7 的源极连接到 Vac2 信号, 该 Vac2 信号和 Vac1 信号的高电平在时间上相互错开, 且 T7 的漏极连接到 PD_1。在此不做进一步详细描述。

- 在本发明的具体实施例中, 上述的双向扫描移位寄存器单元形成双向扫描移位寄存器时, 需要在双向扫描移位寄存器中增加两级, 即 SR0 和 SR2N+1。
- 30

如图 2 所示, 为伪级 SR0 的电路结构, 相对于图 1 给出的奇数级或者偶

数级的电路结构, 其增加了另外一组节点控制 TFT T6_N, T7_N 和 T8_N, 其中 T8_N 和 T8_P 的栅极与 T1 的栅极线 STV 相连, T7_N 的源极与节点 PD_N 相连, T7_N 的漏极和 T6_N 的栅极和源极均与 Vac2 相连。T6_N, T7_N, T8_N 和 T6_P, T7_P, T8_P 能够实现在 Vac1 或 Vac2 为高电平时, 使得节点 PD_P 或 PD_N 为高电平, 从而能够使得对节点 PU 和输出端 VOUT0 进行轮流放电的过程。

其中, 应该说明的是, 为了图的清晰, 其中包括多个节点 VSS 以及 PD_N, 但二者实际上是同一个节点。

图 3 给出了伪级 SR2N+1 的电路图, 其整体连接结构上 SR0 基本一致, 除了 T1 和 T3 的栅极分别连接到 VOUT(2N), STV 以及输出端为 VOUT(2N+1) 外。

图 4 给出了本发明实施例的双向扫描移位寄存器的结构示意图。如图 4 所示, 本发明实施例的双向扫描移位寄存器时钟控制信号线采用了 4 根线, 即 CLK1-CLK4, 时钟控制信号线的增加降低了脉冲的出现频率, 达到降低功耗的目的。

另外, 本发明实施例的双向扫描移位寄存器中具有两条交流控制线 Vac1, Vac2, 其作用是在后续时刻, 实现对移位寄存器单元在不同时间段(比如相邻的两帧时间)轮流放电的过程。V_F、V_R 是控制正向以及逆向扫描的信号线。同时, 本发明实施例的双向扫描移位寄存器中还具有上端的伪级 SR0, 下端的伪级 SR2N+1, 保证了器件的正常工作。从上端到下端, 奇数级的控制节点 PD_P, PD_N 分别与偶数级的控制节点 PD_P, PD_N 相连, 比如, SR1、SR2 级中的控制节点 PD_P, PD_N 分别相连, SR3、SR4 级中的控制节点 PD_P, PD_N 分别相连, ..., SR2N-1、SR2N 级中的控制节点 PD_P, PD_N 分别相连。

图 5 给出了上述双向扫描移位寄存器在正向扫描时的时序图。

其中假定了 STV 信号脉冲宽度, CLK1-CLK4 的脉冲宽度以及叠加在 CLK1 和 CLK4 上的伪级脉冲 DCLK 宽度均为 1 H。在前 1 帧时间内, 假设了 Vac1, Vac2 分别为高, 低电平, V_F, V_R 也分别为高, 低电平。

结合图 1-5, 在 Ts 前一个时刻, STV 为高电平, 因此图 2 所示的伪级 SR0 中的 T1 开启, 节点 PU 充电至高电平, 使得 T2 开启, 同时 STV 的高电平使得 T8_P, T8_N 开启, T7_P, T7_N 的栅极与低电平 VSS 相连, 故 Vac1 的高电平不会由 T7_P 输出到节点 PD_P, 同时由于 T10_2, T10_1 的栅极均与节点 PU

相连,这使得节点 PD_P,PD_N 分别由 T10_2,T10_1 放电至低电平 VSS,因此 T4_2,T4_1,T5_2,T5_1 均关断。

在 Ts 时刻,叠加在 CLK1 上的伪级脉冲 DCLK 到来,经由 T2 输出到 VOUT0,该高电平同时输入到 SR1,SR2 级中的 T1 的栅极,因此图 4 所示的 SR1,SR2 中的 T2 均开启,节点 PU 均充电至高电平,T2 均开启,同时,由于 T8 的栅极与 VOUT0 相连,因 T8 也开启,这使得 T7 的栅极与低电平 VSS 相连,因此 Vac1 的高电平不会经由 T7 输出到节点 PD_P,同时由于 T10_2,T10_1 的栅极均与节点 PU 相连,因此节点 PD_P,PD_N 均与低电平 VSS 相连,故 T4_2,T4_1,T5_2,T5_1 均关断。

在 T0 时间段,CLK3 变为高电平,由前面知道,SR1 中的 T2 开启,故该高电平经由 T2 输出到 VOUT1,由图 1 所示的连接知道,该高电平输入到 SR3 中 T1 的栅极,使得 SR3 中的节点 PU 充电至高电平,T2 开启,同时该级中的节点 PD_P,PD_N 变为低电平,T4_2,T4_1,T5_2,T5_1 均关断。另外,由图 4 知道,该 VOUT1 高电平会反馈到图 5 所示的 SR0 中的 T3 的栅极,因此 ST0 中节点 PU 会被放电至低电平 V_R。

在 T1 时间段,CLK4 变为高电平,由前知道 SR2 中的 T2 开启,因此该高电平会经由 T2 输出到 VOUT2,同样由图 4 的连接知道,该高电平输入到 SR4 中 T1 的栅极,使得 SR4 中的节点 PU 充电至高电平,T2 开启,该级中节点 PD_P,PD_N 变为低电平,T4_2,T4_1,T5_2,T5_1 均关断。这时,对于图 2 所示的 SR0 而言,由于节点 PU 被放电至低电平 V_R,因此 T10_2,T10_1 均关断,Vac1 的高电平会经由图 1 中的 T6,T7 输入到节点 PD_P,故 T4_2,T4_1 均开启,对节点 PU 以及 VOUT0 放电,同时由于 T9_2 的栅极与节点 PD_P 相连,因此节点 PD_N 仍处于低电平 VSS。

在 T2 时间段,CLK2 变为高电平,由前知道,SR3 中的 T2 开启,此高电平会经由 T2 输出到 VOUT3,同样由图 4 的连接知道,该高电平输入到 SR5 中 T1 的栅极,使得 SR5 中的节点 PU 充电至高电平,T2 开启,该级中节点 PD_P,PD_N 变为低电平,T4_2,T4_1,T5_2,T5_1 均关断。同样由图 4 知道,VOUT3 的高电平会输入到 SR1 中的 T3 的栅极,使得 SR1 中的节点 PU 放电至低电平 V_R。类似前面 SR0 的分析,此时,在 SR1 中,Vac1 的高电平会经由 T7 输出到节点 PD_P,由于 SR1,SR2 中节点 PD_P 相连,因此 SR1,SR2 中 T4_2,T4_1 均开启对节点 PU 以及 VOUT1,VOUT2 放电,同时由于 T9_2

的栅极与节点 PD_P 相连, 因此节点 PD_N 仍处于低电平 VSS。

在 T3 时间段, CLK1 变为高电平, 由前知道, SR4 中 T2 开启, 该高电平会经由 T2 输出到 VOUT4, 同样由图 4 知道, 该高电平输入到 SR6 中 T1 的栅极, 使得 SR6 中的节点 PU 充电至高电平, T2 开启, 该级中节点 PD_P, PD_N 变为低电平, T4_2, T4_1, T5_2, T5_1 均关断。同样由图 4 知道, VOUT4 的高电平会输入到 SR2 中的 T3 的栅极, 使得节点 SR2 中的节点 PU 放电至低电平 V_R。类似前面的分析, 在 SR2 中, Vac1 的高电平会经由 T7 输出到节点 PD_P, 因此 SR3, SR4 中 T4_2, T4_1 均开启对节点 PU 以及 VOUT3, VOUT4 放电, 同时由于 T9_2 的栅极与节点 PD_P 相连, 因此节点 PD_N 仍处于低电平 VSS。

.....

在第一帧要结束的前一时间段, 叠加在 CLK4 上的伪级脉冲会经由图 3 所示 SR2N+1 级中的 T2 输出到 VOUT(2N+1), 该高电平同时输入到 SR2N, SR2N-1 级中的 T3 的栅极, 使得这两级中的节点 PU 放电至低电平 VSS。此时, 前面所有级中奇数级 Vac1 的高电平会经由 T7 输入到节点 PD_P, 由于相邻的奇数级中节点 PD_P 与偶数级中节点 PD_P 相连, 因此奇数级与偶数级中的 T4_2, T4_1 均开启对节点 PU 以及每个输出端进行放电, 由于 T9_2 的栅极与节点 PD_P 相连, 因此节点 PD_N 仍处于低电平 VSS。

在第二帧开始时, 移位寄存器单元的时序图与第一帧相类似, 但是所不同是, 在第二帧时 Vac2 为高电平, Vac1 为低电平, 这时在后续时间段, 每级的移位寄存器的持续放电是由偶数级中的 Vac2 的高电平经由 T7 输出到节点 PD_N, 由于相邻的奇数级中节点 PD_N 与偶数级中节点 PD_N 相连, 因此奇数级与偶数级中 T5_2, T5_1 均开启对节点 PU 以及每个输出端进行放电, 由于 T9_1 的栅极与节点 PD_N 相连, 因此节点 PD_P 均处于低电平 VSS。这样就实现了在相邻的两帧, T4_2, T4_1, T9_2 和 T5_2, T5_1, T9_1, 在 Vac1 或 Vac2 为高电平时, 对控制节点 PU 以及各级的输出端进行轮流放电的过程。

图 6 给出的是双向扫描移位寄存器在逆向扫描时的时序图。在逆向扫描时, V_R 为高电平, V_F 为低电平, 此时叠加在 CLK4 上的伪级脉冲信号首先由图 3 所示的 SR2N+1 输出, 然后各个高电平脉冲依次由输出端 VOUT(2N), VOUT(2N-1), VOUT(2N-2), VOUT(N-2),输出, 从而实现了逆向扫描。

相对于正向扫描过程, 逆向扫描时各级的高电平是由 T3 输入到节点 PU

的，而正向扫描时，高电平是由 T1 输入到节点 PU 的。在逆向扫描时，同样实现了在相邻的两帧，TFT T4_2, T4_1, T9_2 和 T5_2, T5_1, T9_1，在 Vac1 或 Vac2 为高电平时，对控制节点 PU 以及各级的输出端进行轮流放电的过程。

5 注意，在图 5 和 6 给出的时序图是 Vac1, Vac2 的高电平持续时间是 1 帧时给出的，实际上 Vac1 或 Vac2 的高电平持续时间只需是脉冲的宽度的某个正整数倍，同时较一帧时间小，以及二者的相位始终相反时，就可以实现上述的 TFT T4_2, T4_1, T9_2 和 T5_2, T5_1, T9_1 对控制节点 PU 以及各级的输出端进行轮流放电的过程。此时的时序图不再赘述。

10 根据前面的图 7 以及图 8 时序分析知道，图 3 给出的移位寄存器电路能够实现双向扫描功能，相对一般的移位寄存器连接结构，增加了时钟控制信号以及两根交流信号线，以及伪级 SR0 和 SR2N+1，相邻的奇数级和偶数级中节点 PD_P, PD_N 相连。更重要的是，通过对移位寄存器单元以及伪级单元的电路改进设计，使得伪级单元以及两组下拉的 TFT T4_2, T4_1, T9_2 和 T5_2, T5_1, T9_1，在不同时间段(比如说相邻的 2 帧时间) Vac1 或 Vac2 为高
15 电平时，对控制节点 PU 以及各级的输出端进行轮流放电，这样的设计降低了下拉 TFT T4_2, T4_1, T9_2 和 T5_2, T5_1, T9_1 的栅极偏压，提高了移位寄存器的稳定性及寿命。

20 以上说明对本发明而言只是说明性的，而非限制性的，本领域普通技术人员理解，在不脱离所附权利要求所限定的精神和范围的情况下，可做出许多修改、变化或等效，但都将落入本发明的保护范围内。

权 利 要 求 书

1. 一种双向移位寄存器单元，其中，所述移位寄存器单元具有包括电容单元和 TFT 的上拉模块，所述电容单元的一端与本级输出节点连接，另一端与上拉节点连接，所述双向移位寄存器单元还包括能够在扫描方向不同时，进行互换以分别作为预充电控制单元和复位控制单元的至少两个 TFT，所述双向移位寄存器单元还包括一下拉模块，用于在下拉阶段拉低所述本级输出节点和上拉节点的电位，所述下拉模块包括在下拉阶段交替工作的第一下拉子模块和第二下拉子模块。
2. 根据权利要求 1 所述的双向移位寄存器单元，其中，第一下拉子模块具有对应的第一下拉子节点，第二下拉子模块具有对应的第二下拉子节点，每一个下拉子模块包括：
- 第一 TFT，源极与低电位输入节点连接，漏极与本级输出节点连接，栅极与对应的下拉子节点连接；
- 第二 TFT，源极与低电位输入节点连接，漏极与上拉节点连接，栅极与对应的下拉子节点连接；
- 所述双向移位寄存器单元还包括：
- 一拉高模块，用于在下拉阶段拉高所述第一下拉子节点和第二下拉子节点中的一个下拉子节点的电位；
- 对应于每一个下拉子节点对应设置的第一关联单元，用于在对应的下拉子节点处于高电平时，拉低另一个下拉子节点的电平。
3. 根据权利要求 2 所述的双向移位寄存器单元，其中，每一个第一关联单元均包括一 TFT，源极与低电位输入节点连接，栅极与对应的下拉子节点连接，漏极与另一个下拉子节点连接。
4. 根据权利要求 2 或 3 所述的双向移位寄存器单元，其中，还包括：
- 对应于每一个下拉子节点设置的第二关联单元，用于在上拉节点处于高电位时拉低对应的下拉子节点的电位。
5. 根据权利要求 2-4 中任一项所述的双向移位寄存器单元，其中，还包括：
- 第三关联单元，用于在双向移位寄存器单元处于预充电阶段时，关闭所述拉高模块。
6. 根据权利要求 5 所述的双向移位寄存器单元，其中，第三关联单元包

括一 TFT，源极与低电位输入节点连接，栅极接收预充电阶段打开预充电 TFT 的控制信号，漏极输出所述低电位输入节点输出的低电平信号到所述拉高模块，以关闭所述拉高模块。

5 7. 一种 $2N$ 级双向移位寄存器，其中 N 大于 1，其中，包括第 0 级双向移位寄存器单元、第 $2N+1$ 级双向移位寄存器单元，以及 $2N$ 个利用权利要求 1-6 中任意一项所述的双向移位寄存器单元实现的位于第 0 级双向移位寄存器单元和第 $2N+1$ 级双向移位寄存器单元之间的中间级移位寄存器单元。

10 8. 根据权利要求 7 所述的 $2N$ 级双向移位寄存器，其中，相邻移位寄存器单元的第一下拉子节点相互连接，第二下拉子节点相互连接，且相邻移位寄存器单元的拉高模块与不同的下拉子节点连接，且输出高电平信号的时间相互错开。

15 9. 根据权利要求 7 或 8 所述 $2N$ 级双向移位寄存器，其中，所述第 0 级双向移位寄存器单元和第 $2N+1$ 级双向移位寄存器单元中的两个下拉子节点中的每一个对应设置有一个拉高模块，用于在下拉阶段拉高对应的下拉子节点的电位；所述第 0 级双向移位寄存器单元中的两个拉高模块输出高电平信号的时间相互错开，所述第 $2N+1$ 级双向移位寄存器单元中的两个拉高模块输出高电平信号的时间相互错开。

20 10. 一种显示装置，包括权利要求 7-9 任一项所述的 $2N$ 级双向移位寄存器。

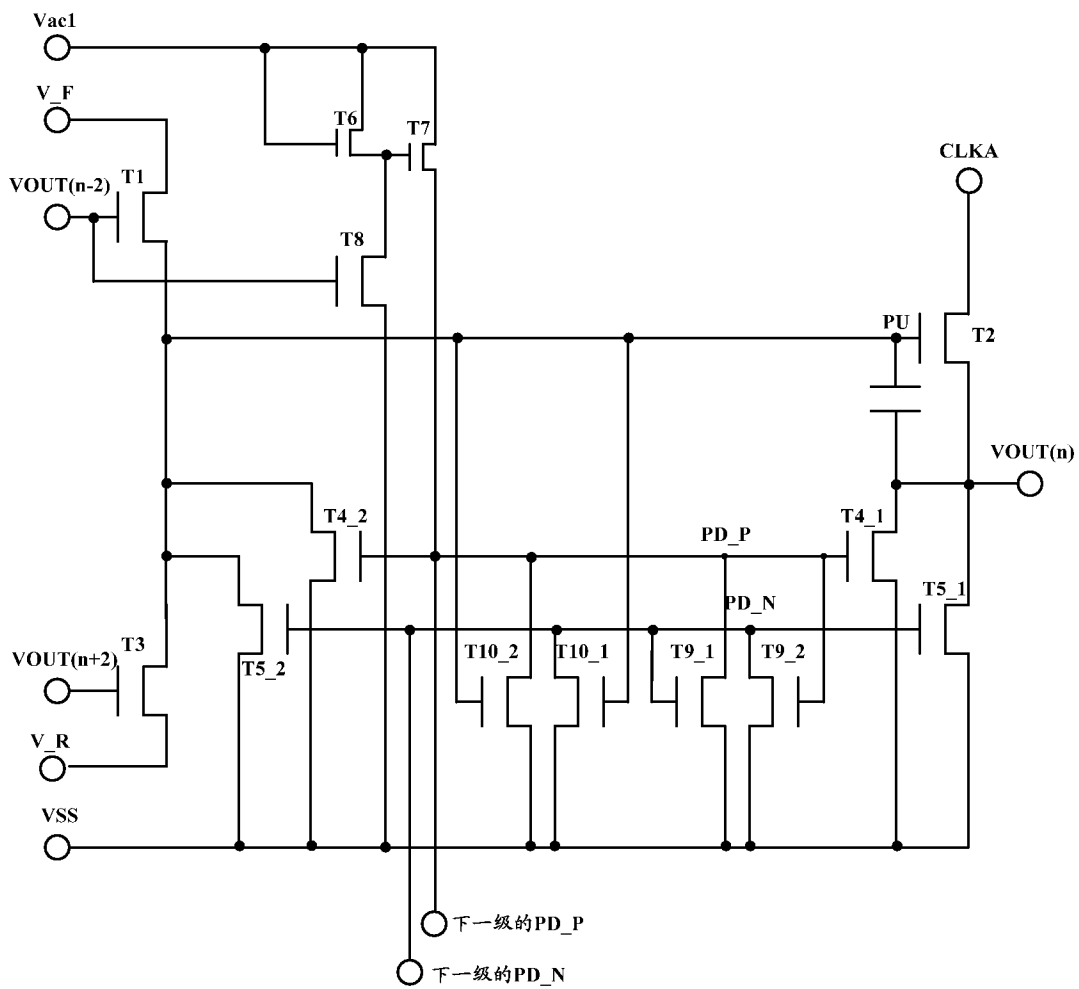


图 1

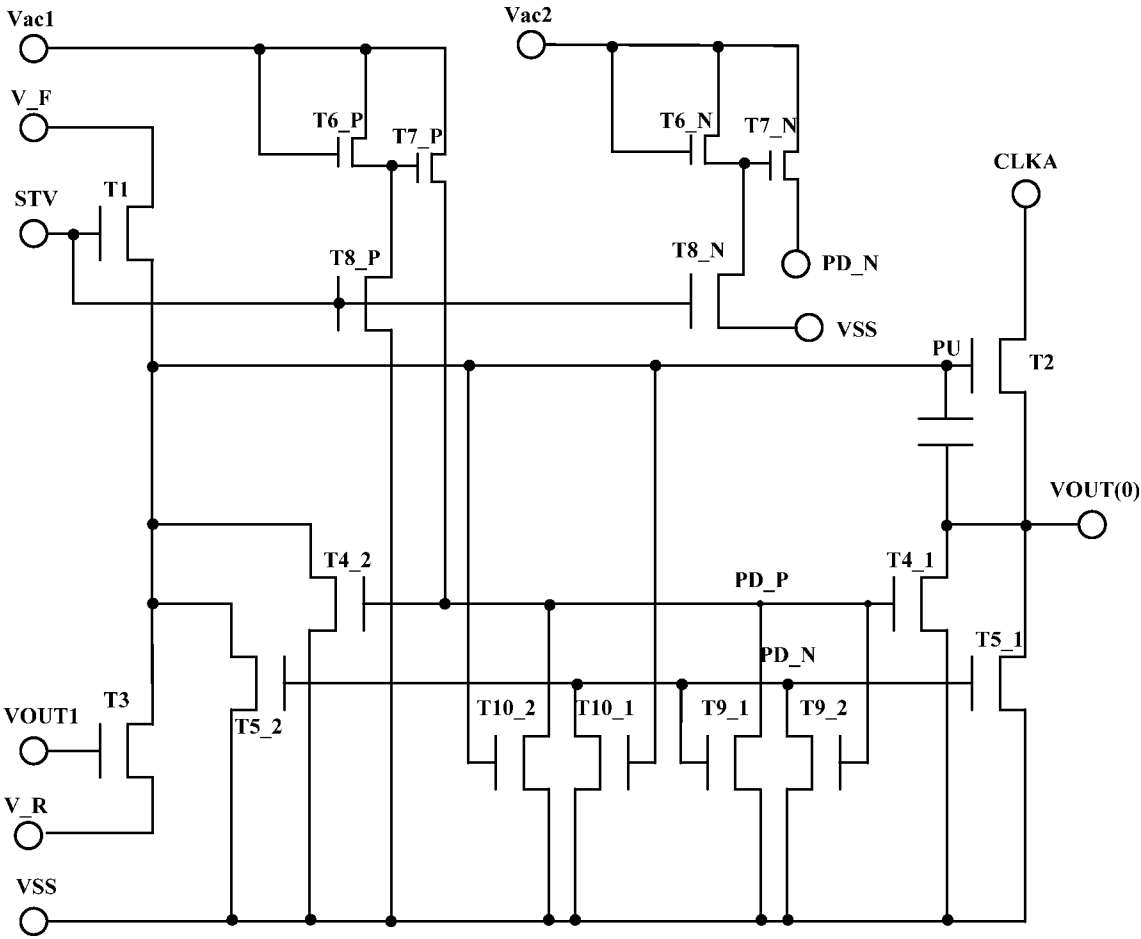


图 2

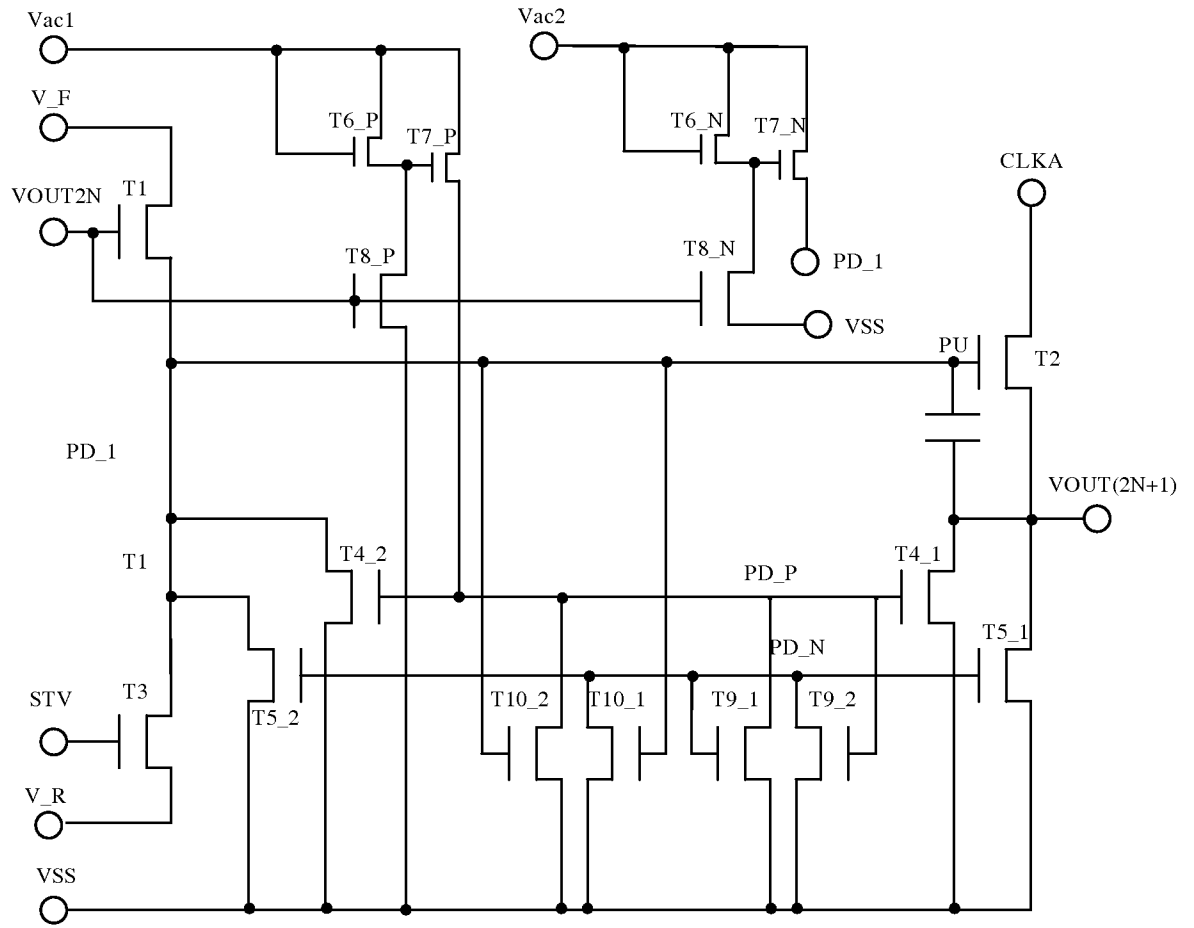


图 3

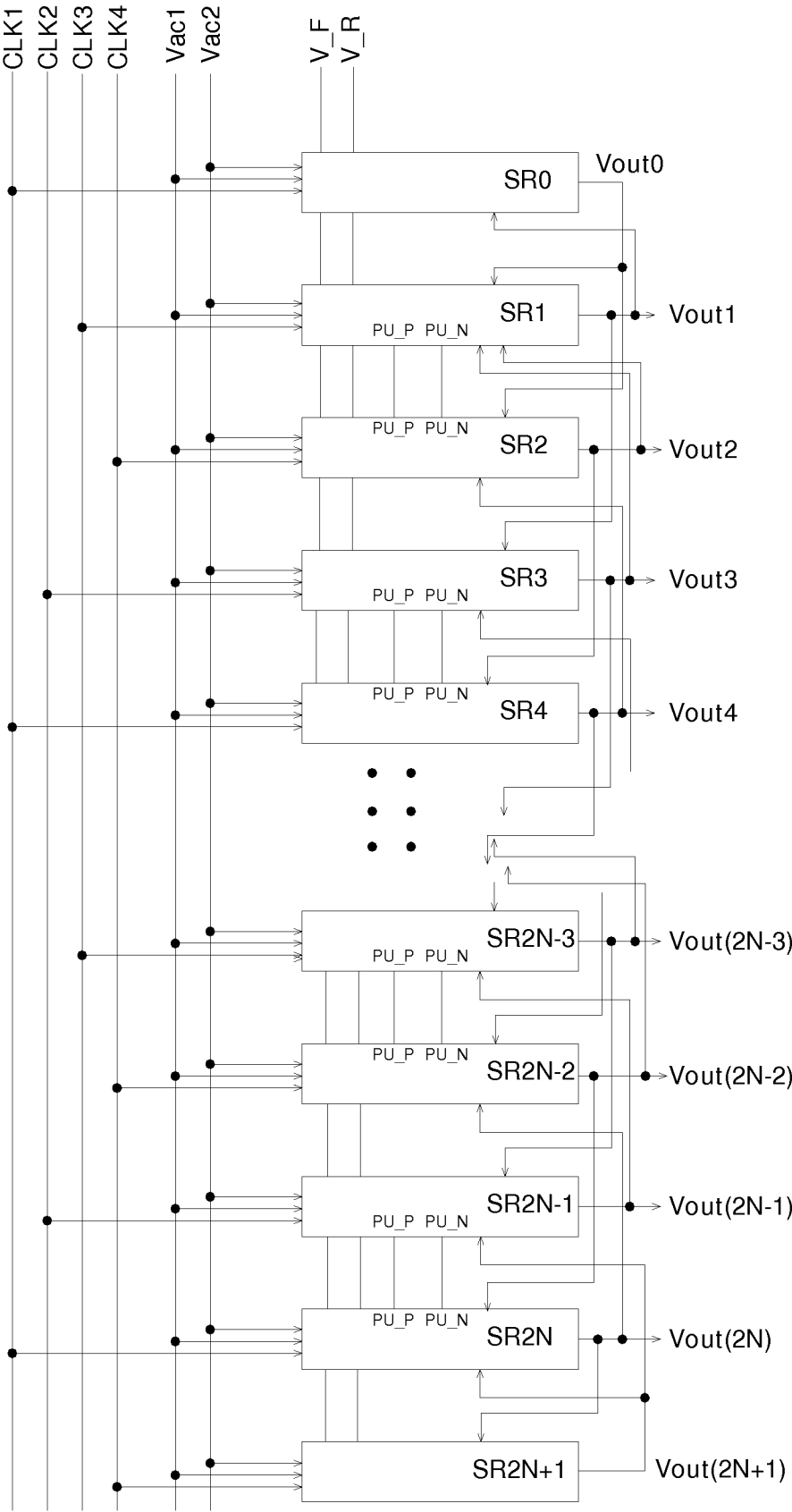


图 4

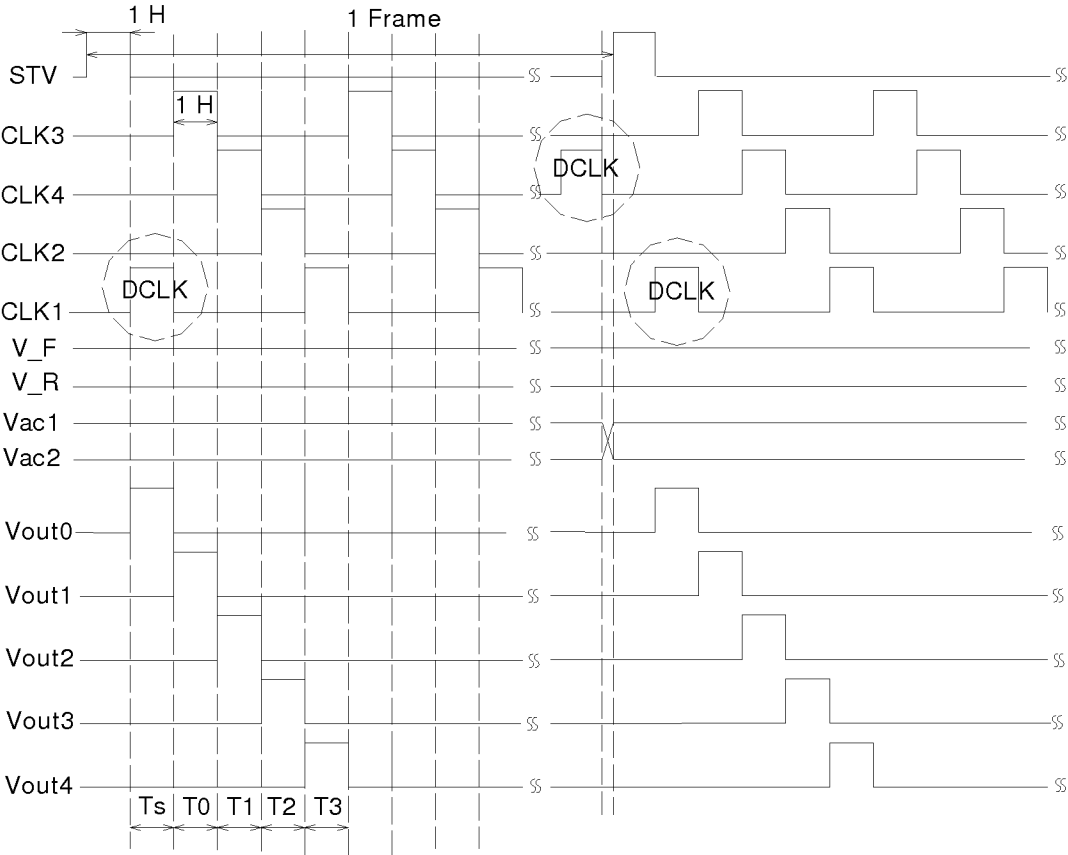


图 5

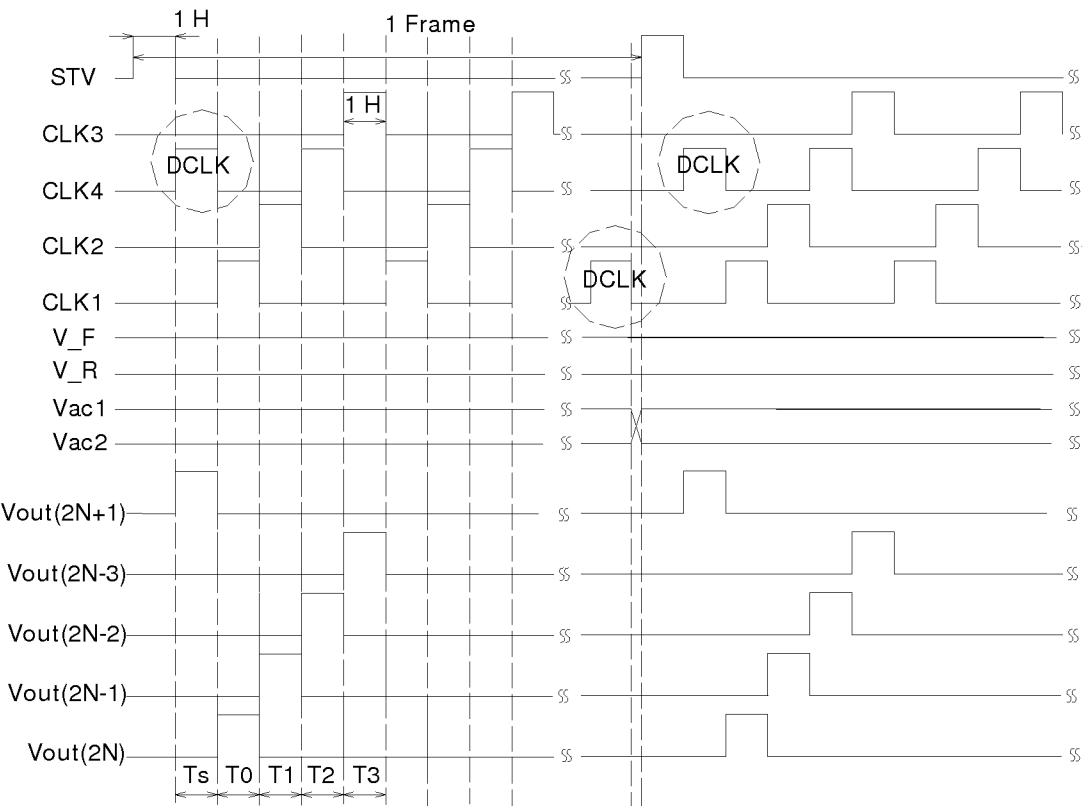


图 6

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2013/074026

A. CLASSIFICATION OF SUBJECT MATTER

G11C 19/28 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: G11C; G09G

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

WPI, EPODOC, USTXT, WOTXT, EPTXT, CNPAT: shift register?, pull?down, pull down, alternat+, inter?chang+, switch+, two, other, second, another. bi?direcit+, lifetime

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 101261881 A (MITSUBISHI ELECTRIC CORP.) 10 September 2008 (10.09.2008) claim 1, description, page 16, paragraph [0003] to page 24, paragraph [0005], and figures 1 and 7-10	1, 2, 4, 5, 7, 10
Y		3, 6, 9
Y	CN 1705042 A (LG PHILIPS LCD CO., LTD.) 07 December 2005 (07.12.2005) description, page 5, line 17 to page 10, line 10, and figures 4 and 5	3, 6, 9
A	CN 101335050 A (SHANGHAI TIANMA MICROELECTRONICS CO., LTD.) 31 December 2008 (31.12.2008) the whole document	1-10

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
05 November 2013 (05.11.2013)

Date of mailing of the international search report
28 November 2013 (28.11.2013)

Name and mailing address of the ISA
State Intellectual Property Office of the P. R. China
No. 6, Xitucheng Road, Jimenqiao
Haidian District, Beijing 100088, China
Facsimile No. (86-10) 62019451

Authorized officer
XU, Hongyan
Telephone No. (86-10) 62413251

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2013/074026

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 101261881 A	10.09.2008	KR 20080081822 A	10.09.2008
		US 2008219401 A1	11.09.2008
		TW 200837698 A	16.09.2008
		JP 2008217902 A	18.09.2008
CN 1705042 A	07.12.2005	US 2005264514 A1	01.12.2005
		KR 20050113967 A	05.12.2005
CN 101335050 A	31.12.2008	None	

A. 主题的分类

G11C 19/28 (2006.01) i

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC: G11C, G09G

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

WPI, EPODOC, USTXT, WOTXT, EPTXT, CNPAT: 移位寄存器, 位移寄存器, 双向, 上拉, 交替, 切换, 第二, 两, 双, 另一, 下拉, 寿命, shift register?, pull?down, pull down, alternat+, inter?chang+, switch+, two, other, second, another, bi?direcit+

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN101261881 A(三菱电机株式会社)10.9 月 2008(10.09.2008) 权利要求 1, 说明书第 16 页第 3 段-第 24 页第 5 段、附图 1, 7-10	1-2,4-5,7,10
Y		3,6,9
Y	CN1705042 A(LG.飞利浦 LCD 株式会社)07.12 月 2005(07.12.2005) 说明书第 5 页第 17 行-第 10 页第 10 行、附图 4-5	3,6,9
A	CN101335050 A(上海天马微电子有限公司)31.12 月 2008(31.12.2008)全文	1-10



其余文件在 C 栏的续页中列出。



见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

05.11 月 2013(05.11.2013)

国际检索报告邮寄日期

28.11 月 2013 (28.11.2013)

ISA/CN 的名称和邮寄地址:

中华人民共和国国家知识产权局

中国北京市海淀区蓟门桥西土城路 6 号 100088

传真号: (86-10)62019451

授权官员

许洪岩

电话号码: (86-10) 62413251

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2013/074026

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
CN101261881 A	10.09.2008	KR20080081822 A	10.09.2008
		US2008219401 A1	11.09.2008
		TW200837698 A	16.09.2008
		JP2008217902 A	18.09.2008
CN1705042 A	07.12.2005	US2005264514 A1	01.12.2005
		KR20050113967 A	05.12.2005
CN101335050 A	31.12.2008	无	