

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4876418号
(P4876418)

(45) 発行日 平成24年2月15日(2012.2.15)

(24) 登録日 平成23年12月9日(2011.12.9)

(51) Int. Cl. F I
 HO 1 L 27/06 (2006.01) HO 1 L 27/06 1 O 2 A
 HO 1 L 21/8234 (2006.01) HO 1 L 29/78 3 O 1 W
 HO 1 L 29/78 (2006.01)

請求項の数 12 (全 13 頁)

<p>(21) 出願番号 特願2005-96217 (P2005-96217) (22) 出願日 平成17年3月29日(2005.3.29) (65) 公開番号 特開2006-278768 (P2006-278768A) (43) 公開日 平成18年10月12日(2006.10.12) 審査請求日 平成20年2月15日(2008.2.15)</p>	<p>(73) 特許権者 000005234 富士電機株式会社 神奈川県川崎市川崎区田辺新田1番1号 (74) 代理人 100104190 弁理士 酒井 昭徳 (72) 発明者 大月 正人 東京都品川区大崎一丁目11番2号 富士 電機デバイステクノロジー株式会社内 審査官 宇多川 勉</p>
---	--

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

シリコンからなる第1の半導体層と、
 前記第1の半導体層の一部の上に積層された絶縁層と、
 前記絶縁層上に積層された、シリコンよりもバンドギャップの広い半導体材料からなる第2の半導体層と、
 前記第1の半導体層を用いて形成された絶縁ゲート型半導体素子と、
 前記第2の半導体層を用いて形成されたダイオードと、
 前記絶縁ゲート型半導体素子と前記ダイオードを短絡する短絡電極と、
 前記絶縁ゲート型半導体素子に接続された第1の電極と、
 前記ダイオードに接続された第2の電極と、
 を備え、
 前記絶縁層は、前記短絡電極側で薄く、かつ前記第2の電極側で厚くなっていることを特徴とする半導体装置。

【請求項2】

前記絶縁ゲート型半導体素子は、前記第1の半導体層の主面上にゲート絶縁膜を介してゲート電極が形成され、かつ該ゲート電極を挟んで前記第1の半導体層の主面に沿ってソース領域と不純物拡散領域が形成された絶縁ゲート型電界効果トランジスタであり、前記ソース領域に前記第1の電極が接続され、前記不純物拡散領域に前記短絡電極が接続されていることを特徴とする請求項1に記載の半導体装置。

【請求項 3】

前記絶縁ゲート型半導体素子は、前記第 1 の半導体層の第 1 の主面から形成されたトレンチ内にゲート絶縁膜を介してゲート電極が形成され、かつ該ゲート電極に隣接して前記第 1 の半導体層の第 1 の主面に沿って不純物拡散領域が形成され、さらに前記第 1 の半導体層の第 2 の主面に沿ってソース領域が形成された絶縁ゲート型電界効果トランジスタであり、前記ソース領域に前記第 1 の電極が接続され、前記不純物拡散領域に前記短絡電極が接続されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 4】

前記第 2 の半導体層は、p 型領域と n 型領域を有し、前記ダイオードは、前記 p 型領域と前記 n 型領域の接合により構成される pn ダイオードであり、前記 p 型領域に前記短絡電極が接続され、前記 n 型領域に前記第 2 の電極が接続されていることを特徴とする請求項 1 ~ 3 のいずれか一つに記載の半導体装置。

10

【請求項 5】

前記ダイオードは、前記第 2 の半導体層と金属のショットキー接合により構成されるショットキーダイオードであり、前記金属に前記短絡電極が接続され、前記第 2 の半導体層に前記第 2 の電極が接続されていることを特徴とする請求項 1 ~ 3 のいずれか一つに記載の半導体装置。

【請求項 6】

シリコンからなる第 1 の半導体層と、
前記第 1 の半導体層の上に積層された絶縁層と、
前記絶縁層上に積層された、シリコンよりもバンドギャップの広い半導体材料からなる第 2 の半導体層と、
前記第 2 の半導体層を用いて形成されたダイオードと、
前記ダイオードのアノードに接続された第 1 の電極と、
前記ダイオードのカソードに接続された第 2 の電極と、を備え、
前記絶縁層は、前記第 1 の電極側で薄く、かつ前記第 2 の電極側で厚くなっていることを特徴とする半導体装置。

20

【請求項 7】

前記第 2 の半導体層は、p 型領域と n 型領域を有し、前記ダイオードは、前記 p 型領域と前記 n 型領域の接合により構成される pn ダイオードであることを特徴とする請求項 6 に記載の半導体装置。

30

【請求項 8】

前記ダイオードは、前記第 2 の半導体層と金属のショットキー接合により構成されるショットキーダイオードであることを特徴とする請求項 6 に記載の半導体装置。

【請求項 9】

前記第 2 の半導体層は、バンドギャップが 3 eV 以上の半導体材料でできていることを特徴とする請求項 1 ~ 8 のいずれか一つに記載の半導体装置。

【請求項 10】

前記第 2 の半導体層は、GaN 系化合物半導体材料でできていることを特徴とする請求項 9 に記載の半導体装置。

40

【請求項 11】

前記絶縁層は、AlN でできていることを特徴とする請求項 1 ~ 10 のいずれか一つに記載の半導体装置。

【請求項 12】

前記絶縁層は、Al₂O₃ でできていることを特徴とする請求項 1 ~ 10 のいずれか一つに記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、半導体装置に関し、特にドリフト領域がシリコンよりもバンドギャップの

50

広い半導体材料（以下、ワイドバンドギャップ半導体とする）で構成されたパワー半導体装置に関する。

【背景技術】

【0002】

近時、パワー半導体装置の分野において、GaN系化合物半導体等のワイドバンドギャップ半導体を用いる試みがなされている。例えば、基板結晶上に順に、GaN系化合物半導体からなるp型半導体層およびn型半導体層が積層され、このn型半導体層上に、n型半導体層よりも広いバンドギャップを有するGaN系化合物半導体からなるp型不純物拡散領域およびn型不純物拡散領域が選択的に形成された構成を有する絶縁ゲート型バイポーラトランジスタが公知である（例えば、特許文献1参照。）。 10

【0003】

この絶縁ゲート型バイポーラトランジスタでは、ゲート電極は、n型半導体層の露出面からp型不純物拡散領域の露出面にかけて絶縁層を介して形成されている。エミッタ電極およびコレクタ電極は、それぞれn型不純物拡散領域の上面およびp型半導体層の下面に形成されている。

【0004】

また、シリコン基板上にAlGaN/GaNのエピタキシャル層を成長させ、その表面にソース電極、ゲート電極およびドレイン電極を形成し、エピタキシャル層の表面からシリコン基板に達するビアホールを介してソース電極をシリコン基板に電気的に接続した構成のAlGaN/GaNヘテロ構造電界効果トランジスタが報告されている（例えば、非特許文献1参照。）。このヘテロ構造電界効果トランジスタでは、ゲート電極は、Pd-Siで形成されている。 20

【0005】

【特許文献1】特開平11-354786号公報

【非特許文献1】マサヒロ・ヒキタ(Masahiro Hikita)、外9名、「350V/150A AlGaN/GaN パワー HFET オン シリコン サブストレート ウィズ ソース-ビア グランディング (SVG) ストラクチャ(350V/150A AlGaN/GaN power HFET on Silicon substrate with source-via grounding (SVG) structure)」、「アイイーディエム テクニカル ダイジェスト(IEDM (INTERNATIONAL ELECTRON DEVICES MEETING) TECHNICAL DIGEST)」、(米国)、Dec. 2004、p. 803-806 30

【発明の開示】

【発明が解決しようとする課題】

【0006】

しかしながら、上述した従来の構成では、その製造段階において以下のような問題点がある。すなわち、GaNに対するイオン注入と熱アニールによる不純物活性化技術は、未だ確立されていない。そのため、有機金属気相成長(MOCVD)法や分子線エピタキシー(MBE)法などの結晶成長法によってp型やn型のGaN系化合物半導体の不純物層を堆積する必要があるが、不純物濃度にばらつきが生じ、それによってしきい値がばらついてしまう。 40

【0007】

また、p-GaN領域を形成した後にn⁺-GaNソース不純物層を形成する際に、p-GaN領域のドーパントが抜けてしまう。これらの原因により、現在の技術では、p-GaN領域を安定に形成することは極めて困難であり、従って上記文献に開示された素子を安定して実現することのできる可能性はほとんどない。

【0008】

さらに、上記特許文献1に開示された半導体装置では、チャネル領域の抵抗成分が通常のシリコンを用いたデバイス（以下、シリコンデバイスとする）よりも大幅に大きくなる 50

という欠点がある。その理由は、通常のシリコンを用いたMOS（金属 - 酸化膜 - 半導体からなる絶縁ゲート）構造において得られる反転層の移動度が数百 cm^2/Vs 程度（500 cm^2/Vs 程度との報告がある）であるのに対して、GaN系化合物半導体を用いた場合の反転層の移動度は数十 cm^2/Vs 程度と極めて低いからである。

【0009】

これは、半導体導体材料として炭化ケイ素（SiC）を用いた場合も同様である。そのため、仮にGaNなどのワイドバンドギャップ半導体を用いて高耐圧を実現できたとしても、例えばパワースイッチング素子などに適するMIS（金属 - 絶縁膜 - 半導体）構造素子においては、反転チャネル部分の特性が悪く、性能を十分に発揮することができない。また、上記非特許文献1に開示された半導体装置では、正電源の他に負電源が必要となるため、駆動回路が複雑になるという欠点もある。

10

【0010】

この発明は、上述した従来技術による問題点を解消するため、GaN系化合物半導体等のワイドバンドギャップ半導体を用い、高耐圧で高速スイッチングが可能なMIS型のパワー半導体装置を提供することを目的とする。

【課題を解決するための手段】

【0011】

上述した課題を解決し、目的を達成するため、この発明にかかる半導体装置は、シリコンからなる第1の半導体層と、前記第1の半導体層の一部の上に積層された絶縁層と、前記絶縁層上に積層された、シリコンよりもバンドギャップの広い半導体材料からなる第2の半導体層と、前記第1の半導体層を用いて形成された絶縁ゲート型半導体素子と、前記第2の半導体層を用いて形成されたダイオードと、前記絶縁ゲート型半導体素子と前記ダイオードを短絡する短絡電極と、前記絶縁ゲート型半導体素子に接続された第1の電極と、前記ダイオードに接続された第2の電極と、を備え、前記絶縁層は、前記短絡電極側で薄く、かつ前記第2の電極側で厚くなっていることを特徴とする。

20

【0012】

また、この発明にかかる半導体装置は、上述した発明において、前記絶縁ゲート型半導体素子は、前記第1の半導体層の主面上にゲート絶縁膜を介してゲート電極が形成され、かつ該ゲート電極を挟んで前記第1の半導体層の主面に沿ってソース領域と不純物拡散領域が形成された絶縁ゲート型電界効果トランジスタであり、前記ソース領域に前記第1の電極が接続され、前記不純物拡散領域に前記短絡電極が接続されていることを特徴とする。

30

【0013】

また、この発明にかかる半導体装置は、上述した発明において、前記絶縁ゲート型半導体素子は、前記第1の半導体層の第1の主面から形成されたトレンチ内にゲート絶縁膜を介してゲート電極が形成され、かつ該ゲート電極に隣接して前記第1の半導体層の第1の主面に沿って不純物拡散領域が形成され、さらに前記第1の半導体層の第2の主面に沿ってソース領域が形成された絶縁ゲート型電界効果トランジスタであり、前記ソース領域に前記第1の電極が接続され、前記不純物拡散領域に前記短絡電極が接続されていることを特徴とする。

40

【0014】

また、この発明にかかる半導体装置は、上述した発明において、前記第2の半導体層は、p型領域とn型領域を有し、前記ダイオードは、前記p型領域と前記n型領域の接合により構成されるpnダイオードであり、前記p型領域に前記短絡電極が接続され、前記n型領域に前記第2の電極が接続されていることを特徴とする。

【0015】

また、この発明にかかる半導体装置は、上述した発明において、前記ダイオードは、前記第2の半導体層と金属のショットキー接合により構成されるショットキーダイオードであり、前記金属に前記短絡電極が接続され、前記第2の半導体層に前記第2の電極が接続されていることを特徴とする。

50

【0016】

また、この発明にかかる半導体装置は、シリコンからなる第1の半導体層と、前記第1の半導体層の上に積層された絶縁層と、前記絶縁層上に積層された、シリコンよりもバンドギャップの広い半導体材料からなる第2の半導体層と、前記第2の半導体層を用いて形成されたダイオードと、前記ダイオードのアノードに接続された第1の電極と、前記ダイオードのカソードに接続された第2の電極と、を備え、前記絶縁層は、前記第1の電極側で薄く、かつ前記第2の電極側で厚くなっていることを特徴とする。

【0017】

また、この発明にかかる半導体装置は、上述した発明において、前記第2の半導体層は、p型領域とn型領域を有し、前記ダイオードは、前記p型領域と前記n型領域の接合により構成されるpnダイオードであることを特徴とする。

10

【0018】

また、この発明にかかる半導体装置は、上述した発明において、前記ダイオードは、前記第2の半導体層と金属のショットキー接合により構成されるショットキーダイオードであることを特徴とする。

【0019】

また、この発明にかかる半導体装置は、上述した発明において、前記第2の半導体層は、バンドギャップが3 eV以上の半導体材料でできていることを特徴とする。

【0020】

また、この発明にかかる半導体装置は、上述した発明において、前記第2の半導体層は、GaN系化合物半導体材料でできていることを特徴とする。

20

【0021】

また、この発明にかかる半導体装置は、上述した発明において、前記絶縁層は、AlNでできていることを特徴とする。

【0022】

また、この発明にかかる半導体装置は、上述した発明において、前記絶縁層は、Al₂O₃でできていることを特徴とする。

【0023】

上述した発明によれば、耐圧を確保するためのバルク領域をワイドバンドギャップ半導体で構成し、容易なスイッチングを可能にするためのMIS領域をシリコン半導体で構成し、バルク領域とMIS領域を短絡電極で接続することによって、ワイドバンドギャップ半導体とシリコン半導体の両者の優れた性質を兼ね備えた素子を実現することができる。すなわち、バルク領域に関しては、短い距離で高耐圧を実現することができる。従って、バルク領域の体積を小さくすることができるので、導通状態における過剰キャリアの蓄積を抑制し、高速スイッチングを実現することができる。

30

【0024】

一方、MIS領域に関しては、既に超微細加工技術が確立されているシリコンプロセスによって作製されるシリコンデバイスを用いることによって、シリコンのMOS構造と同様の高い反転層の移動度が得られる。また、安定したMOS界面が得られる。従って、チャネル抵抗を低く抑え、しきい値などのゲート特性の設計自由度を広く確保することができる。また、特性のばらつきを小さくすることができ、高いゲートの信頼性を確保することができる。

40

【0025】

また、上述した発明によれば、第1の半導体層の第1の主面側に短絡電極と第2の電極が配置され、第1の半導体層の第2の主面側に第1の電極が配置され、ゲート電極が埋め込み配線となるので、配線の引き回しが容易となり、デバイスの面積効率を上げることができる。さらに、上述した発明によれば、短絡電極と第2の電極との間に高低差ができ、両電極間の距離が長くなるので、両電極間で放電が起こって耐圧が低下するのを防ぐことができる。また、絶縁層の熱抵抗が、熱の発生量がより多い短絡電極側で小さくなるので、絶縁層を介して第1の半導体層への放熱が効果的に起こる。また、上述した発明によれ

50

ば、第1の電極と第2の電極との間に高低差ができ、両電極間の距離が長くなるので、両電極間で放電が起って耐圧が低下するのを防ぐことができる。

【発明の効果】

【0027】

本発明にかかる半導体装置によれば、GaN系化合物半導体等のワイドバンドギャップ半導体を用い、高耐圧で高速スイッチングが可能なMIS型のパワー半導体装置を得ることができるという効果を奏する。

【発明を実施するための最良の形態】

【0028】

以下に添付図面を参照して、この発明にかかる半導体装置の好適な実施の形態を詳細に説明する。本明細書および添付図面においては、nまたはpを冠記した層や領域では、それぞれ電子または正孔が多数キャリアであることを意味する。また、nやpに付す+および-は、それぞれそれが付されていない層や領域よりも高不純物濃度および低不純物濃度であることを意味する。なお、以下の実施の形態の説明および添付図面において、同様の構成には同一の符号を付し、重複する説明を省略する。

【0029】

実施の形態1.

図1は、実施の形態1の半導体装置の要部の構成を示す断面図である。図1において、左半部がシリコン半導体で構成されるMIS領域であり、右半部が3eV以上のバンドギャップを有するワイドバンドギャップ半導体で構成されるバルク領域である。図1に示すように、MIS領域では、p型のSi層(以下、p-Si層とする)2の第1の主面に沿って、n⁺ソース拡散領域3とn⁺拡散領域7が離れて形成されている。

【0030】

p-Si層2の、n⁺ソース拡散領域3とn⁺拡散領域7の間の反転層が形成される領域の上には、ゲート絶縁膜5が形成されており、そのゲート絶縁膜5の上にはゲート電極6が形成されている。n⁺ソース拡散領域3には、ソース電極4がオーミック接触している。n⁺拡散領域7には、短絡電極8の一端がオーミック接触している。ソース電極4とゲート電極6と短絡電極8は、絶縁膜12により互いに絶縁されている。

【0031】

バルク領域では、p-Si層2の第1の主面に沿って絶縁層9が積層されている。この絶縁層9の上には、n型のGaN層(以下、n-GaN層とする)10が積層されている。このn-GaN層10の、MIS領域寄りの部分の上には、p型のGaN層(以下、p-GaN層とする)11が積層されている。p-GaN層11には、前記短絡電極8の他端がオーミック接触している。n-GaN層10の、MIS領域から離れた部分には、ドレイン電極13がオーミック接触している。ドレイン電極13と短絡電極8は、絶縁膜14により絶縁分離されている。

【0032】

p-Si層2の第2の主面には、その全面に裏面電極1が形成されている。なお、裏面電極1を設けない構成としてもよい。その場合には、p-Si層2は電氣的にフローティングでもよいが、ソース電極4と共通電位にしてもよい。ここで、p-Si層2、n-GaN層10とp-GaN層11、ソース電極4、ドレイン電極13、n⁺ソース拡散領域3およびn⁺拡散領域7は、それぞれ第1の半導体層、第2の半導体層、第1の電極、第2の電極、ソース領域および不純物拡散領域に相当する。

【0033】

絶縁層9としては、例えばSiO₂、Si₃N₄、AlNもしくはAl₂O₃、またはそれらと同じ元素からなるが、組成比の異なる材料などを用いることができる。絶縁膜12、14としては、例えばSi₃N₄またはSiO₂などを用いることができる。

【0034】

ソース電極4、短絡電極8およびドレイン電極13としては、例えばAl、Ni、Ti、W、Mo、Pt、Pd、Cr、Ir、Au、AgもしくはZnなどの金属、またはそれ

10

20

30

40

50

らの合金やシリサイドなどを用いることができる。ゲート電極 6 としては、通常のシリコンの MOSFET (MOS 型の電界効果トランジスタ) において用いられる材料、例えば多結晶シリコンを用いることができる。

【0035】

次に、実施の形態 1 の半導体装置の製造プロセスの一例について説明する。図 2 ~ 図 10 は、製造プロセスを説明するための半導体装置の断面図である。まず、例えば 20 の p - Si 基板を用意する。この p - Si 基板が p - Si 層 2 となる。そして、p - Si 基板の、n⁺ソース拡散領域 3 となる領域と n⁺拡散領域 7 となる領域に選択的に、例えば As を $1 \times 10^{15} \text{ cm}^{-2}$ のドーズ量でイオン注入する。続いて、例えば 1000 の温度で 30 分間程度の熱処理を行い、注入した不純物を活性化して、n⁺ソース拡散領域 3 と n⁺拡散領域 7 を形成する (図 2)。

10

【0036】

次いで、例えば熱酸化などによって約 1000 オングストローム程度の厚さの絶縁膜 (ゲート絶縁膜 5 となる) を形成し、その上に CVD (化学気相成長) 法などにより例えば n⁺型の多結晶シリコン膜 (ゲート電極 6 となる) を堆積する。そして、フォトリソエッチングによって多結晶シリコン膜の一部を除去してゲート電極 6 を形成し、このゲート電極 6 をフォトマスクにして絶縁膜をエッチングしてゲート絶縁膜 5 を形成する (図 3)。

【0037】

次いで、CVD 法などにより AlN 等の絶縁膜 (絶縁層 9 となる) を例えば 1 μm 程度の厚さに堆積する。そして、フォトリソエッチングによって AlN 等の絶縁膜の一部を除去して、バルク領域に絶縁層 9 を形成する (図 4)。次いで、CVD 法などにより SiO₂ 等の絶縁膜 (絶縁膜 12 となる) を堆積し、その絶縁膜の、バルク領域の部分を除去して、MIS 領域においてゲートスタック構造、n⁺ソース拡散領域 3 および n⁺拡散領域 7 を覆う絶縁膜 12 を形成する (図 5)。ここまでは、通常のシリコンプロセスである。

20

【0038】

次いで、MOCVD 法により n - GaN (n - GaN 層 10 となる) と p - GaN (p - GaN 層 11 となる) を順次、成長させる (図 6)。その際、n - GaN および p - GaN は、AlN 等の絶縁層 9 の上のみ選択的に成長する。なお、GaN の成長方法については、例えば特開 2003 - 59948 号公報に開示されている。次いで、P - GaN 膜を例えばドライエッチングなどによりフォトリソエッチングして、MIS 領域寄りの部分にのみ p - GaN 層 11 を残す (図 7)。

30

【0039】

次いで、絶縁膜 12 の、n⁺拡散領域 7 の上の部分にビアホールを開口した後、例えば Ti / Al 合金などの導電体 (短絡電極 8 およびドレイン電極 13 となる) を堆積する。そして、その導電体をパターニングして、短絡電極 8 とドレイン電極 13 を形成する (図 8)。次いで、SiO₂ 等の絶縁膜 14 を堆積し、絶縁膜 12, 14 を貫通して n⁺ソース拡散領域 3 およびドレイン電極 13 にそれぞれ達するコンタクトホール 15, 16 を形成をする (図 9)。

【0040】

次いで、スパッタリング法などにより Al 等の導電体を堆積し、n⁺ソース拡散領域 3 に接触するソース電極 4 と、ドレイン電極 13 に接触するドレイン電極 17 を形成する。続いて、p - Si 基板の裏面に、スパッタリング法などにより Al 等の導電体からなる裏面電極 1 を形成し、半導体装置が完成する (図 10)。

40

【0041】

なお、図 8 ~ 図 10 に示す構成と図 1 に示す構成を比べると、短絡電極 8 の形状、ソース電極 4 の形状、ドレイン電極 13 の形状、ドレイン電極 17 の有無、絶縁膜 12, 14 の形状、MIS 領域における絶縁膜 14 の有無など、異なる点があるが、実質的には両者の構成は同じである。

【0042】

次に、実施の形態 1 の半導体装置の作用および効果について説明する。n⁺ソース拡散

50

領域 3、p - Si 層 2 および n⁺拡散領域 7 からなる MOSFET の耐圧は、素子全体の耐圧、すなわちソース電極 4 とドレイン電極 1 3 の間の耐圧に関係なく、30 V 程度である。その理由は、実施の形態 1 の半導体装置がパワースイッチング素子として用いられる場合、例えばオン状態ではゲート電極 6 に +10 ~ +15 V 程度の比較的高い電圧のゲート信号が入力される。

【0043】

これに加えて、スイッチング動作中の外来ノイズの重畳によって、ゲート電極 6 に印加される電圧が 20 V を超えることがある。このため、耐圧をあまり低く設定してしまうと、ゲート信号の入力によって素子のブレイクダウンが起こってしまう。それに対して、MOSFET の耐圧が 30 V 程度であれば、ゲート信号の入力による素子のブレイクダウンを回避することができる。

10

【0044】

また、バルク領域がワイドバンドギャップ半導体で構成されていることにより、このバルク領域の長さ、すなわち n - GaN 層 10 の長さが通常のシリコンデバイスのおおよそ 1 / 10 程度で、通常のシリコンデバイスと同等の耐圧を確保することができる。例えば、n - GaN 層 10 の長さをおおよそ 10 μm にすると、1000 V 程度の耐圧を実現することができる。

【0045】

これと同じ耐圧を通常のシリコンデバイスで得るには、バルク領域の長さをおおよそ 100 μm にする必要がある。つまり、実施の形態 1 によれば、バルク領域のオン抵抗が、通常のシリコンデバイスの 1 / 10 以下になるので、低抵抗でスイッチング動作を高速に行うことができ、かつ高耐圧のデバイスを容易に実現することができるという効果を奏する。

20

【0046】

また、n - GaN 層 10 と p - Si 層 2 の間には高耐圧が印加されるため、絶縁層 9 が設けられている。この絶縁層 9 は、SOI (シリコン・オン・インシュレータ) デバイスにおける絶縁層と同様に、n - GaN 層 10 においてキャリアが縦方向 (深さ方向) に広がるのを物理的に抑制している。これによって、過剰キャリアの蓄積をより一層、効果的に抑えることができるので、スイッチング動作を高速化することができるという効果を奏する。

30

【0047】

また、バルク領域が GaN で構成されている場合、絶縁層 9 を AlN で構成するとよい。その理由は、第 1 に、AlN 層が GaN の結晶成長において成長バッファ層となるからである。これによって、良質な GaN 層 10 が得られるという効果を奏する。第 2 に、AlN が SiO₂ よりも良好な熱伝達係数を有しているからである。これによって、n - GaN 層 10 および p - GaN 層 11 で発生した熱が効率よく p - Si 層 2 に伝達されるので、発熱を効果的に抑えることができるという効果を奏する。

【0048】

なお、p - GaN 層 11 に代えて、p - GaN 層 11 に相当する層を、n - GaN 層 10 にショットキー接合する金属材料で構成してもよい。この場合の金属材料としては、例えば Al、Ni、Ti、W、Mo、Pt、Pd、Cr、Ir、Au、Ag もしくは Zn などの金属、またはそれらの合金やシリサイドなどを用いることができる。このようにバルク領域にショットキーダイオードを形成した構成は、pn ダイオードを形成する場合よりもオン電圧が低くなるので、耐圧クラス 3000 V 以下の中耐圧素子に適している。

40

【0049】

実施の形態 2 .

図 11 は、実施の形態 2 の半導体装置の要部の構成を示す断面図である。図 11 に示すように、実施の形態 2 は、実施の形態 1 の変形例であり、p - Si 層 2 と n - GaN 層 10 の間の絶縁層 9 を短絡電極 8 側で薄く、ドレイン電極 1 3 側で厚くなるように形成したものである。図示例のように、絶縁層 9 は、短絡電極 8 側からドレイン電極 1 3 側へ向か

50

って連続的に厚くなっていてもよいし、階段状に厚くなっていてもよい。

【0050】

また、絶縁層9は、一種類の材料、例えばSiO₂のみ、あるいはAlNのみでできていてもよいし、SiO₂とAlNなどを組み合わせてできていてもよい。絶縁層9の材料としてSiO₂を用いる場合には、シリコンの選択酸化(LOCOS)を行えばよい。その他の構成は、実施の形態1と同じであるので、説明を省略する。

【0051】

実施の形態2によれば、実施の形態1の効果に加えて、次の効果が得られる。第1に、p-GaN層11およびn-GaN層10の、短絡電極8の近辺の領域では、電界が高く、発熱量が多いが、絶縁層9がこの領域で薄いので、絶縁層9による熱抵抗が小さくなる。従って、p-Si層2への放熱効果が高くなる。第2に、短絡電極8とドレイン電極13との間に高低差ができるので、短絡電極8とドレイン電極13の間の距離が長くなる。従って、短絡電極8とドレイン電極13の間で放電が起こりにくくなるので、耐圧が低下するのを防ぐことができる。

10

【0052】

第3に、短絡電極8の、p-GaN層11側の段差が緩和されるので、短絡電極8による段差の埋め込み(いわゆるステップカバレッジ)が容易になる。ここで、絶縁層9は、n-GaN層10とp-Si層2を絶縁分離しているが、n-GaN層10とp-Si層2の電位差は、ドレイン電極13側よりも短絡電極8側で低くなる。従って、絶縁層9を短絡電極8側で薄くしても問題はない。

20

【0053】

例えば絶縁層9がSiO₂(絶縁破壊電界:10MV/cm)でできた耐圧3000Vの素子では、絶縁層9の厚さをおおよそ3μmにする必要がある。この素子において、絶縁層9を短絡電極8側で薄くすることにより、短絡電極8側での放熱効果や、短絡電極8の段差埋め込み性を改善することができる。

【0054】

実施の形態3.

図12は、実施の形態3の半導体装置の要部の構成を示す断面図である。図12に示すように、実施の形態3は、実施の形態1の変形例であり、MIS領域のMOSFETのゲート構造をトレンチゲート型にしたものである。すなわち、このMOSFETは、p-Si層2の表面から、p-Si層2と裏面電極1の間に設けられたn-Si層28に達するトレンチ20が形成され、そのトレンチ20内にゲート絶縁膜25を介してゲート電極26が埋め込まれた構成となっている。この構成では、裏面電極1はソース電極となる。また、n-Si層28の、裏面電極1との界面近傍部分は、n⁺ソース拡散領域23となる。

30

【0055】

実施の形態3によれば、実施の形態1の効果に加えて、次の効果が得られる。すなわち、ソース電極が素子の裏面側に設けられ、ゲート電極26が埋め込み配線となるので、素子の表面側に配置される電極は、短絡電極8とドレイン電極13だけになる。従って、配線の引き回しが容易となり、デバイスの面積効率を上げることができる。また、実施の形態2のように、p-Si層2とn-GaN層10の間の絶縁層9の厚さを変えることによって、実施の形態2と同様の効果が得られる。

40

【0056】

以上において本発明は、上述した実施の形態に限らず、種々変更可能である。例えば、第2の半導体層を構成するワイドバンドギャップ半導体材料として、GaN以外にも、SiC、AlGaNまたはダイヤモンドなどを用いることができる。また、MIS領域を設けずに、バルク領域の構成のみでpnダイオードやショットキーダイオードを構成することもできる。さらに、実施の形態中に記載した数値は一例であり、本発明はそれらの値に限定されるものではない。また、本発明は、p型とn型の導電型を逆にしても同様に成り立つ。

50

【産業上の利用可能性】

【0057】

以上のように、本発明にかかる半導体装置およびその製造方法は、インバータ等の電力変換装置や種々の産業用機械等の電源装置や自動車のイグナイタなどに使用されるパワー半導体装置に有用である。

【図面の簡単な説明】

【0058】

【図1】実施の形態1の半導体装置の要部の構成を示す断面図である。

【図2】実施の形態1の半導体装置の製造プロセスを説明するための断面図である。

【図3】実施の形態1の半導体装置の製造プロセスを説明するための断面図である。

10

【図4】実施の形態1の半導体装置の製造プロセスを説明するための断面図である。

【図5】実施の形態1の半導体装置の製造プロセスを説明するための断面図である。

【図6】実施の形態1の半導体装置の製造プロセスを説明するための断面図である。

【図7】実施の形態1の半導体装置の製造プロセスを説明するための断面図である。

【図8】実施の形態1の半導体装置の製造プロセスを説明するための断面図である。

【図9】実施の形態1の半導体装置の製造プロセスを説明するための断面図である。

【図10】実施の形態1の半導体装置の製造プロセスを説明するための断面図である。

【図11】実施の形態2の半導体装置の要部の構成を示す断面図である。

【図12】実施の形態3の半導体装置の要部の構成を示す断面図である。

【符号の説明】

20

【0059】

2 第1の半導体層

3, 23 ソース領域

4 第1の電極

5, 25 ゲート絶縁膜

6, 26 ゲート電極

7 不純物拡散領域

8 短絡電極

9 絶縁層

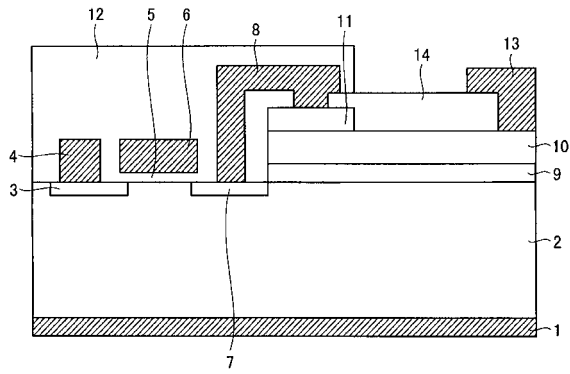
10, 11 第2の半導体層

30

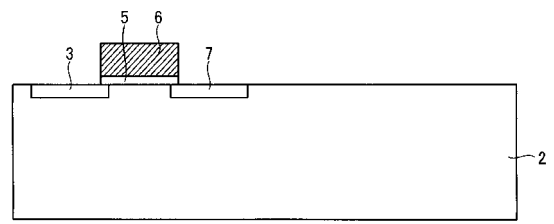
13 第2の電極

20 トレンチ

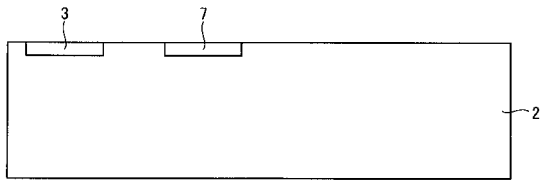
【図1】



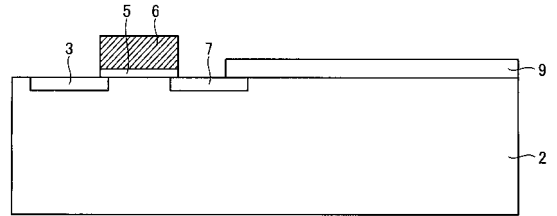
【図3】



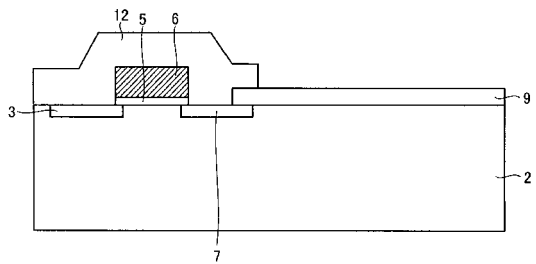
【図2】



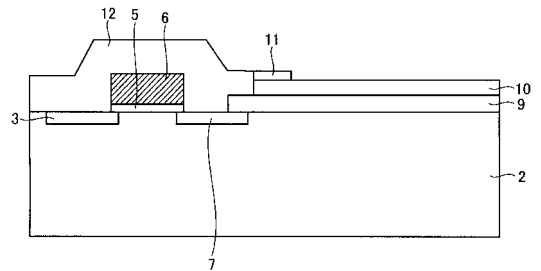
【図4】



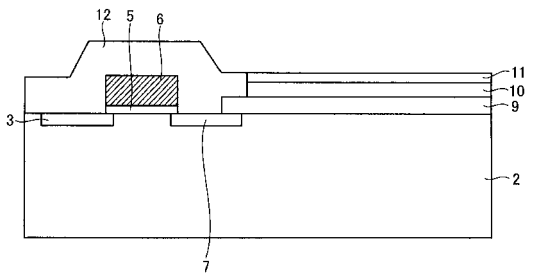
【図5】



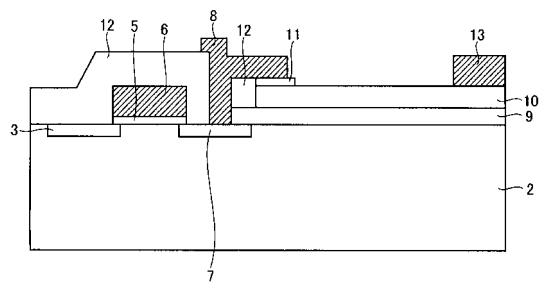
【図7】



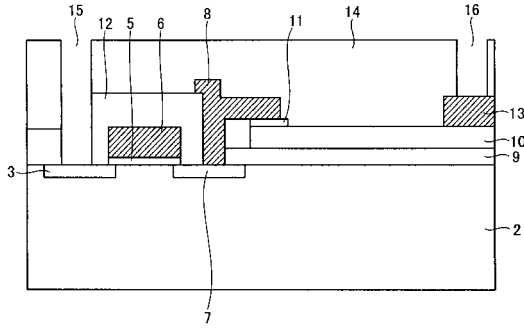
【図6】



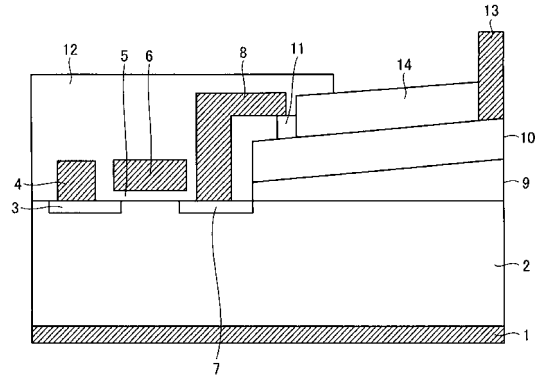
【図8】



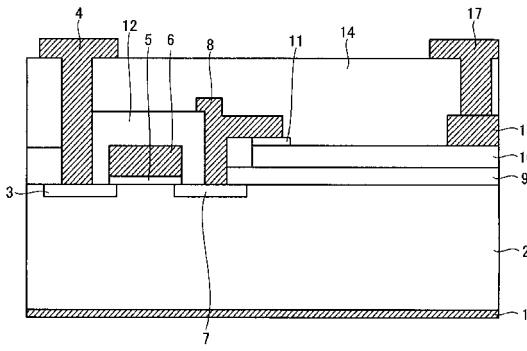
【図 9】



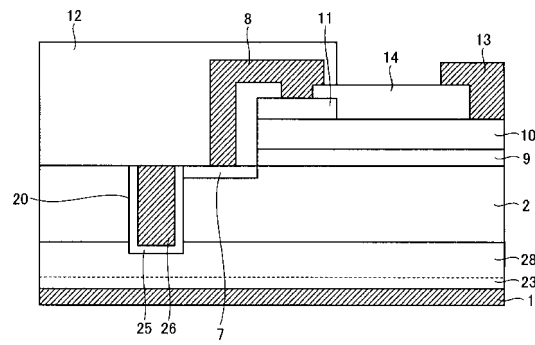
【図 11】



【図 10】



【図 12】



フロントページの続き

(56)参考文献 特表2001-516156(JP,A)
特開平07-254706(JP,A)
特開昭63-018661(JP,A)
特開2000-323494(JP,A)
特開2005-026242(JP,A)
特開2002-093920(JP,A)
特開平02-231730(JP,A)
特開2004-200445(JP,A)
特開2001-267573(JP,A)
特開2000-183179(JP,A)
特表2003-523084(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/8234
H01L 27/06
H01L 29/78
H01L 29/861