

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4568290号
(P4568290)

(45) 発行日 平成22年10月27日 (2010.10.27)

(24) 登録日 平成22年8月13日 (2010.8.13)

(51) Int. Cl.	F I
GO 6 F 13/16 (2006.01)	GO 6 F 13/16 5 1 0 A
GO 6 F 12/00 (2006.01)	GO 6 F 12/00 5 6 0 B
	GO 6 F 12/00 5 6 0 C

請求項の数 41 (全 17 頁)

(21) 出願番号	特願2006-552148 (P2006-552148)	(73) 特許権者	595168543
(86) (22) 出願日	平成17年1月25日 (2005.1.25)		マイクロン テクノロジー, インク,
(65) 公表番号	特表2007-520826 (P2007-520826A)		アメリカ合衆国, アイダホ州 8 3 7 1 6
(43) 公表日	平成19年7月26日 (2007.7.26)		- 9 6 3 2, ボイズ, サウス フェデ
(86) 国際出願番号	PCT/US2005/002410		ラル ウェイ 8 0 0 0
(87) 国際公開番号	W02005/076816	(74) 代理人	100077481
(87) 国際公開日	平成17年8月25日 (2005.8.25)		弁理士 谷 義一
審査請求日	平成19年1月11日 (2007.1.11)	(74) 代理人	100088915
(31) 優先権主張番号	10/773, 583		弁理士 阿部 和夫
(32) 優先日	平成16年2月5日 (2004.2.5)	(72) 発明者	ダグラス エー. ラーソン
(33) 優先権主張国	米国 (US)		アメリカ合衆国 5 5 0 4 4 ミネソタ州
			レイクビル グッドビュー トレイル
			1 6 3 5 1

最終頁に続く

(54) 【発明の名称】 ハブベースのメモリサブシステムにおける、双方向データバスに対するデータバイパスの装置および方法

(57) 【特許請求の範囲】

【請求項 1】

個々のデータバスに接続するための第 1 および第 2 のリンクインタフェース、
該第 1 および第 2 のリンクインタフェースに接続されたデータバスであって、該データバスを通じてデータが該第 1 および第 2 のリンクインタフェース間で転送されるデータバス、並びに、

該データバスに接続された書込バイパス回路であって、書込データを該データバス上に接続し、および、該書込データを一時的に格納して該書込データを一時的に格納している間は読出データが該データバスを通して転送されることを可能とする書込バイパス回路を備えることを特徴とするハブベースのメモリモジュールのためのメモリハブ。

10

【請求項 2】

前記書込バイパス回路が、
前記データバスに接続された第 1 の入力を有し、かつ第 2 の入力、出力、および選択端子を有しており、該出力を該端子に印加される選択信号に従って前記第 1 または第 2 の入力に接続するマルチプレクサ、

前記データバスに接続された入力を有し、かつ該マルチプレクサの前記第 2 の入力に接続された出力を有する先入れ先出し (F I F O) レジスタ、

該マルチプレクサの前記出力に接続されたバッファ入力を有し、かつバッファ出力およびアクティベート端子を有しており、該端子に印加されるアクティベート信号に従って該バッファ入力を該バッファ出力に接続する出力バッファ、並びに、

20

該マルチプレクサに接続された選択回路であって、アクティベートされて該マルチプレクサの前記第 2 の入力を該マルチプレクサの前記出力に接続するときに、前記選択信号および前記アクティベート信号を発生する選択回路

を備えることを特徴とする請求項 1 に記載のメモリハブ。

【請求項 3】

前記書込バイパス回路が、前記データバスに接続された入力並びに前記マルチプレクサおよび前記 F I F O レジスタの各入力に接続された出力を有する入力バッファをさらに備えることを特徴とする請求項 2 に記載のメモリハブ。

【請求項 4】

前記データバスに接続されたメモリデバイスインタフェースであって、該メモリデバイスインタフェースが接続される少なくとも 1 つのメモリデバイスにデータを接続するためのメモリデバイスインタフェースをさらに備えることを特徴とする請求項 1 に記載のメモリハブ。

10

【請求項 5】

第 1 のデータバスに接続して該データバスにデータを供給しおよび該データバスからデータを受け取るための第 1 のリンクインタフェース、

第 2 のデータバスに接続して該データバスにデータを供給しおよび該データバスからデータを受け取るための第 2 のリンクインタフェース、

該第 1 および第 2 のリンクインタフェースに接続され、該第 1 および第 2 のリンクインタフェースの間でデータを接続するスイッチ回路、並びに、

20

該スイッチ回路に接続されるデータバイパス回路であって、該第 1 または第 2 のリンクインタフェースのいずれかで受け取った第 1 のデータの集合を格納し、第 2 のデータの集合が該第 1 のデータの集合に干渉されずに該第 1 および第 2 のリンクインタフェースの間に接続されることを可能とするデータバイパス回路

を備えることを特徴とするハブベースのメモリモジュールのためのメモリハブ。

【請求項 6】

前記データバイパス回路が、

前記スイッチ回路に接続された第 1 の入力を有し、かつ第 2 の入力、出力、および選択端子を有しており、該出力を該端子に印加される選択信号に従って前記第 1 または第 2 の入力を接続するマルチプレクサ、

30

前記スイッチ回路に接続された入力を有し、かつ該マルチプレクサの前記第 2 の入力を接続された出力を有する先入れ先出し (F I F O) レジスタ、

該マルチプレクサの前記出力に接続されたバッファ入力を有し、かつバッファ出力およびアクティベート端子を有しており、該端子に印加されるアクティベート信号に従って該バッファ入力を該バッファ出力に接続する出力バッファ、並びに、

該マルチプレクサに接続された選択回路であって、アクティベートされて該マルチプレクサの前記第 2 の入力を該マルチプレクサの前記出力に接続するときに、前記選択信号および前記アクティベート信号を発生する選択回路

を備えることを特徴とする請求項 5 に記載のメモリハブ。

【請求項 7】

40

前記データバイパス回路が、前記スイッチ回路に接続された入力並びに前記マルチプレクサおよび前記 F I F O レジスタの各入力に接続された出力を有する入力バッファをさらに備えることを特徴とする請求項 6 に記載のメモリハブ。

【請求項 8】

前記スイッチ回路に接続されたメモリデバイスインタフェースであって、該メモリデバイスインタフェースが接続される少なくとも 1 つのメモリデバイスにデータを接続するためのメモリデバイスインタフェースをさらに備えることを特徴とする請求項 5 に記載のメモリハブ。

【請求項 9】

前記メモリデバイスインタフェースが、

50

メモリデバイスに接続可能なメモリデバイス端子、

コントローラに接続され、メモリ要求を格納するための書込バッファ、および、

該コントローラに接続され、データを格納するためのキャッシュ

を備えることを特徴とする請求項 8 に記載のメモリハブ。

【請求項 10】

前記第 1 のデータの集合は書込データであり、前記第 2 のデータの集合は読出データであることを特徴とする請求項 5 に記載のメモリハブ。

【請求項 11】

複数のメモリデバイスおよび該複数のメモリデバイスに接続されたメモリハブを備えたメモリモジュールであって、

該メモリハブが、

個々のデータバスに接続するための第 1 および第 2 のリンクインタフェース、

該第 1 および第 2 のリンクインタフェースに接続されたデータバスであって、該データバスを通じてデータが該第 1 および第 2 のリンクインタフェース間で転送されるデータバス、並びに、

該データバスに接続された書込バイパス回路であって、書込データを該データバス上に接続し、および、該書込データを一時的に格納して該書込データを一時的に格納している間は読出データが該データバスを通して転送されることを可能とする書込バイパス回路

を備えることを特徴とするメモリモジュール。

【請求項 12】

前記書込バイパス回路が、

前記データバスに接続された第 1 の入力を有し、かつ第 2 の入力、出力、および選択端子を有しており、該出力を該端子に印加される選択信号に従って前記第 1 または第 2 の入力に接続するマルチプレクサ、

前記データバスに接続された入力を有し、かつ該マルチプレクサの前記第 2 の入力に接続された出力を有する先入れ先出し (F I F O) レジスタ、

該マルチプレクサの前記出力に接続されたバッファ入力を有し、かつバッファ出力およびアクティベート端子を有しており、該端子に印加されるアクティベート信号に従って該バッファ入力を該バッファ出力に接続する出力バッファ、並びに、

該マルチプレクサに接続された選択回路であって、アクティベートされて該マルチプレクサの前記第 2 の入力を該マルチプレクサの前記出力に接続するときに、前記選択信号および前記アクティベート信号を発生する選択回路

を備えることを特徴とする請求項 11 に記載のメモリモジュール。

【請求項 13】

前記書込バイパス回路が、前記データバスに接続された入力並びに前記マルチプレクサおよび前記 F I F O レジスタの各入力に接続された出力を有する入力バッファをさらに備えることを特徴とする請求項 12 に記載のメモリモジュール。

【請求項 14】

前記メモリハブは、前記データバスおよび前記複数のメモリデバイスの少なくとも 1 つのメモリデバイスに接続されたメモリデバイスインタフェースであって、データを該メモリデバイスに接続するためのメモリデバイスインタフェースをさらに備えることを特徴とする請求項 11 に記載のメモリモジュール。

【請求項 15】

前記メモリデバイスインタフェースが、

メモリコントローラバスを通して前記データバスに接続され、メモリデバイスバスを通して前記複数のメモリデバイスの少なくとも 1 つのメモリデバイスに接続されたメモリコントローラ、

該コントローラに接続され、該コントローラに接続された該メモリデバイスに向けられたメモリ要求を格納するための書込バッファ、および、

該コントローラに接続され、該メモリデバイスに供給されるまたは該メモリデバイスか

10

20

30

40

50

ら取得されるデータを格納するためのキャッシュ

を備えることを特徴とする請求項 14 に記載のメモリモジュール。

【請求項 16】

複数のメモリデバイスおよび該複数のメモリデバイスの少なくとも 1 つに接続されたメモリハブを備えたメモリモジュールであって、

該メモリハブが、

第 1 のデータバスに接続して該データバスにデータを供給しおよび該データバスからデータを受け取るための第 1 のリンクインタフェース、

第 2 のデータバスに接続して該データバスにデータを供給しおよび該データバスからデータを受け取るための第 2 のリンクインタフェース、

該第 1 および第 2 のリンクインタフェースに接続され、該第 1 および第 2 のリンクインタフェースの間でデータを接続するスイッチ回路、並びに、

該スイッチ回路に接続されるデータバイパス回路であって、該第 1 または第 2 のリンクインタフェースのいずれかで受け取った第 1 のデータの集合を格納し、第 2 のデータの集合が該第 1 のデータの集合に干渉されずに該第 1 および第 2 のリンクインタフェースの間に接続されることを可能とするデータバイパス回路

を備えることを特徴とするメモリモジュール。

【請求項 17】

前記データバイパス回路が、

前記スイッチ回路に接続された第 1 の入力を有し、かつ第 2 の入力、出力、および選択端子を有しており、該出力を該端子に印加される選択信号に従って前記第 1 または第 2 の入力に接続するマルチプレкса、

前記スイッチ回路に接続された入力を有し、かつ該マルチプレксаの前記第 2 の入力に接続された出力を有する先入れ先出し (FIFO) レジスタ、

該マルチプレксаの前記出力に接続されたバッファ入力を有し、かつバッファ出力およびアクティベート端子を有しており、該端子に印加されるアクティベート信号に従って該バッファ入力を該バッファ出力に接続する出力バッファ、並びに、

該マルチプレксаに接続された選択回路であって、アクティベートされて該マルチプレксаの前記第 2 の入力を該マルチプレксаの前記出力に接続するときに、前記選択信号および前記アクティベート信号を発生する選択回路

を備えることを特徴とする請求項 16 に記載のメモリモジュール。

【請求項 18】

前記データバイパス回路が、前記スイッチ回路に接続された入力並びに前記マルチプレксаおよび前記 FIFO レジスタの各入力に接続された出力を有する入力バッファをさらに備えることを特徴とする請求項 17 に記載のメモリモジュール。

【請求項 19】

前記メモリハブは、前記複数のメモリデバイスの少なくとも 1 つのメモリデバイスに接続されたメモリデバイスインタフェースであって、データを該メモリデバイスに接続するためのメモリデバイスインタフェースをさらに備えることを特徴とする請求項 16 に記載のメモリモジュール。

【請求項 20】

前記第 1 のデータの集合は書込データであり、前記第 2 のデータの集合は読出データであることを特徴とする請求項 16 に記載のメモリモジュール。

【請求項 21】

プロセッサバスを有するプロセッサ、該バスに接続され、システムメモリポートおよび周辺デバイスポートを有するシステムコントローラ、該周辺デバイスポートに接続された少なくとも 1 つの入力デバイス、該周辺デバイスポートに接続された少なくとも 1 つの出力デバイス、該周辺デバイスポートに接続された少なくとも 1 つのデータストレージデバイス、並びに、前記システムメモリポートに接続されたメモリモジュールを備えた、プロセッサベースのシステムであって、

該メモリモジュールが、複数のメモリデバイスおよび該複数のメモリデバイスに接続されたメモリハブを備え、

該メモリハブが、

個々のデータバスに接続するための第 1 および第 2 のリンクインタフェース、

該第 1 および第 2 のリンクインタフェースに接続されたデータバスであって、該データバスを通じてデータが該第 1 および第 2 のリンクインタフェース間で転送されるデータバス、並びに、

該データバスに接続された書込バイパス回路であって、書込データを該データバス上に接続し、および、該書込データを一時的に格納して該書込データを一時的に格納している間は読出データが該データバスを通して転送されることを可能とする書込バイパス回路を備える

10

ことを特徴とするシステム。

【請求項 2 2】

前記書込バイパス回路が、

前記データバスに接続された第 1 の入力を有し、かつ第 2 の入力、出力、および選択端子を有しており、該出力を該端子に印加される選択信号に従って前記第 1 または第 2 の入力に接続するマルチプレクサ、

前記データバスに接続された入力を有し、かつ該マルチプレクサの前記第 2 の入力に接続された出力を有する先入れ先出し (F I F O) レジスタ、

該マルチプレクサの前記出力に接続されたバッファ入力を有し、かつバッファ出力およびアクティベート端子を有しており、該端子に印加されるアクティベート信号に従って該バッファ入力を該バッファ出力に接続する出力バッファ、並びに、

20

該マルチプレクサに接続された選択回路であって、アクティベートされて該マルチプレクサの前記第 2 の入力を該マルチプレクサの前記出力に接続するときに、前記選択信号および前記アクティベート信号を発生する選択回路

を備えることを特徴とする請求項 2 1 に記載のシステム。

【請求項 2 3】

前記書込バイパス回路が、前記データバスに接続された入力並びに前記マルチプレクサおよび前記 F I F O レジスタの各入力に接続された出力を有する入力バッファをさらに備えることを特徴とする請求項 2 2 に記載のシステム。

30

【請求項 2 4】

前記メモリハブは、前記データバスおよび前記複数のメモリデバイスの少なくとも 1 つのメモリデバイスに接続されたメモリデバイスインタフェースであって、データを該メモリデバイスに接続するためのメモリデバイスインタフェースをさらに備えることを特徴とする請求項 2 1 に記載のシステム。

【請求項 2 5】

前記メモリデバイスインタフェースが、

メモリコントローラバスを通して前記データバスに接続され、メモリデバイスバスを通して前記複数のメモリデバイスの少なくとも 1 つのメモリデバイスに接続されたメモリコントローラ、

40

該コントローラに接続され、該コントローラに接続された該メモリデバイスに向けられたメモリ要求を格納するための書込バッファ、および、

該コントローラに接続され、該メモリデバイスに供給されるまたは該メモリデバイスから取得されるデータを格納するためのキャッシュ

を備えることを特徴とする請求項 2 4 に記載のシステム。

【請求項 2 6】

プロセッサバスを有するプロセッサ、該プロセッサバスに接続され、システムメモリポートおよび周辺デバイスポートを有するシステムコントローラ、該周辺デバイスポートに接続された少なくとも 1 つの入力デバイス、該周辺デバイスポートに接続された少なくとも 1 つの出力デバイス、該周辺デバイスポートに接続された少なくとも 1 つのデータスト

50

レージデバイス、並びに、前記システムメモリポートに接続されたメモリモジュールを備えた、プロセッサベースのシステムであって、

該メモリモジュールが、複数のメモリデバイスおよび該複数のメモリデバイスの少なくとも1つに接続されたメモリハブを備え、

該メモリハブが、

第1のデータバスに接続して該データバスにデータを供給しおよび該データバスからデータを受け取るための第1のリンクインタフェース、

第2のデータバスに接続して該データバスにデータを供給しおよび該データバスからデータを受け取るための第2のリンクインタフェース、

該第1および第2のリンクインタフェースに接続され、該第1および第2のリンクインタフェースの間でデータを接続するスイッチ回路、並びに、

該スイッチ回路に接続されるデータバイパス回路であって、該第1または第2のリンクインタフェースのいずれかで受け取った第1のデータの集合を格納し、第2のデータの集合が該第1のデータの集合に干渉されずに該第1および第2のリンクインタフェースの間に接続されることを可能とするデータバイパス回路を備える

ことを特徴とするシステム。

【請求項27】

前記データバイパス回路が、

前記スイッチ回路に接続された第1の入力を有し、かつ第2の入力、出力、および選択端子を有しており、該出力を該端子に印加される選択信号に従って前記第1または第2の入力に接続するマルチプレクサ、

前記スイッチ回路に接続された入力を有し、かつ該マルチプレクサの前記第2の入力に接続された出力を有する先入れ先出し(FIFO)レジスタ、

該マルチプレクサの前記出力に接続されたバッファ入力を有し、かつバッファ出力およびアクティベート端子を有しており、該端子に印加されるアクティベート信号に従って該バッファ入力を該バッファ出力に接続する出力バッファ、並びに、

該マルチプレクサに接続された選択回路であって、アクティベートされて該マルチプレクサの前記第2の入力を該マルチプレクサの前記出力に接続するときに、前記選択信号および前記アクティベート信号を発生する選択回路

を備えることを特徴とする請求項26に記載のシステム。

【請求項28】

前記データバイパス回路が、前記スイッチ回路に接続された入力並びに前記マルチプレクサおよび前記FIFOレジスタの各入力に接続された出力を有する入力バッファをさらに備えることを特徴とする請求項27に記載のシステム。

【請求項29】

前記メモリハブは、前記複数のメモリデバイスの少なくとも1つのメモリデバイスに接続されたメモリデバイスインタフェースであって、データを該メモリデバイスに接続するためのメモリデバイスインタフェースをさらに備えることを特徴とする請求項26に記載のシステム。

【請求項30】

前記メモリデバイスインタフェースが、

メモリコントローラバスを通して前記メモリデバイスインタフェースに接続され、かつメモリデバイスバスを通して前記複数のメモリデバイスの少なくとも1つに接続されたメモリコントローラ、

該コントローラに接続され、該コントローラに接続された該メモリデバイスに向けられたメモリ要求を格納するための書込バッファ、および、

該コントローラに接続され、該メモリデバイスに供給されるまたは該メモリデバイスから取得されるデータを格納するためのキャッシュ

を備えることを特徴とする請求項29に記載のシステム。

【請求項31】

前記第 1 のデータの集合は書込データであり、前記第 2 のデータの集合は読出データであることを特徴とする請求項 26 に記載のシステム。

【請求項 32】

メモリバスに接続されたメモリシステムであって、前記メモリバスを介して直列に接続された複数のメモリモジュールを備えるメモリシステムのメモリ域にデータを書込む方法であって、

該メモリシステム中の読出データにアクセスすること、

前記メモリバスに、該メモリシステムへの書込データを供給すること、

該メモリシステム中のレジスタに、該書込データを該書込データの一時的格納のために接続すること、

前記読出データを前記メモリバスに接続しおよび該読出データを読み出しのために供給すること、

前記レジスタに格納された前記書込データを前記メモリバスに接続すること、並びに、前記読出データがアクセスされたメモリモジュールより川下に位置するメモリモジュール中に位置する前記メモリ域に前記書込データを書込むこと

を含むことを特徴とする方法。

【請求項 33】

前記メモリシステムにライトコマンドを発行する前に前記メモリシステムにリードコマンドを発行することをさらに含むことを特徴とする請求項 32 に記載の方法。

【請求項 34】

前記書込データを供給することが、前記レジスタに前記書込データを接続する前に前記メモリシステムの少なくとも 1 つのメモリモジュールを通して前記書込データを供給することを含むことを特徴とする請求項 32 に記載の方法。

【請求項 35】

メモリバスを有するメモリシステムであって、前記メモリバスを介して直列に接続された複数のメモリモジュールを備えるメモリシステムにおいてメモリコマンドを実行する方法であって、

該メモリシステムに対してリードコマンドを発行すること、

該メモリシステム中のメモリ域にライトコマンドを発行すること、および該メモリシステムの前記メモリバスに書込データを供給すること、

該メモリシステム中の読出データにアクセスすること、

該メモリシステムにおいて、前記書込データを前記メモリバスから分離し、かつ、前記書込データを一時的に格納している間は読出データが前記メモリバスを通して転送されることを可能にする前記書込データを一時的に格納すること、

該メモリシステムから、前記読出データを前記メモリバス上で受け取ること、

前記書込データを前記メモリバスに再接続すること、および、

前記ライトコマンドを前記メモリ域に対し回復すること

を含むことを特徴とする方法。

【請求項 36】

前記リードコマンドを発行することが、前記ライトコマンドを発行することに先行することを特徴とする請求項 35 に記載の方法。

【請求項 37】

前記読出データを受け取る間、前記書込データをバイパスバッファに一時的に格納することをさらに含むことを特徴とする請求項 35 に記載の方法。

【請求項 38】

前記書込データを供給することは、前記書込データを前記メモリバスから分離する前に、前記メモリシステムの少なくとも 1 つのメモリモジュールを通して前記書込データを供給することを含むことを特徴とする請求項 35 に記載の方法。

【請求項 39】

メモリバスを有するメモリシステムであって、前記メモリバスを介して直列に接続され

10

20

30

40

50

た複数のメモリモジュールを備えるメモリシステムにおいて読出およびライトコマンドを実行する方法であって、

リードコマンドを発行し、該メモリシステム中の第1のメモリ域にアクセスすること、
該リードコマンドの完了前に、前記第1のメモリ域から川下に位置する、該メモリシステム中の第2のメモリ域に、書込データを書き込むためのライトコマンドをスケジュールをすること、

読出データを前記第1のメモリ域から取得すること、

書込データを前記メモリシステムの前記メモリバスに供給すること、

前記メモリシステムにおいて、ある時間の間、前記書込データを前記メモリバスから分離して、前記書込データを一時的に格納している間は前記読出データが前記メモリバスを通して転送されることを可能にすること、

10

前記メモリシステムから、前記読出データを前記メモリバス上で受け取ること、および、

前記書込データを前記メモリバスに供給すること

を含むことを特徴とする方法。

【請求項40】

前記読出データを受け取る間、前記書込データをバイパスバッファに一時的に格納することをさらに含むことを特徴とする請求項39に記載の方法。

【請求項41】

前記書込データを供給することは、前記書込データを前記メモリバスから分離する前に、前記メモリシステムの少なくとも1つのメモリモジュールを通して前記書込データを供給することを含むことを特徴とする請求項39に記載の方法。

20

【発明の詳細な説明】

【技術分野】

【0001】

(関連出願の相互参照)

本願は、2004年2月5日に出願された、名称「APPARATUS AND METHOD FOR DATA BYPASS FOR A BI-DIRECTIONAL DATA BUS IN A HUB-BASED MEMORY SUB-SYSTEM」の米国特許出願番号10/773,583号の利益を主張するものであり、参照によりその開示内容を本明細書に組み込む。

30

【0002】

本発明はメモリシステムに関し、より詳細には、双方向データバス上でのデータ衝突を防止するためのデータバイパス(data bypass)を有するメモリモジュールに関する。

【背景技術】

【0003】

コンピュータシステムは、プロセッサによりアクセスされるデータを格納するために、ダイナミックRAM(Dynamic Random Access Memory: DRAM)デバイスなどのメモリデバイスを使用する。コンピュータシステムにおいては通常、これらのメモリデバイスはシステムメモリとして使用される。典型的なコンピュータシステムにおいて、プロセッサはプロセッサバスおよびメモリコントローラによりシステムメモリと通信する。システムメモリのメモリデバイスは通常、複数のメモリデバイスを有するメモリモジュールとして配列され、メモリバスを通してメモリコントローラに接続される。プロセッサはメモリ要求を発行し、この中にリードコマンドなどのメモリコマンド、およびデータまたは命令が読み出される位置を指定するアドレスが含まれる。メモリコントローラはコマンドおよびアドレスを使用し、適切なコマンド信号、並びにローおよびカラムアドレスを発生させ、これがメモリバスを通してシステムメモリに印加される。このコマンドおよびアドレスに応答して、データがシステムメモリおよびプロセッサの間で転送される。メモリコントローラは多くの場合にシステムコントローラの一部であり、システムコントローラはまた、プロセッサバスをPCIバスなどの拡張バスに接続するバスブリッジ回路を含む。

40

【0004】

50

メモリシステムにおいては、データ処理能力が高いことが望ましい。メモリコントローラは、システムメモリへの、およびシステムメモリからのデータをメモリデバイスが可能な早さと同等な早さで順序付けるため、処理能力限界は一般にメモリコントローラには関係しない。処理能力を増加させるために取られてきた1つのアプローチは、メモリデバイスとメモリコントローラを接続するメモリデータバスの速度を増加させることである。このようにして、同じ情報量をより少ない時間で、メモリデータバス上で移動させることが可能となる。しかしながら、メモリデータバス速度の増加にもかかわらず、処理能力においてそれに見合う増加は結果として生じない。データバス速度および処理能力の間が非線形な関係となる理由の1つはメモリデバイス自体におけるハードウェア限界である。すなわち、メモリコントローラはメモリデバイスへのすべてのメモリコマンドを、ハードウェア限界を受け容れるようにスケジュールせねばならない。これらのハードウェア限界は、メモリデバイスの設計によりある程度抑えることが可能であるが、ハードウェア限界を抑えることは通常は、メモリデバイスに対する費用、電力、および/またはサイズを増加させることになり、それらすべてが代替手段として望ましくないため、妥協がなされねばならない。このように、これらの制約を考慮すると、例えばメモリデバイスの同一ページで連続するトラフィックのような、「品行方正 (well-behaved)」なトラフィックをメモリデバイスがより増加した速度で移動させることは簡単であるが、メモリデバイスの異なるページまたはバンクの間でバウンスする (bounce) ような、「行儀の悪い (badly-behaved) トラフィック」をメモリデバイスが処理することは、はるかに難しい。結果として、メモリデータバスにおける処理能力の増加は情報処理能力においてそれに見合う増加をもたらさない。

【0005】

プロセッサおよびメモリデバイスの間の限定された処理能力に加えて、コンピュータシステムの性能はまた、システムメモリデバイスからデータを読むために必要な時間を増加させる、待ち時間の問題によっても制限される。より詳しく述べると、メモリデバイスのリードコマンドが、同期DRAM (Synchronous DRAM: SDRAM) デバイスなどの、システムメモリデバイスに接続されたとき、読出データは数クロックの期間の遅延の後にはしかSDRAMデバイスから出力されない。したがって、SDRAMデバイスが高いデータ速度でバーストデータを同期して出力することが可能であっても、最初にデータを提供する際の遅延により、そのようなSDRAMデバイスを使用するコンピュータシステムの動作速度をかなり低下させる可能性がある。この待ち時間問題を緩和させるために役立つように、メモリデータバス速度を増加させることが使用可能である。しかしながら処理能力と同様に、本質的には上述したことと同じ理由により、メモリデータバス速度を増加しても、待ち時間の直線的な減少はもたらされない。

【0006】

メモリデータバス速度を増加することにより、処理能力の増加および待ち時間の減少にある程度成功するが、このアプローチでは他の問題が提起される。例えば、メモリコントローラ、およびメモリモジュールが挿入されるメモリスロットの間には、従来は単にワイヤがあるのみであったため、信号の完全性 (integrity) を維持するためには、メモリデータバスの速度が上がるに従って、メモリバス上の負荷を減少させる必要がある。メモリデータバス速度の増加に対応するためにいくつかのアプローチが取られてきた。例えば、メモリスロットの数を減少させること、メモリモジュールのメモリデバイスへの制御信号の十分なファンアウトを提供するためにメモリモジュール上にバッファ回路を追加すること、および1つのメモリデバイスインタフェースには余りにも少数のメモリモジュールコネクタしかないため、メモリモジュール上に複数のメモリデバイスインタフェースを提供すること、である。しかしながら、これらの従来のアプローチの有効性は限定されている。過去においてこれらの技法が使用された理由は、そうすることが費用対効果に優れていたからである。しかしながら、インタフェースあたり1つのメモリモジュールのみが挿入可能であるとき、それぞれの必要なメモリスロットに別のメモリインタフェースを加えることは大変高価になる。言い換えればそのようにすることは、費用を大幅に増大させて、

システムコントローラのパッケージをありふれたものの範囲外へ、そして特化したものの範囲内へと押し出すことになる。

【 0 0 0 7 】

費用効率がよい方法でメモリデータバスの速度増加を可能とする最近の1つのアプローチは、プロセッサに接続された複数のメモリデバイスをメモリハブを通して使用することである。メモリハブ構造、すなわちハブベースのメモリサブシステムにおいては、システムコントローラまたはメモリコントローラが高速の双方向または単方向のメモリコントローラ/ハブインタフェースによりいくつかのメモリモジュールに接続される。メモリモジュールは通常、メモリモジュールが1つ1つ直列に接続されるように、ポイントツーポイントすなわちデ이지ーチェーン(daisy chain)構造で接続される。このようにして、メモリコントローラが第1のメモリモジュールに接続され、第1のメモリモジュールが第2のメモリモジュールに接続され、第2のメモリモジュールが第3のメモリモジュールに接続され、そして以下同様にデ이지ーチェーン形式で接続される。

10

【 0 0 0 8 】

それぞれのメモリモジュールはメモリコントローラ/ハブインタフェースおよびモジュール上の多くのメモリデバイスに接続されるメモリハブを含み、メモリハブがコントローラおよびメモリデバイスの間でメモリコントローラ/ハブインタフェースによりメモリ要求および応答を効率的にルーチングする。この構造を採用するコンピュータシステムは、メモリデータバス上での信号完全性の維持が可能であるため、高速メモリデータバスの使用が可能である。そのうえ、この構造はまた、より多くのメモリモジュールが追加されるに際し、従来のメモリバス構造において生起するような、信号品質の劣化を懸念することなく、システムメモリの簡単な拡張を提供する。

20

【 発明の開示 】

【 発明が解決しようとする課題 】

【 0 0 0 9 】

メモリハブを使用するコンピュータシステムは優れた性能を提供できるが、多くの場合に様々な理由により最適な効率で動作できないことがある。そのような理由の1つは、メモリハブを通してメモリコントローラとの間で往き来するデータ間でのデータ衝突管理の問題である。従来のメモリコントローラにおいてデータ衝突を避けるために取られた1つのアプローチは、1つのメモリコマンドの完了まで別のメモリコマンドの実行を遅らせることである。例えば、従来のメモリコントローラでは、リードコマンドの後に発行されたライトコマンドは、メモリバス上で読み出された(すなわち、上りの)データは書込(すなわち、下りの)データと衝突することを回避するために、リードコマンドがほとんど完了するまで開始することを許されない。しかしながら、ライトコマンドが待機することを強要することは、實際上処理能力(bandwidth)を低下させることとなり、このことはメモリシステムにおいて通常望まれていることと一致しない。

30

【 課題を解決するための手段 】

【 0 0 1 0 】

本発明の1つの態様は、データバイパス回路を有するメモリハブに関連する。本メモリハブは、個々のデータバスに接続するための第1および第2のリンクインタフェース、第1および第2のリンクインタフェースに接続され、第1および第2のリンクインタフェースの間のデータを転送するデータバスを含む。本メモリハブはさらに、データバス上に書込データを接続し、書込データをデータバス上に接続し、および、書込データを一時的に格納して書込データを一時的に格納している間は読出データがデータバスを通して転送されることを可能とする書込バイパス回路を含む。本発明のもう一つの態様においては、メモリバスに接続されたメモリシステムのメモリ域(memory location)にデータを書き込むための方法を提供する。本方法は、メモリシステム中の読出データにアクセスすること、メモリバスに、メモリシステムへの書込データを供給すること、および、レジスタに、書込データを書込データの一時的格納のために接続することを含む。データが一時的に格納されている間、読出データはメモリバスに接続され、読み出すために供給される。書込

40

50

データはメモリバスと再接続され、メモリ域に書き込まれる。

【発明を実施するための最良の形態】

【0011】

本発明の実施形態は、ハブベースのメモリサブシステムにおいて双方向データバスに対してデータバイパスを提供するバイパス回路を有するメモリハブに向けられる。一定の詳細内容は、本発明の様々な実施形態の十分な理解を提供するために、以下に詳しく説明される。しかしながら、これらの特定の詳細なしで本発明を実施することができることが当業者には明らかであろう。本発明を不必要に分かり難くすることを避けるために、周知の回路、制御信号、およびタイミングプロトコルについては、詳細に示されない場合がある。

10

【0012】

図1は、本発明の一実施形態によるコンピュータシステム100を示す。コンピュータシステム100は、特定の計算またはタスクを行う特定のソフトウェアを実行することなどの、様々なコンピューティング機能を実行するためのプロセッサ104を含む。プロセッサ104は、通常、アドレスバス、コントロールバス、およびデータバスを含むプロセッサバス106を含む。プロセッサバス106は通常、キャッシュメモリ108に接続される。キャッシュメモリ108は通常、スタティックRAM (Static Random Access Memory: SRAM) により提供される。プロセッサバス106はまた、バスブリッジと呼ばれる場合のある、システムコントローラ110に接続される。

【0013】

システムコントローラ110は、他の様々な構成要素に対してはプロセッサ104との通信経路の役割をする。例えば図1に示されるように、システムコントローラ110は通常グラフィックコントローラ112に接続されたグラフィックポートを含む。グラフィックコントローラは通常、ビデオディスプレイなどのビデオ端末114に接続される。システムコントローラ110はまた、キーボードまたはマウスなどの、1つまたは複数の入力デバイス118に接続され、オペレータがコンピュータシステム100とインターフェイスすることを可能とする。コンピュータシステム100はまた通常、システムコントローラ110を通してプロセッサ104に接続された、プリンタなどの1つまたは複数の出力デバイス120を含む。1つまたは複数のデータストレージデバイス124はまた通常、システムコントローラ110を通してプロセッサ104に接続され、プロセッサ104が内部または外部ストレージメディア (図示せず) との間でデータを格納し、またはデータを取得することを可能とする。典型的なストレージデバイス124の例としては、ハードディスクおよびフロッピー (登録商標) ディスク、カセットテープ、およびコンパクトディスク読み出し専用メモリ (Compact Disk Read-Only Memory: CD-ROM) が含まれる。

20

30

【0014】

システムコントローラ110には、いくつかのメモリモジュール130a、130b、130c、... 130nのメモリハブ140に接続されたメモリハブコントローラ128が含まれる。メモリモジュール130は、コンピュータシステム100に対するシステムメモリとして機能し、望ましくは高速双方向のメモリコントローラ/ハブインタフェース134を通してメモリハブコントローラ128に接続される。メモリモジュール130は、ポイントツーポイント配置でメモリハブコントローラ128に接続されるように示され、メモリコントローラ/ハブインタフェース134が、メモリモジュール130のメモリハブ140を通して接続される。すなわちメモリコントローラ/ハブインタフェース134は、メモリハブ140を直列に接続する双方向バスである。したがって、メモリコントローラ/ハブインタフェース134の情報は、「川下 (downstream)」の宛先に到達するには「上流 (upstream)」のメモリモジュール130のメモリハブ140を通して移動せねばならない。例えば、特に図1を参照すると、メモリハブコントローラ128からメモリモジュール130cのメモリハブ140まで送られる情報は、メモリモジュール130aおよび130bのメモリハブ140を通過するであろう。

40

50

【 0 0 1 5 】

しかしながら、図 1 のポイントツーポイント配置以外の接続形態もまた、使用できることが理解されるであろう。例えば、メモリハブコントローラ 1 2 8 にそれぞれのメモリモジュール 1 3 0 を接続するために別々の高速リンク（図示せず）が使用される接続配置を使用することができる。また、メモリハブコントローラ 1 2 8 がスイッチ（図示せず）によりそれぞれのメモリモジュール 1 3 0 に選択的に接続される切り換え接続形態を使用することができる。使用することができる他の接続形態は当業者にとって明らかであろう。加えて、メモリモジュールをメモリハブコントローラに接続するメモリコントローラ／ハブインタフェース 1 3 4 は、電氣的または光学的な通信路であることができる。しかしながら、メモリコントローラ／ハブインタフェース 1 3 4 として他の型の通信路をもまた、使用することができる。メモリコントローラ／ハブインタフェース 1 3 4 が光通信路として実施された場合には、その光通信路は 1 つまたは複数の光ファイバの形態を取る場合がある。そのような場合にはメモリハブコントローラ 1 2 8 およびメモリモジュールは、当技術分野でよく知られているように、光学的入／出力ポートまたは光通信路に接続された別個の入力および出力ポートを含むであろう。

10

【 0 0 1 6 】

メモリハブ 1 4 0 は、個々のメモリモジュール 1 3 0 のメモリデバイス 1 4 8 へのアクセスを制御する。図 1 では、メモリデバイスは同期型 D R A M（Synchronous Dynamic Random Access Memory：S D R A M）デバイスとして示される。しかしながら、S D R A M デバイス以外のメモリデバイスをもまた、使用することができる。また、図 1 に示されるように、メモリハブは個々のメモリバス 1 5 0 により 4 組のメモリデバイス 1 4 8 に接続される。それぞれの組は 4 つのメモリデバイス 1 4 8 で、それぞれのメモリモジュール 1 3 0 あたり合計 2 0 個のメモリデバイス 1 4 8 を含む。当技術分野で知られているように、メモリバス 1 5 0 は通常、コントロールバス、アドレスバス、およびデータバスを含む。しかしながら、共有コマンド／アドレスバスを使用するバスシステムなどの、他のバスシステムもまた、本発明の範囲から逸脱することなく使用することができることは、当業者により理解されるであろう。さらに、メモリデバイス 1 4 8 の配置、およびメモリデバイス 1 4 8 の数が本発明の範囲から逸脱することなく変更可能であることも理解されるであろう。

20

【 0 0 1 7 】

図 2 は、本発明の実施形態によるメモリハブ 1 4 0 の一部を示す。メモリハブ 1 4 0 は、メモリコントローラ／ハブインタフェース 1 3 4（図 1）に接続されたローカルハブ回路 2 1 4 を含む。ローカルハブ回路 2 1 4 は、メモリバス 1 5 0 を通してさらにメモリデバイス 1 4 8 に接続される。ローカルハブ回路 2 1 4 は、メモリコントローラ 1 2 8 から発行されたメモリ命令を処理するための、およびメモリバス 1 5 0 上でメモリデバイス 1 4 8 にアクセスするためのコントロールロジックを含み、メモリコマンドが個々のメモリモジュール 1 3 0 に向けられたとき、対応するデータを供給する。そのようなコントロールロジックの設計および動作は、当業者によりよく知られているため、簡略にするため、ここでのより詳細な記述は省略されている。メモリハブ 1 4 0 は、さらにローカルハブ回路 2 1 4 に接続されたデータバイパス回路 2 8 6 を含む。以下でさらに詳細に記述されるようにデータバイパス回路 2 8 6 は、離れているメモリハブに行くデータを一時的にキャプチャするために使用され、キャプチャされたデータがその離れているメモリハブに届く前に別の離れているメモリハブから戻るデータがメモリハブ 1 4 0 を通過することを可能とする。このようにデータバイパス回路 2 8 6 は、メモリハブ 1 4 0 が接続される双方向メモリのコントローラ／ハブインタフェース 1 3 4 上でのデータ衝突を避けるために使用することが可能なデータバイパス機構を提供する。

30

40

【 0 0 1 8 】

上述したように、データ衝突を避けるために従来のメモリサブシステムで取られた 1 つのアプローチは、1 つのメモリコマンドが完了するまで別のメモリコマンドの実行を遅らせることである。例えば典型的なシステムにおいては、リードコマンド（read command）

50

の後で発行されたライトコマンド (write command) は、メモリコントローラ / ハブインタフェース 134 上で読み出された (すなわち、上りの) データが書込 (すなわち、下りの) データと衝突することを回避するために、そのリードコマンドがほぼ完了するまでは開始することを許されなかったであろう。それにひきかえ、データバイパス回路 286 を有するメモリハブ 140 を採用することにより、リードコマンドの後に発行されたライトコマンドは、従来のメモリシステムと比べて、より早く順序付けることができ、その結果、先にスケジュールされたそのライトコマンドの後にスケジュールされたメモリコマンドをもまた、より速やかに実行することが可能である。

【0019】

図3は本発明の実施形態によるデータバイパス回路300を示す。データバイパス回路300は、データバイパス回路286(図2)に代わることが可能であり、当業者によく知られている従来の設計および回路を使用して実施可能である。データバイパス回路300は、入力書込データWR__DATA__INを受け取り、かつそれをバイパスレジスタ/FIFO(First-In-First-Out: 先入れ先出し回路)304およびマルチプレクサ306の第1の入力に供給する入力バッファ302を含む。バイパスレジスタ/FIFO304の出力は、マルチプレクサ306の第2の入力に接続される。マルチプレクサ306の出力に2つの入力のどちらを接続すべきかについては、バイパス選択ロジック308により発生されたイネーブル信号ENにより選択される。EN信号はまた、入/出力バッファ310をアクティベート、または非アクティベートする出力イネーブル信号として、入/出力バッファ310にも供給される。バイパス選択ロジック308は、メモリハブコントローラ128(図1)により提供されたアクティベート信号BYPASS__ENに応答して適切なEN信号を発生させる。あるいはまた、同じメモリシステムの一部である他のメモリハブ(図示せず)からBYPASS__EN信号が提供される場合がある。データバイパス回路の回路構成は従来型であり、かつデータバイパス回路300の回路が当技術分野でよく知られている従来型の設計および回路を使用して実施可能であることが理解されるであろう。

【0020】

動作としては、データバイパス回路300により受け取られたWR__DATA__INが入力バッファ302により駆動され、マルチプレクサ306の第1の入力に供給される。WR__DATA__INはまた、バイパスレジスタ/FIFO304で保存される。アクティブでないBYPASS__EN信号に応答して、アクティブなEN信号がバイパス選択ロジック308により発生される。アクティブなEN信号は、入/出力バッファ310による出力をイネーブルし、かつマルチプレクサ306により入力バッファ302の出力を入/出力バッファ310の入力に接続する。その結果、WR__DATA__INは入/出力バッファ310の入力に直接供給され、WR__DATA__INがバイパスすることなく、データバイパス回路300を通して供給される。しかしながら、アクティブなBYPASS__EN信号に応答して、バイパス選択ロジック308はアクティブでないEN信号を発生させ、入/出力バッファ310の出力機能をディスエーブルし、その出力をハイインピーダンス状態に設定する。加えて不活発なEN信号は、入/出力バッファ310の入力をバイパスレジスタ/FIFO304の出力に接続する。この様にWR__DATA__INは、データバイパス回路300によって受け取られ、バイパスレジスタ/FIFO304により格納され、そして入/出力バッファ310の入力に印加される。しかしながらEN信号がアクティブでない状態であるため、WR__DATA__INは入/出力バッファ310によって出力データWR__DATA__OUTとして供給はされない。結果として、BYPASS__EN信号がアクティブになり、そのときにEN信号が再びアクティブになって、入/出力バッファ310をイネーブルしWR__DATA__INをWR__DATA__OUTデータとして供給するまで、WR__DATA__INはバイパス状態で保持される。マルチプレクサ306はまた、元の状態に切り換えられ、入力バッファ302の出力を入/出力バッファ310の入力に直接接続し、WR__DATA__INが制約を受けずにデータバイパス回路を通過することを可能とする。

10

20

30

40

50

【 0 0 2 1 】

データバイパス回路 2 8 6 の動作は、図 4 を参照して記述されるであろう。図 4 が簡素化されていることを除いて、図 4 は図 1 と同様である。特に、図 1 の機能ブロックの多くが省略されており、メモリモジュールは 1 3 0 a ~ 1 3 0 c のみが示され、メモリハブは 1 4 0 a ~ 1 4 0 c によって代表されている。1 つのメモリデバイス 1 4 8 a ~ 1 4 8 c のみが、個々のメモリバス 1 5 0 a ~ 1 5 0 c を通して個々のメモリハブ 1 4 0 a ~ 1 4 0 c に接続されるように示される。図 1 のようにメモリハブ 1 4 0 a ~ 1 4 0 c は、高速双方向のメモリコントローラ / ハブインタフェース 1 3 4 によりメモリハブコントローラ 1 2 8 に接続される。

【 0 0 2 2 】

図 4 においては、リードコマンドがライトコマンドの前に順序付けられた状態で、メモリハブコントローラ 1 2 8 が読出およびライトコマンドをまさに発行したところを想定している。リードコマンドはメモリモジュール 1 3 0 b に向けられ、かつライトコマンドはメモリモジュール 1 3 0 c に向けられる。すなわち、データが書き込まれるメモリモジュールはデータが読み出されるメモリモジュールよりもさらに下流である。図 4 において「(1)」により表されるように、リードコマンドに応答して、メモリハブ 1 4 0 b はメモリデバイス 1 4 8 b から読出データ (R D) を取得し始める。リードコマンドが発行された状態で次に、ライトコマンドが開始され、そして書込データ (W D) がメモリコントローラ / ハブインタフェース 1 3 4 に供給される。しかしながら、メモリハブコントローラ 1 2 8 は、R D がメモリモジュール 1 3 0 b から返送されることを予期しているため、データバイパス回路 2 8 6 a が W D をキャプチャするようメモリハブ 1 4 0 a に指示する。その結果、図 4 において「(2)」により表されるように、メモリハブ 2 8 6 a は W D をキャプチャし、R D をメモリハブコントローラ 1 2 8 に返送するためにメモリコントローラ / ハブインタフェース 1 3 4 をクリアする。メモリハブ 1 4 0 b がメモリデバイス 1 4 8 b から R D を取得すると次に、図 4 において「(3)」により表されるように、メモリコントローラ / ハブインタフェース 1 3 4 を通してメモリハブコントローラ 1 2 8 に R D が供給され、読出要求を完了する。R D がメモリハブコントローラ 1 2 8 への途中でメモリハブ 1 4 0 a を通過すると、メモリハブ 1 4 0 a は W D をデータバイパス回路 2 8 6 a から解放し、メモリハブ 1 4 0 c への W D の進行を続けさせる。メモリハブ 1 4 0 a および 1 4 0 c の間で今やクリアになっている、高速リンクを通して、メモリハブ 1 4 0 c に W D が供給される。図 4 において「(4)」により表されるように、W D はメモリハブ 1 4 0 c に到達すると、メモリデバイス 1 4 8 c に書き込まれる。本発明の一実施形態においては、メモリコントローラ / ハブインタフェース 1 3 4 上の、およびデータバイパス回路 2 8 6 を通しての、R D および W D のデータフローの調整はメモリハブコントローラ 1 2 8 の制御下にある。例えば前の例においては、メモリハブコントローラは、メモリモジュール 1 3 0 b から R D を取得するときには R D とは逆の方向に流れるいずれの W D も邪魔にならないことを確実にする。しかしながら代替の実施形態においては、メモリコントローラ / ハブインタフェース 1 3 4 およびデータバイパス回路 2 8 6 を通るデータフローについて、メモリハブコントローラ 1 2 8 がデータフローの調整をメモリハブ 1 4 0 と共有するように、別様な管理が可能であることが理解されるであろう。

【 0 0 2 3 】

前の例においては、従来のメモリシステムのように、メモリハブコントローラ 1 2 8 に R D が返送される。すなわち、メモリデバイス 1 4 8 により送信された R D が何らの重大な遅延なしでメモリコントローラに供給される。しかしながら以前に記述されたデータバイパスメカニズムを採用することにより、従来のメモリシステムを用いる場合より迅速にライトコマンドをスケジュールすることが可能である。典型的なメモリシステムにおいては、リードコマンドの後に発行されたライトコマンドは、リードコマンドがほぼ完了するまで、開始することが許容されることはなかったであろう。対照的に本発明の実施形態では、引き続き発行されるライトコマンドがより迅速にスケジュールされることが可能となり、その結果、読出およびライトコマンドの間の時間差を減少させる。結果として、先に

10

20

30

40

50

スケジュールされたライトコマンドの後にスケジュールされたコマンドが、総合的に減少した待ち時間を有することになる。

【 0 0 2 4 】

上記から、例示の目的のために本発明の特定の実施形態がここに記述されたが、本発明の精神および範囲から逸脱することなく、様々な修正を行うことができることが理解されるであろう。従って、付随する請求範囲以外では、本発明は限定されることはない。

【図面の簡単な説明】

【 0 0 2 5 】

【図 1】本発明の実施形態を実施可能であるメモリハブ構造におけるメモリモジュールを有するコンピュータシステムのブロック図である。

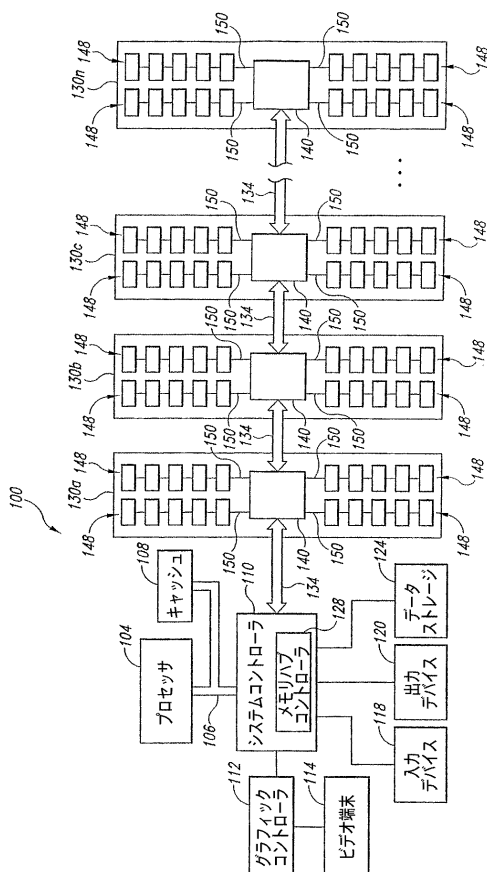
10

【図 2】図 1 のメモリモジュールと共に使用するための、本発明の実施形態によるメモリハブの部分的なブロック図である。

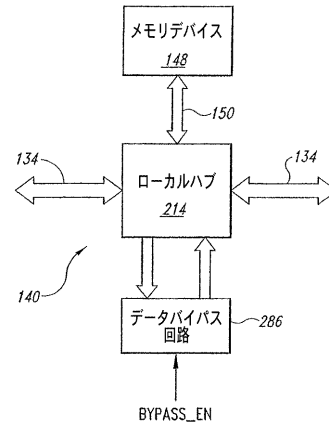
【図 3】本発明の実施形態による図 2 のメモリハブに対するデータバイパス回路のブロック図である。

【図 4】図 1 のメモリハブ構造および図 2 のメモリハブを有するコンピュータシステムに対する図 3 のデータバイパス回路の動作を示すブロック図である。

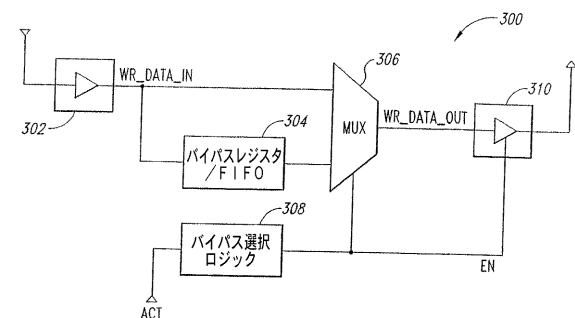
【図 1】



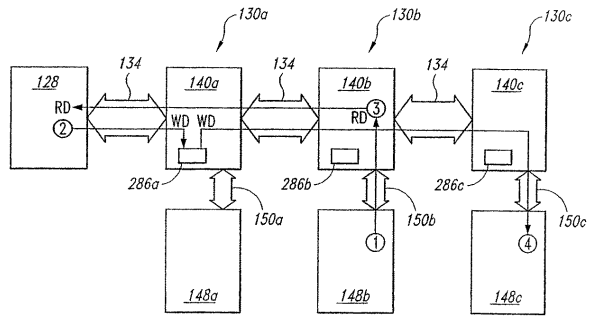
【図 2】



【図 3】



【 図 4 】



フロントページの続き

(72)発明者 ジェフリー ジェイ . クローニン

アメリカ合衆国 5 5 3 0 4 ミネソタ州 アンドオーバー ハミングバード ストリート ノー
スウエスト 1 3 3 6 1

審査官 多賀 実

(56)参考文献 特開平05 - 3 4 2 0 8 4 (J P , A)

国際公開第2 0 0 3 / 1 0 4 9 9 6 (W O , A 1)

(58)調査した分野(Int.Cl. , D B 名)

G06F12/00-12/06

G06F13/16-13/18