

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2011 年 7 月 7 日(07.07.2011)

PCT

(10) 国際公開番号
WO 2011/081202 A1

- (51) 国際特許分類:
H01L 21/285 (2006.01) H01L 21/3205 (2006.01)
C23C 14/06 (2006.01) H01L 21/768 (2006.01)
C23C 14/34 (2006.01) H01L 23/52 (2006.01)
H01L 21/28 (2006.01)
- (21) 国際出願番号: PCT/JP2010/073772
- (22) 国際出願日: 2010 年 12 月 28 日(28.12.2010)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2009-299080 2009 年 12 月 29 日(29.12.2009) JP
- (71) 出願人 (米国を除く全ての指定国について): キヤノンアネルバ株式会社 (CANON ANELVA CORPORATION) [JP/JP]; 〒2158550 神奈川県川崎市麻生区栗木 2-5-1 Kanagawa (JP).
- (72) 発明者: および
- (75) 発明者/出願人 (米国についてのみ): 若柳 俊一 (WAKAYANAGI Shunichi) [JP/JP]; 〒2158550 神奈川県川崎市麻生区栗木 2-5-1 キヤノンアネルバ株式会社内 Kanagawa (JP). 齋藤 孝之 (SAITO Takayuki) [JP/JP]; 〒2158550 神奈川県川崎

市麻生区栗木 2-5-1 キヤノンアネルバ株式会社内 Kanagawa (JP).

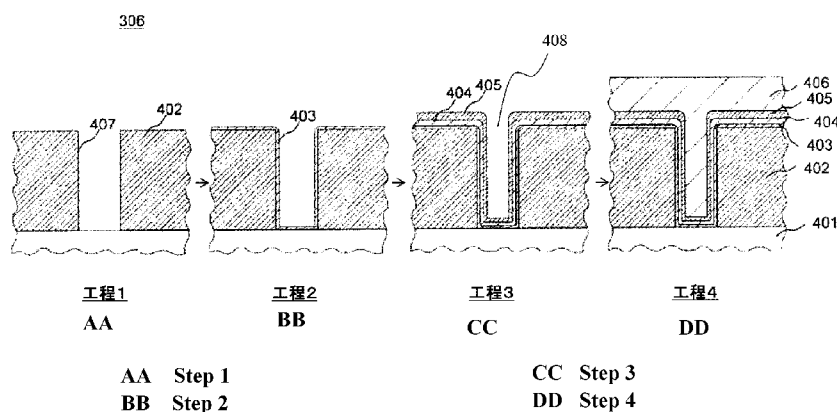
- (74) 代理人: 岡部 譲, 外(OKABE Yuzuru et al.); 〒1000005 東京都千代田区丸の内 3-2-3 富士ビル 602号室 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: METHOD FOR MANUFACTURING AN ELECTRONIC COMPONENT, ELECTRONIC COMPONENT, PLASMA TREATMENT DEVICE, CONTROL PROGRAM, AND RECORDING MEDIUM

(54) 発明の名称: 電子部品の製造方法、電子部品、プラズマ処理装置、制御プログラム及び記録媒体

[図4]



(57) Abstract: Provided is a method for manufacturing an electronic component. Said method: prevents or reduces agglomeration of a low-melting-point metal that is formed into a film at high temperatures; forms a barrier layer with sufficient barrier performance and wettability; and fills a depression with a low-melting-point metal such that said metal closely follows the contours of said depression. The provided method includes: a procedure in which a first bias power is applied to an electrode (301) in contact with an object being treated (306), under for example 4 to 20 Pa of pressure, and plasma treatment is used to form a first barrier layer (404) comprising TiNx on top of the object being treated (306); a procedure in which either no bias power or a second bias power which provides ion-injection energy but is lower than the first bias power is applied to the electrode (301) under for example 4 to 20 Pa of pressure, and plasma treatment is used to form a second barrier layer (405) comprising TiNx on top of the first barrier layer; and a procedure in which a low-melting-point metal (406) is added on top of the second barrier layer (405).

(57) 要約:

[続葉有]



添付公開書類:

— 国際調査報告 (条約第 21 条(3))

本発明の一実施形態は、高温で成膜される低融点金属の凝集を防止ないしは低減し、十分なバリア性及びぬれ性を有するバリア層を形成して、凹部に低融点金属を付け回り良く充填する。本発明の一実施形態に係る電子部品の製造方法は、例えば 4 Pa 以上 20 Pa 以下の圧力で、被処理体 (306) と接する電極 (301) に第 1 のバイアス電力を印加し、プラズマ処理により被処理体 (306) の上に TiN_x からなる第 1 のバリア層 (404) を成膜する手順と、例えば 4 Pa 以上 20 Pa 以下の圧力で、電極 (301) に第 1 のバイアス電力よりも小さいイオン入射エネルギーを与える第 2 のバイアス電力を印加し、またはバイアス電力を印加しないで、プラズマ処理により第 1 のバリア層の上に TiN_x からなる第 2 のバリア層 (405) を成膜する手順と、第 2 のバリア層 (405) 上に低融点金属 (406) を充填する手順と、を有する。

明 細 書

発明の名称：

電子部品の製造方法、電子部品、プラズマ処理装置、制御プログラム及び記録媒体

技術分野

[0001] 本発明は、電子部品の製造方法、電子部品、プラズマ処理装置、制御プログラム及び記録媒体に関し、特に集積回路の誘電体層表面の凹部を低融点金属で充填するのに好適な電子部品の製造方法、電子部品、プラズマ処理装置、制御プログラム及び記録媒体に関する。

背景技術

[0002] L S I (L a r g e S c a l e I n t e g r a t i o n) の高集積化に伴い、基板と配線間の電氣的接続を得るコンタクトホールや、多層配線間の接続を得るビア (V i a) 等の接続孔も微細化し、アスペクト比は 1 を超えるまでになっている。

[0003] このような微細孔に導電性材料を充填し、電氣的に接続することが行われている。一般的に配線材料には、低抵抗かつ加工性の観点から、A l 系合金が用いられている。ここで、A l 系合金は、純 A l の他に、A l - S i や A l - C u 等の A l に微量添加物を加えたものも含む概念であり、以下、説明の便宜上から、単に「A l」と表記する。

[0004] 従来、高アスペクト比の微細孔への充填を容易にする充填技術としては、リフローと呼ばれる手法が用いられてきた。リフローは、まず、A l と S i の拡散を防ぐ目的で、バリア層 (バリアメタルと呼ぶ) を形成する。このバリア層には、通常、T i N (チタンナイトライド) 等が用いられる。コンタクトホールの場合には、低抵抗コンタクトを実現しうる T i 化合物であるチタンシリサイドを形成する目的で、下層に T i を成膜した積層構造をとることが一般的である。

[0005] 次に、A l の充填を行うが、リフローは 4 0 0 ° C 程度の高温で充填を行う

ため、バリア層上にそのまま成膜すると、バリア最表層のTiNとAlとのぬれ性が悪く、高温で成膜したAlが凝集して個々の小滴となってしまう。したがって、連続性を保てずに埋設が不十分となり、図10に示すようなボイド410と呼ばれる空隙を形成してしまう。

[0006] これを防止するため、バリア層上に連続なAlの流動経路を形成する必要がある。この流動経路はSeed層（種層）と呼ばれ、100℃以下で成膜されたAl層を用いる。流動経路を確保した後、400℃程度の高温下でAlを成膜し、ホール内をAlで充填する。この低温でのSeed層としてのAlの成膜と、高温でのAlの成膜は、基板ホルダの温度を所定温度に調節した異なるチャンバ内に基板を移送して行うのが一般的である。

[0007] この関連技術として、真空下で、接続孔を有する半導体基板を0℃以下に冷却しながらスパッタリング法でAl系膜を形成後、300℃以上の温度に基板を加熱して接続孔を埋め込む手段を有する半導体製造装置が提案されている（特許文献1参照）。

[0008] また、Alは金属原子の中でも質量が軽いいため、特にエレクトロマイグレーションによる断線故障が問題となる。このエレクトロマイグレーション耐性を向上させるには、Alの(111)配向を強化することが有効であることは既知である。このAlの配向性を強化する技術としては、(002)配向した100Å以下のTi膜上に、(111)配向のTiN膜を形成し、その上にAlを成膜する方法が提案されている（特許文献2参照）。一般的にも、バリア層の結晶配向性を強めることでAlの結晶配向性を強化し、エレクトロマイグレーション耐性を向上させている。

[0009] この結果は、Alが下地であるバリア層の結晶性に従って基板と垂直な方向に成長することを示している。逆に言うと、下地の結晶性が強いほど、その成長方向が影響され、開口部に沿って流動する動きを拘束することを示している。

先行技術文献

特許文献

[0010] 特許文献1：特開平7-74177号公報

特許文献2：特開平6-283532号公報

発明の概要

[0011] しかし、前述の手法においてはいくつかの問題点が存在する。第1に下地層の結晶性が強い場合には、A1は下地に拘束され、基板垂直方向へ成長し、開口内部へ流動するA1の動きを阻害する。

[0012] 第2の問題はSeed層の被覆形状である。Seed層は、凝集を抑制するため、冷却された状態で成膜される。このためSeed層の被覆形状はマイグレーションによる粒子の移動が生じず、特に高アスペクト比の微細孔では、図11に示すように、開口部においてオーバーハング形状420を形成してしまう場合がある。

[0013] これらの不良は、高アスペクト比の微細孔になるほど、顕著になる傾向があり、従来のリフローを用いる技術の限界と考えられる。

言い換えるならば、高アスペクト比の微細孔でのA1の充填には、下地の拘束力すなわち結晶性の制御およびA1の被覆形状の改善が必要である。

[0014] 本発明は、十分なバリア性及びぬれ性を有するバリア層を形成して、凹部に低融点金属を付け回り良く充填できる電子部品の製造方法、電子部品、プラズマ処理装置、制御プログラム及び記録媒体を提供することを目的としている。

[0015] 上記の目的を達成すべく成された本発明の構成は以下の通りである。

[0016] 即ち、本発明の第1の態様は、凹部を被処理体にバリア層を成膜するバリア層成膜手順と、前記バリア層が形成された被処理体の凹部に低融点金属を充填して、低融点金属層を形成する充填手順と、を有し、前記バリア層成膜手順は、前記被処理体と接するバイアス電極に第1のバイアス電力を印加し、プラズマ処理により $TiNx$ （ x は正の数）を含む第1層を成膜する手順と、前記電極に前記第1のバイアス電力よりも小さいイオン入射エネルギーを与える第2のバイアス電力を印加し、またはバイアス電力を印加しないで、プラズマ処理により前記第1のバリア層の上に $TiNy$ （ y は正の数）を

含む第2層を成膜する手順と、を有することを特徴とする電子部品の製造方法である。

[0017] また、本発明の第2の態様は、処理空間を区画する容器と、前記容器の内部で被処理体を保持するためのホルダと、前記ホルダの上方に配置され、プラズマを生成する放電電極と、前記ホルダにバイアス電力を印加するバイアス電極と、前記バイアス電極に供給するバイアス電力を制御する電力制御機構と、成膜プロセスを制御する制御装置と、を備え、前記制御装置は、 $T \cdot N^x$ (x は正の数)を含む第1のバリア層の成膜に際して、前記電力制御機構により前記バイアス電極に第1のバイアス電力を印加し、かつ $T \cdot N^y$ (y は正の数)を含む第2のバリア層の成膜に際して、前記電力制御機構により前記バイアス電極に第1のバイアス電力よりも低いイオン入射エネルギーを与える第2のバイアス電力を印加し、または前記バイアス電極に第2のバイアス電力を印加しないことを特徴とするプラズマ処理装置である。

[0018] 本発明によれば、高温で成膜される導電性金属の凝集を防止ないしは低減し、十分なバリア性及びぬれ性を有するバリア層を形成して、凹部に導電性金属を付け回り良く充填できる。

図面の簡単な説明

[0019] [図1]本発明の一実施形態に係るプラズマ処理装置を模式的に示す概略断面図である。

[図2]本発明の一実施形態に係る磁石機構をターゲット電極（第1の電極）側から見た平面図である。

[図3]本発明の一実施形態に係るマルチチャンバシステムを模式的に示す概略図である。

[図4]本発明の一実施形態に係る電子部品の製造方法の手順を示す概略図である。

[図5]本発明の一実施形態に係る高圧カスパッタのスパッタ粒子の輸送過程の説明図である。

[図6]本発明の一実施形態に係るリスパッタの説明図である。

[図7A]本発明の一実施形態に係る、低圧カスパッタと高圧カスパッタの粒子輸送過程と付き回り形状の説明図である。

[図7B]本発明の一実施形態に係る、低圧カスパッタと高圧カスパッタの粒子輸送過程と付き回り形状の説明図である。

[図8]本発明の一実施形態に係るバリア層のX線回折パターンを示す説明図である。

[図9]本発明の一実施形態に係る充填結果を示すSEM顕微鏡写真である。

[図10]従来の凹部（微細孔）におけるボイドを示す説明図である。

[図11]従来の低圧カスパッタでの付き回り状態を示す説明図である。

[図12]本発明の一実施形態に係る電子部品の製造方法の手順を示す概略図である。

発明を実施するための形態

[0020] 以下、図面を参照して、本発明の実施の形態を説明するが、本発明は本実施形態に限定されるものではない。

[0021] （第1の実施形態）

〔プラズマ処理装置〕

まず、図1を参照して、本発明に係るプラズマ処理装置の一実施形態の構成について説明する。図1は、本実施形態のプラズマ処理装置を模式的に示す概略断面図である。

[0022] 図1に示すように、本実施形態のプラズマ処理装置100は、処理空間を区画する容器（チャンバ）201を備えており、チャンバ201内の上下には上部電極（放電電極）1と下部電極（バイアス電極）301とが設けられている。

[0023] チャンバ201は中空円柱状の容器であって、略円板状の上部壁（天井壁）202と、略円筒形の側壁203と、略円板状の底壁204とを備えている。チャンバ201内に区画された処理空間の下方には、基板や電子部品等の被処理体306を保持する載置台としてのステージホルダ302が設けられている。

- [0024] このチャンバ201の側壁には排気口205が設けられており、この排気口205にはチャンバ201内を真空排気する排気ポンプ10が接続されている。また、チャンバ201の内側壁には、このチャンバ201の内部の処理空間にアルゴン等の処理ガスを導入するガス導入口9が設けられ、このガス導入口9は不図示のガス供給手段に接続されている。
- [0025] さらに、チャンバ201の側壁には、このチャンバ201内の圧力を測定する圧力計30が設けられている。この圧力計30は、例えば、ダイヤフラムゲージ等によって形成され、この圧力計30の検出値に基づいてチャンバ201内の圧力を制御する圧力制御機構31と接続されている。
- [0026] 上部電極（放電電極）1は、上部壁202、磁石機構5、ターゲット電極（第1の電極）2、絶縁体4、およびシールド3を有している。
- [0027] 磁石機構5は上部壁202の下方に設けられており、磁石機構5の下部にはターゲット材を搭載するターゲット電極2が設けられている。ターゲット電極2の主要部品は、A1、オーステナイト系ステンレス鋼（SUS）、Cuなどの非磁性金属から構成されている。ターゲット電極2の減圧側には、基板306上に成膜するのに必要なターゲット（不図示）を設置することができる。
- [0028] ターゲット電極2は、整合器101を介して、このターゲット電極2に電力を供給する高周波電源等の上部電極用電源102と、直流電圧を供給するDC電源103とに接続されている。絶縁体4は、ターゲット電極2とチャンバ201の側壁とを絶縁すると共に、ターゲット電極2をチャンバ201内に保持するためのものである。さらに、絶縁体4の下部には、シールド3が設けられている。
- [0029] また、上部電極1やターゲット電極2の中には不図示の配管が設けられており、この配管に冷却水を流すことによって、上部電極1やターゲット電極2を冷却することができる。
- [0030] 磁石機構5は、マグネット支持板7と、マグネット支持板7に支持された複数のマグネットピース6と、複数のマグネットピース6の最外周側に設け

られた磁場調整用磁性体 8 とを有している。なお、磁石機構 5 は、不図示の回転機構により、ターゲット材の中心軸を回転軸として回転可能に構成されている。

[0031] 複数のマグネットピース 6 は、ターゲット電極 2 の上方であって、ターゲット電極 2 の表面と平行となるように、相互に隣接して配置されている。隣接するマグネットピース 6 同士によって、ポイントカusp磁場 11 が形成されている。

[0032] 磁場調整用磁性体 8 は、外周側に位置するマグネットピース 6 が、ターゲット電極 2 側において部分的に重なるように延設されている。このような構成をとることにより、ターゲット電極 2 とシールド 3 との隙間において、磁場強度を抑制（制御）することができる。

[0033] 下部電極（バイアス電極）301 は、ホルダ 302、冷却・加熱機構 12、底壁 204、および第 2 の電極用絶縁体 303 を有している。

[0034] 基板 306 を載置するステージホルダ 302 の内部には、冷却・加熱機構 12 が設けられている。

[0035] 第 2 の電極用絶縁体 303 は、ホルダ 302 とチャンバ 201 の底壁 204 とを電氣的に絶縁して支持するための装置（部材）である。また、ホルダ 302 には、整合器 304 を介して、被処理体 306 にバイアス電力を印加する高周波電源等の下部電極用電源 305 が接続されている。また、下部電極用電源 305 には、ホルダ 302 に印加するバイアス電力を制御する不図示の電力制御機構が備えられている。

[0036] なお、図示していないが、ホルダ 302 には、単極型電極を有する静電吸着装置が設けられており、この単極型電極は、DC 電源（不図示）と接続されている。この静電吸着装置によって処理対象としての基板 306 がホルダ 302 の載置面に静電吸着される。

[0037] さらに、図示していないが、ホルダ 302 には、被処理体 306 の裏面に対して、その温度を制御するためのガス（例えば、Ar などの不活性ガス）を供給する複数のガス噴出口と、被処理体 306 の温度を計測するための温

度計測器が設けられている。

- [0038] 次に、図2を参照して、磁石機構5についてさらに詳細に説明する。図2は、磁石機構をターゲット電極（第1の電極）側から見た平面図である。
- [0039] 図2に示すように、円板状のマグネット支持板7には、環状の磁場調整用磁性体8と、磁場調整用磁性体8の内周領域に配置された複数のマグネットピース6と、が支持されている。
- [0040] ここで図2において、符号3aはシールド3の内径を示しており、多数の小さな円は各々のマグネットピース6の外形を示している。各マグネットピース6は、同じ形状及び同じ磁束密度を有している。また、N及びSの文字はターゲット電極2側から見たマグネットピース6の磁極を示している。
- [0041] マグネットピース6は、互いに略同一の間隔（5乃至100mmの範囲）を空けて、基盤の目状に縦横（X軸方向、Y軸方向）に配置され、隣接するマグネットピース6同士は反対の極性を有している。
- [0042] 一方、X軸方向及びY軸方向に沿って配置された任意の4つのマグネットピース6からなる四角形において、対角線方向に沿って隣接するマグネットピース6の極性はそれぞれ同一である。すなわち、隣接する任意の4つのマグネットピース6により、ポイントカスプ磁場11が形成される。
- [0043] マグネットピース6の高さは、通常は2mmよりも大きく形成され、その断面形状は四角または円形である。マグネットピース6の直径や高さ、材質は、プロセスアプリケーションによって、適宜設定することができる。
- [0044] 本実施形態においては、すべてのマグネットピース6は、同等の磁束密度となるように同じ磁石素材を想定している。
- [0045] プラズマ処理装置100の上部電極1に高周波電力を供給したとき、プラズマは容量結合型のメカニズムによって生成され、このプラズマは、ポイントカスプ磁場11の作用を受ける。
- [0046] 磁場調整用磁性体8は、外周側に位置するマグネットピース6が、ターゲット電極2側において部分的に重なるように延設されている。これにより、ターゲット電極2表面近傍における磁場強度を抑制（制御）することができる。

。磁場調整用磁性体 8 は、ターゲット電極 2 とシールド 3 との隙間の磁場強度を制御できる材料であればよく、例えば、S U S 4 3 0 等の透磁率が高い材料が好ましい。

[0047] 磁石機構 5 において、マグネットピース 6 と磁場調整用磁性体 8 とが重なる面積を調整することにより、磁場調整することが可能である。すなわち、マグネットピース 6 と磁場調整用磁性体 8 とが重なる面積を調整すると、ターゲット電極 2 の最外周まで、ターゲット電極 2 をスパッタするのに必要な磁場を供給し、ターゲット電極 2 とシールド 3 との隙間には磁場を供給しないようになる。

[0048] 本実施形態においては、マグネットピース 6 は、互いに略同一の間隔を空けて、基盤の目状に縦横に配置した形態を例示したが、マグネットピースの配置は本発明の効果を限定するものではなく、適時選択することが出来る。

[0049] [マルチチャンバシステム]

本実施形態では、後述するように、バリア層の成膜と、低融点金属の成膜、充填とを行なうが、それぞれ別の成膜チャンバで行なうことが望ましく、図 3 に示すようなマルチチャンバシステムが適している。図 3 は、本実施形態のマルチチャンバシステムを示す概略図である。

[0050] 図 3 に示すように、このマルチチャンバシステムは、中央に搬送室 4 5 0 を備え、この搬送室 4 5 0 内には、ハンドリングロボット等の搬送機構（不図示）が備えられている。

この搬送室 4 5 0 には、3 基のチャンバがゲートバルブ（不図示）を介して真空接続されている。即ち、3 基のチャンバは、被処理体 3 0 6 の脱ガスを行なうデガスチャンバ 4 5 1 と、第 1 および第 2 のバリア層 4 0 4、4 0 5 の成膜を行なうバリア層成膜チャンバ 4 5 2 と、及び低融点金属の成膜、充填を行なう低融点金属成膜チャンバ 4 5 3 である。さらに、搬送室 4 5 0 には、真空空間と大気の間でカセット 4 5 5 に収納された被処理体 3 0 6 を出し入れするためのロードロックチャンバ 4 5 4 が接続されている。

[0051] 本実施形態では、バリア層成膜チャンバ 4 5 2 及び低融点金属成膜チャン

バ４５３が上記プラズマ処理装置１００によって構成されている。これに限定されず、少なくとも、バリア層成膜チャンバ４５２が上記プラズマ処理装置１００によって構成されていればよい。

[0052] 次に、図１から図４を参照して、上記プラズマ処理装置１００を用いて実施する電子部品の製造方法を説明する。なお、本実施形態に係る電子部品の製造方法のアルゴリズムは、プラズマ処理装置１００の成膜プロセスを制御する制御装置（不図示）の記憶部に制御プログラムとして記憶されており、成膜プロセス開始の際にＣＰＵにより読み出されて実行される。

[0053] また、上記制御プログラムは、コンピュータ（ＰＣ）による読み取り可能な記録媒体に記録されて、ＰＣの記憶部にインストールされる。記録媒体としては、フロッピー（登録商標）ディスク、ＺＩＰ（登録商標）等の磁気記録媒体、ＭＯ等の光磁気記録媒体、ＣＤ－Ｒ、ＤＶＤ－Ｒ、ＤＶＤ＋Ｒ、ＣＤ－Ｒ、ＤＶＤ－ＲＡＭ、ＤＶＤ＋ＲＷ（登録商標）、ＰＤ等の光ディスク等が挙げられる。また、コンパクトフラッシュ（登録商標）、スマートメディア（登録商標）、メモリースティック（登録商標）、マルチメディアカード、ＳＤメモリカード等のフラッシュメモリ系が挙げられる。さらに、マイクロドライブ（登録商標）、Ｊａｚ（登録商標）等のリムーバブルハードディスクが挙げられる。

[0054] 前述したように、本実施形態の電子部品の製造方法は、大きく分けて、バリア層の成膜手順と、低融点金属の成膜、充填手順とを有するが、それぞれ別の成膜チャンバで行うことが望ましく、本実施形態では図３のマルチチャンバシステムを用いて実施する。

[0055] 図４は、本実施形態の電子部品の製造方法の手順を示す概略図である。

[0056] 図４の工程１に示すように、本実施形態の被処理体３０６は、基板４０１上には二酸化シリコン４０２が積層されており、この二酸化シリコン４０２にはホール４０８が形成されている。本実施形態では、このようなホール４０８を有する基板４０１が被処理体３０６となる。なお、以下で説明するホ

ール408とは、本発明における凹部（微細孔）の一例であり、その他に、例えば、トレンチ（溝）などが挙げられる。

[0057] 本実施形態の電子部品の製造方法は、まず、搬送室450の搬送機構がロードロックチャンバ454内からカセット455内の被処理体306を取り出し、デガスチャンバ451内に移送して脱ガス処理を行なう。脱ガス処理の終了後、搬送機構はデガスチャンバ451内から被処理体306を取り出し、バリア層成膜チャンバ452内へと移送する。なお、前述したように、本実施形態では、バリア層成膜チャンバ452及び低融点金属成膜チャンバ453は上記プラズマ処理装置100と同様の構成で形成されている。

[0058] 次に、バリア層の成膜手順について説明する。

[0059] 本実施形態では、ターゲット材としてTiを使用している。まず、バリア層成膜チャンバ452のガス導入口9からチャンバ201内に、アルゴンガスが所定の流量で導入される。これと同時に、磁石機構5が所定の回転速度で回転する。

[0060] このとき、プロセス制御装置（不図示）が、圧力計30の検出値に基づいて圧力制御機構31を制御すると共に、チャンバ201内にガス挿入口9から導入されるガスの流量を制御することにより、チャンバ201内の圧力が比較的高い圧力に維持される。

[0061] 具体的には、チャンバ201内の圧力は4Pa以上20Pa以下に設定することが好ましく、本実施形態では7Paに設定される。チャンバ201内の圧力を4Pa以上20Pa以下に設定するのは、4Pa未満になると、後述するように、スパッタ粒子がホール入口に堆積し、最悪の場合はホール入口を塞いでしまう可能性があるからである。一方、20Paを超えると、プロセスガスの分子の数があまりにも多くなり、スパッタ粒子がプロセスガス分子との衝突によって、基板306に十分到達できないという問題が発生する可能性があるからである。

[0062] このとき被処理体306は、静電吸着装置（不図示）に印加した電圧により、静電吸着されている。さらに、プロセスコントローラ（不図示）が、基

板温度計測器（不図示）に基づいて、ガス噴出口（不図示）から噴出されるガスを制御することにより、被処理体 306 が所定の温度に維持される。

[0063] 次に、上部電極用電源 102 により、所定電力及び所定周波数の高周波電力をターゲット電極 2 に印加する。本実施形態では、電力を 2500W とし、周波数を 60MHz としている。なお、周波数は、10MHz 以上 100MHz 以下であることが好ましく、特に 20MHz 以上 80MHz 以下であることが好ましい。

高周波電力の周波数をこの範囲に設定するのは、プロセスガス粒子を容易かつ効率的にイオン化できるためである。

[0064] 次いで、図 4 に示すように、上記ホール 408 内に Ti 層 403 を成膜する（図 4 の工程 2）。すなわち、DC 電源 103 により、ターゲット電極 2 に電圧を印加することで、アルゴンイオンが Ti ターゲットに入射し、スパッタ成膜が開始される。そして、所定時間のスパッタ成膜を行った後、上部電極用電源 102 および DC 電源 103 からターゲット電極 2 に印加する電力を停止する。ここで成膜されたのは Ti 層 403 であり、前述のようにコンタクト部の接触抵抗を低減する目的で用いられる。

[0065] 次に、図 4 に示すように、上記 Ti 層 403 上に、下部電極 301 に印加するバイアス電力を切替えて、第 1 のバリア層（TiN_x（x は正の数））404 および第 2 のバリア層（TiN_y（y は正の数））405 を順次成膜する（図 4 の工程 3）。

[0066] まず、チャンバ 201 内のガスをアルゴンガスと窒素ガス（反応性ガス）との混合ガスに切り替える。本実施形態では、混合ガスを導入した後のチャンバ 201 内の圧力を 10Pa に調圧した。Ti 層 403 と同様に上部電極用電源 102 および DC 電源 103 に電力を印加することで、反応性スパッタが開始される。その際、導入された窒素ガスと反応するため、ターゲット材であるチタンは TiN（チタンナイトライド）として基板に到着する。

[0067] このとき、下部電極用電源 305 によって、下部電極 301 に第 1 のバイアス電力が印加される。本実施形態では、第 1 のバイアス電力を 600W と

した。バイアス電力は下部電極 301 にプラズマによるシースを形成し、一部がイオン化されたスパッタ粒子およびプロセスガス粒子を加速し、基板 401 に引き込む。基板 401 および成膜過程の膜は、衝突するイオンの入射エネルギーを得て堆積される。

[0068] ここで、図 5 から図 7 B を参照して、本実施形態のバリア層の成膜手順におけるスパッタ粒子の挙動について説明する。図 5 は、高圧カスパッタのスパッタ粒子の輸送過程の説明図である。図 6 は、リスパッタの説明図である。図 7 A、7 B は、低圧カスパッタと高圧カスパッタの粒子輸送過程と付き回り形状の説明図である。

[0069] 図 5 に示すように、本実施形態では、通常のスパッタよりも高圧力化で成膜を行うため、ターゲット 2 a を飛び出したスパッタ粒子 430 は、平均自由行程が短く、基板 401 へ到着する間にガス粒子との衝突を繰り返す。そして、ターゲット 2 a を飛び出した際の運動エネルギーを失い、基板近傍に飛来する。基板近傍に飛来した粒子は、ホルダに印加されたバイアス電圧により発生したプラズマシース 431 によって、基板 401 に垂直な方向へと加速され、ホール内部へと引き込まれる。

[0070] また、図 6 に示すように、基板 401 に引き込まれたプロセスガスイオンは、ある一定の入射エネルギー以上になると、基板 401 に付着したスパッタ膜を再度スパッタ（リスパッタ）する。基板 401 へ引き込まれたプロセスガスイオンは、基板垂直方向へ加速されるため、特にホール底部の付着膜がリスパッタされ、ホール側壁部へと付着する。これにより、付き回り量の少ない側壁部が補強され、全体として良好なカバレッジ形状を得ることができる。

[0071] さらに、図 7 B の符号 703、704 に示すように、基板 401 に到着するまでの間にスパッタ粒子 430 の衝突による散乱によって該スパッタ粒子 430 は、容器内に広がり、ステージホルダでのプラズマシース 431 加速によって入射するため、基板全面において、対称性の良い被覆形状を得ることができる。これに対し、図 7 A の符号 701、702 に示すように、低圧

カスパッタでは、基板到着までの間にスパッタの粒子の衝突による散乱が起こらない、ないしは散乱が少ないため、被覆形状に偏りが生じる。

[0072] そして一定時間成膜した後、下部電極 301 に印加されたバイアス電力を第 1 のバイアス電力よりも小さい第 2 のバイアス電力に切り替える。本実施形態では、下部電極用電源 305 による出力（第 2 のバイアス電力）を 0 W とし、プラズマ電位からの加速のみとしている。第 2 のバイアス電圧による成膜を一定時間行った後、上部電極用電源 102 および DC 電源 103 からターゲット電極 2 に印加される電力を停止する。

[0073] ここで、上記手順によって得られたバリア層について説明する。図 8 は、バリア層の X 線回折パターンを示す説明図である。

[0074] 図 8 の符号 81 は、第 1 のバリア層のみを成膜した場合の X 線回折パターンである。第 1 のバリア層は、第 1 のバイアス電力（本実施形態では、バイアス電力 600 W）によって与えられた過剰なイオン入射エネルギーを受け、結晶成長が崩され、強い配向性をもたない膜として堆積する。これに対して、第 2 のバイアス電力（本実施形態では、バイアス電力 0 W）で成膜した場合は、過剰なイオン入射エネルギーがないため、結晶の最密面が基板と平行となる結晶配向が強い層が形成される。これは、図 8 の X 線回折パターン 83 に相当し、TiN (111) 面による明瞭な回折ピークが確認できる。

[0075] また、第 2 のバイアス電力で得られた膜の表面は、前述の柱状構造が緻密に並んだものであり、表面粗さが小さく、平坦な膜となっている。図示しないが、SEM による断面観察の結果、第 1 のバイアス電力で得られた膜には、明確な結晶構造が確認されなかった。

これに対し、第 2 のバイアス電力で成膜した膜は、細かい柱状の構造が確認された。

[0076] 図 8 の符号 82 は、上記 2 層（第 1 のバリア層と第 2 のバリア層）を積層した場合の回折パターンである。X 線回折パターン 82 においては、前述のピークがそれぞれ確認され、X 線回折パターン 83 と比較すると、第 2 のバリア層の結晶配向性も抑制されている。これは、結晶性に乏しい第 1 のバリ

ア層の影響を受けたためであり、第1のバリア層の〔001〕結晶配向性を制御することで、第2のバリア層の〔001〕結晶配向性も制御することが可能であることは容易に推測される。

[0077] 次に、バイアス印加によるバリア層の膜質の変化について説明する。

[0078] TiNは一般的に柱状晶の結晶構造をとり易く、結晶の最密面が基板と平行になる結晶配向性を示す。そのため、バリア層を形成するに当たり、まずバイアスによるイオン入射のエネルギーを高めることで、結晶構造を崩し、結晶配向性を弱くした第1のバリア層404を形成する。その後、イオン入射のエネルギーを低くすることで、結晶配向性の強い第2のバリア層405を形成する。

[0079] 第1のバリア層404の結晶配向性を弱くする目的は、全体としてバリア層の結晶性を弱くし、その後に成膜される第2のバリア層405の種層として機能させるためである。前述したように、結晶成長は下地の結晶構造・結晶性に従って成長することが多く、種層の構造を変えることにより、それに積層する層の成長を制御することができる。

[0080] また、バイアスの印加は成膜するバリア層の被覆形状にも影響し、特に開口部では入射イオンによるエッチングが起こり、堆積膜厚が薄くなり、最悪の場合下地が露出してしまう。そのため、第2のバイアス電力は過剰な入射イオンエネルギーを抑制し、開口部のバリア性を有するに十分な膜厚を確保することが有効である。

[0081] 次に、低融点金属の充填手順について説明する。

[0082] バリア層404、405の成膜の終了後、搬送機構はバリア層成膜チャンバ452内から被処理体306を取り出し、大気に曝すことなく低融点金属成膜チャンバ453内へと移送する。低融点金属としてのAlの充填についても、バリア層と同様に低融点金属成膜チャンバ453として上記プラズマ処理装置100を用いて実施した。

[0083] 本実施形態では、ターゲット材としてAl-Cuを使用している。バリア層と同様に、ガス導入口9からアルゴンガスを導入すると共に、磁石機構5

の回転を行う。

[0084] 本実施形態では、チャンバ201内の圧力を5Paとする。また、基板温度をA1の流動に必要な程度に設定して加熱を行う。具体的には、基板は300℃以上に加熱され、350℃以上450℃以下に調温されるのが望ましく、本実施形態では420℃に加熱する。

[0085] 基板温度が十分に飽和すると、次に、上部電極用電源102により、所定電力および所定周波数の高周波電力をターゲット電極2に印加する。本実施形態においては、電力を4000Wとし、周波数を60MHzとしている。

[0086] 次に、DC電源103により、ターゲット電極2に電圧を印加することで、アルゴンイオンがアルミターゲットに入射し、スパッタ成膜が開始される。スパッタされたA1粒子は、基板に付着後、加熱による熱エネルギーによってマイグレーションが促進し、前述の第2のバリア層405上を移動し、低融点金属層406がホール内に充填される（図4の工程4）。

[0087] そして、所定時間のスパッタ成膜を行った後、上部電極用高周波電源102およびDC電源103からターゲット電極2に印加される電力を停止する。

これにより、ボイドを形成することなく、ホールの充填が可能である。

[0088] （第2の実施形態）

次に、電子部品の製造方法の第2実施形態について説明する。

第2の実施形態は、第1の実施形態と略同じであるが、図12に示すように、第1の実施形態における第2のバリア層405と、低融点金属層406との間に、第3のバリア層409であるTi層を挿入した点が異なる。よって、図12の工程11～13までは、図4の工程1～3と同様である。

本実施形態では、工程11～13によって第2のバリア層405を成膜したのに引き続いて、同じバリア層成膜チャンバ452内に導入するガスを再びアルゴンガスに切り替え、前述と同様に、上記ホール408内に第3のバリア層であるTi層409を成膜する（図12の工程14）。すなわち、DC電源103により、ターゲット電極2に電圧を印加することで、アルゴン

イオンがTiターゲットに入射し、スパッタ成膜が開始される。そして、所定時間のスパッタ成膜を行った後、上部電極用電源102およびDC電源103からターゲット電極2に印加する電力を停止する。

[0089] このとき、第3のバリア層409は、下地である第1、第2バリア層404、405の結晶性に従い成長するため、第1、第2のバリア層404、405の膜厚、バリア層形成時に印加されるバイアス印加電力および割合によって第3のバリア層409の膜質を制御することができる。

[0090] このように、第3のバリア層409としてのTi層を挿入することで、バリア層と高温の低融点金属層406とが直接接触する場合にも、低融点金属層406の凝集を抑制することができ、より確実にボイドの発生を防止、ないしはボイドの発生をより低減することができる。なお、第3のバリア層である「Ti層が余りに薄すぎると、Ti層挿入の効果が得られず、また上記Ti層があまりに厚いとTiと低融点金属層406に含まれるAlとの合金層が形成されてしまう。この合金層は、多くの場合、粒が大きく、また、その強固な密着性からバリア層とAl界面の流動性を著しく低下させる。このため、第3のバリア層409としてTi層を形成する場合は、厚さを5nm以上30nm以下とすることが好ましい。

[0091] (実施例)

図9は、第1、第2の本実施形態の電子部品製造方法により埋設を行ったホールのSEMによる断面観察結果を示す顕微鏡写真である。図9に示すように、第1、第2のいずれの実施形態においても、 $\phi 0.2\mu\text{m}$ のホールにボイドを形成することなく埋設が行われていることが確認された。

[0092] また、特筆すべきは、深さ $1.0\mu\text{m}$ のホールパターンをわずか200nmのAl成膜量にて埋設が完了していることである。図9では基板表面にはほとんどアルミニウムが残っておらず、開口部に優先的にAlが流動していることが観察できる。このことから本発明によるAl流動性の制御によれば高アスペクトの微細パターンにおいても充填が十分可能であることを示している。

- [0093] また、上述の手順において従来からリフロープロセスに必要とされてきた S e e d 層の成膜を実施していないことが本発明の効果を端的に示している。従来から、流動経路層として必要とされてきた S e e d 層を用いなくとも、バリア層の結晶配向性を制御することにより、直接高温化で A l の成膜を行っても、ボイドを形成することなく A l の充填を行うことが可能となる。また、従来 S e e d 層用の A l 成膜室と高温での A l 成膜室の 2 つのチャンバが必要であったが、単一の A l 成膜室で成膜することができ、製造コストを低減することができる。
- [0094] 以上、本発明の好適な実施形態を説明したが、これは本発明の説明のための例示であり、本発明の範囲を上記実施形態にのみ限定する趣旨ではない。本発明は、その要旨を逸脱しない範囲で、上記実施形態とは異なる種々の態様で実施することができる。
- [0095] 例えば、上記実施形態では、スパッタリング装置を例示して説明したが、他のプラズマ処理装置、およびこれを使用した電子部品の製造方法にも適用可能である。

請求の範囲

- [請求項1] 凹部を被処理体にバリア層を成膜するバリア層成膜手順と、
前記バリア層が形成された被処理体の凹部に低融点金属を充填して、
低融点金属層を形成する充填手順と、を有し、
前記バリア層成膜手順は、
前記被処理体と接するバイアス電極に第1のバイアス電力を印加し、
プラズマ処理により $TiNx$ (x は正の数) を含む第1層を成膜する手順と、
前記電極に前記第1のバイアス電力よりも小さいイオン入射エネルギーを与える第2のバイアス電力を印加し、またはバイアス電力を印加しないで、プラズマ処理により前記第1のバリア層の上に $Tiny$ (y は正の数) を含む第2層を成膜する手順と、を有することを特徴とする電子部品の製造方法。
- [請求項2] 前記バリア層成膜手順は、前記充填手順の前に、プラズマ処理により前記第2層上に、 Ti からなる第3層を成膜する手順をさらに有することを特徴とする請求項1に記載の電子部品の製造方法。
- [請求項3] 前記第3層は、5 nm以上30 nm以下の厚さに形成されることを特徴とする請求項2に記載の電子部品の製造方法。
- [請求項4] 前記第2層は、前記第1層よりも〔001〕結晶配向性が強いことを特徴とする請求項1に記載の電子部品の製造方法。
- [請求項5] 前記第1および第2層は、反応性ガスによる反応性スパッタにより成膜されることを特徴とする請求項1に記載の電子部品の製造方法。
- [請求項6] 前記反応性ガスが、窒素であることを特徴とする請求項5記載の電子部品の製造方法。
- [請求項7] 前記バリア層を成膜するターゲット材が Ti であることを特徴とする請求項1に記載の電子部品の製造方法。
- [請求項8] 前記低融点金属は、 Al 、又は Al を含む Al 系合金であることを特徴とする請求項1に記載の電子部品の製造方法。
- [請求項9] 前記充填手順は、前記バリア層の上に低温 $Seed$ 層を挟むことな

く直接に300℃以上500℃以下で行われることを特徴とする請求項1に記載の電子部品の製造方法。

[請求項10] 凹部を有する被処理体の上に形成された TiN_x （ x は正の数）を含む第1のバリア層と、

前記第1のバリア層の上に形成され、前記第1のバリア層よりも〔001〕結晶配向性の強い $TiNy$ （ y は正の数）を含む第2のバリア層と、

前記第2のバリア層の上、および前記凹部の内部に形成された低融点金属層と、

を備えることを特徴とする電子部品。

[請求項11] 処理空間を区画する容器と、

前記容器の内部で被処理体を保持するためのホルダと、

前記ホルダの上方に配置され、プラズマを生成する放電電極と、

前記ホルダにバイアス電力を印加するバイアス電極と、

前記バイアス電極に供給するバイアス電力を制御する電力制御機構と、

成膜プロセスを制御する制御装置と、

を備え、

前記制御装置は、 TiN_x （ x は正の数）を含む第1のバリア層の成膜に際して、前記電力制御機構により前記バイアス電極に第1のバイアス電力を印加し、かつ $TiNy$ （ y は正の数）を含む第2のバリア層の成膜に際して、前記電力制御機構により前記バイアス電極に第1のバイアス電力よりも低いイオン入射エネルギーを与える第2のバイアス電力を印加し、または前記バイアス電極に第2のバイアス電力を印加しないことを特徴とするプラズマ処理装置。

[請求項12] バリア層を成膜するバリア層成膜チャンバと、

低融点金属を成膜する低融点金属成膜チャンバと、

真空空間と大気の間で前記被処理体を出し入れするロードロックチ

チャンバと、

これらのチャンバを真空接続すると共に、搬送機構を備えた搬送室と、を備え、

少なくとも、前記バリア層成膜チャンバが請求項 9 に記載のプラズマ処理装置であることを特徴とするマルチチャンバシステム。

[請求項13]

容器の内部で被処理体をプラズマ処理するプラズマ処理装置の成膜プロセスを制御する制御装置に、

前記被処理体と接する電極に第 1 のバイアス電力を印加し、プラズマ処理により前記被処理体の上に $T i N_x$ (x は正の数) を含む第 1 のバリア層を成膜する手順と、

前記電極に前記第 1 のバイアス電力よりも小さいイオン入射エネルギーを与える第 2 のバイアス電力を印加し、またはバイアス電力を印加しないで、プラズマ処理により前記第 1 のバリア層の上に $T i N_y$ (y は正の数) を含む第 2 のバリア層を成膜する手順と、

前記第 2 のバリア層の上に低融点金属を充填する手順と、

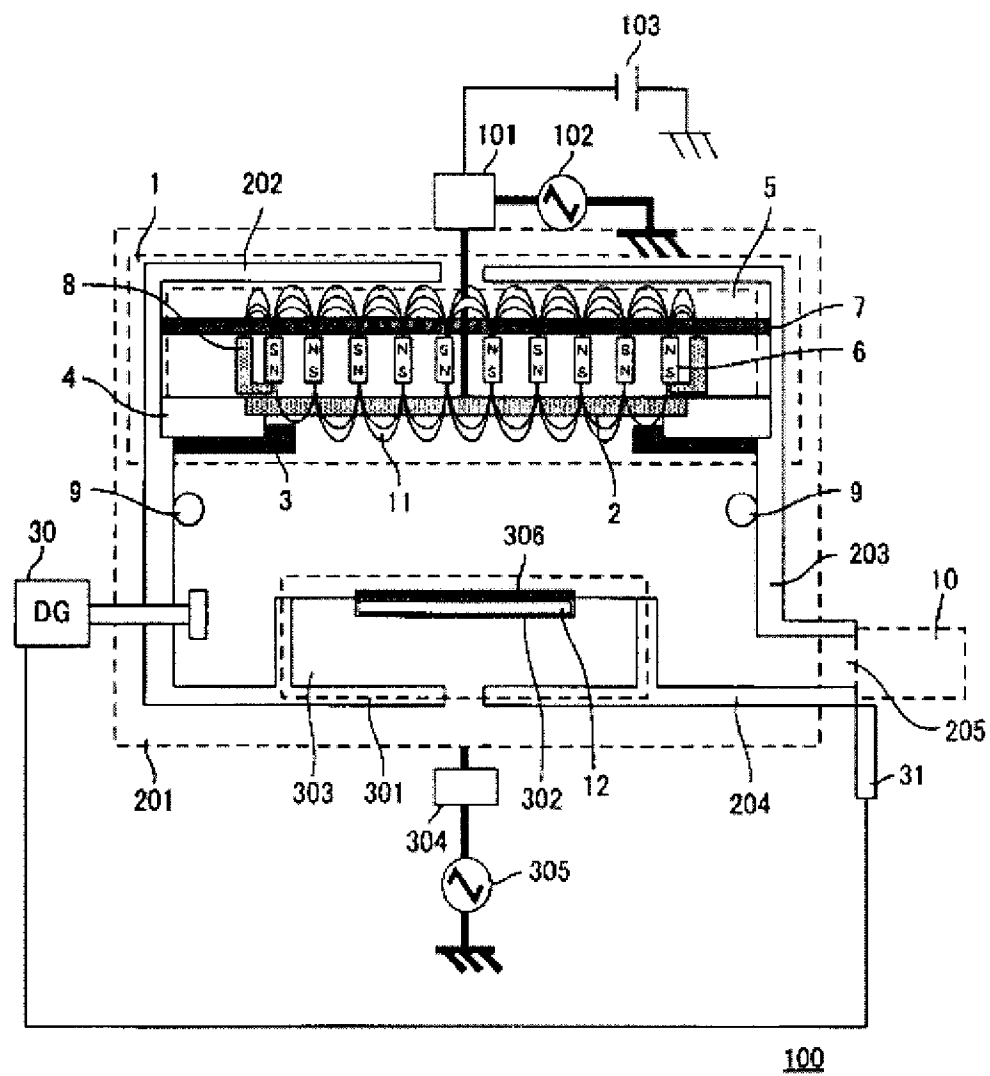
を実行させることを特徴とするプラズマ処理装置の制御プログラム

。

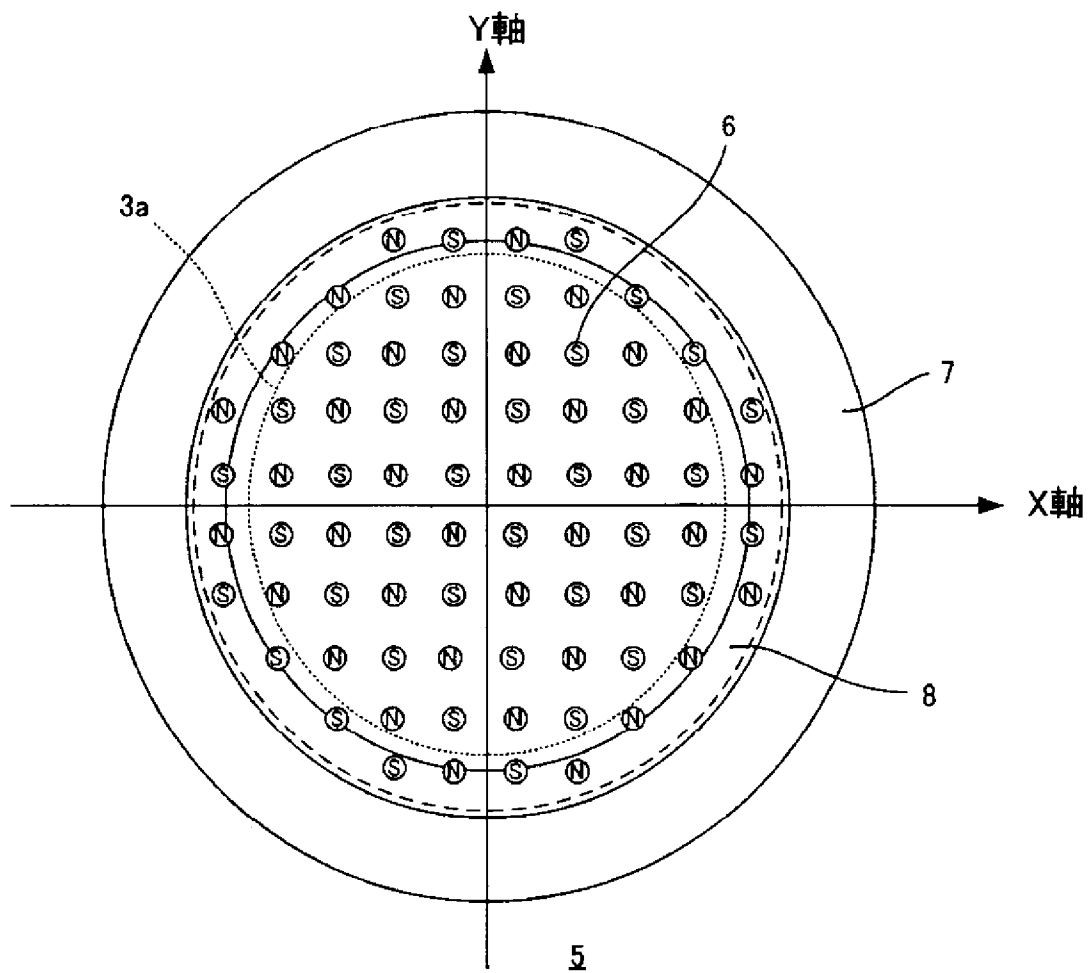
[請求項14]

請求項 1 1 に記載の制御プログラムを記録したコンピュータで読み取り可能な記録媒体。

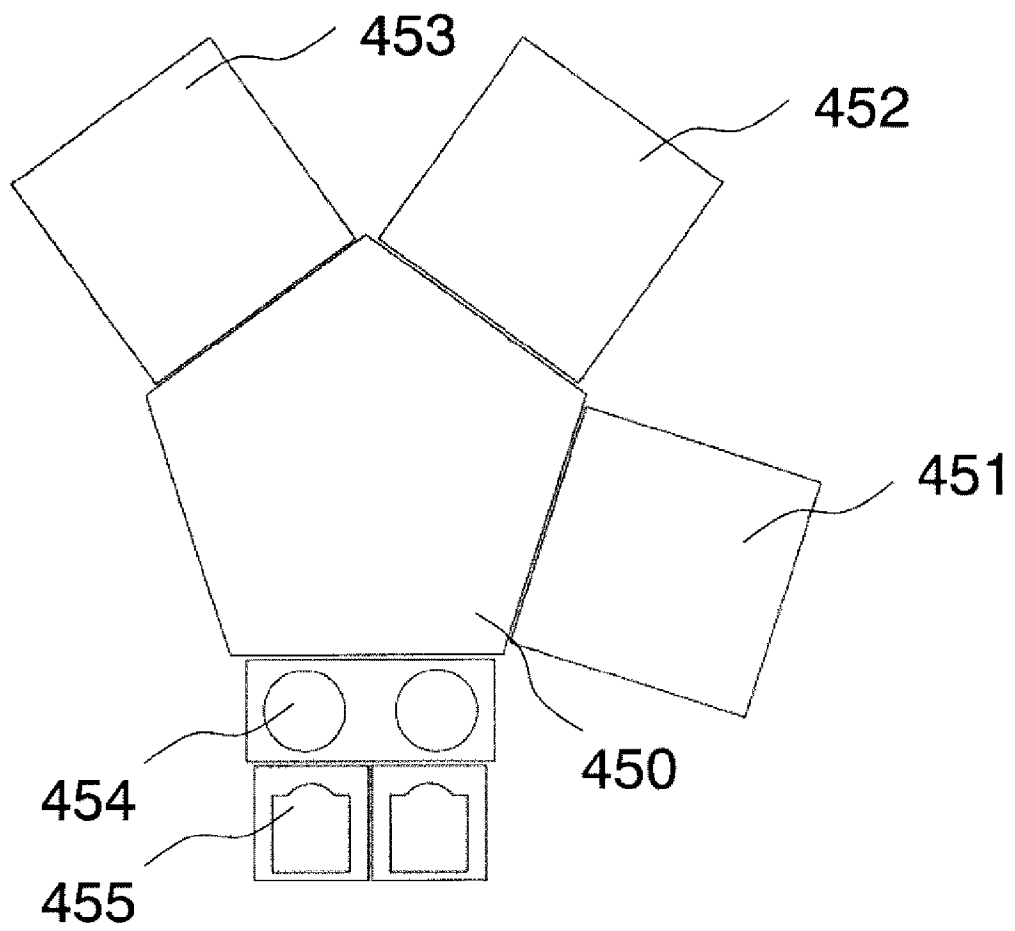
[図1]



[図2]

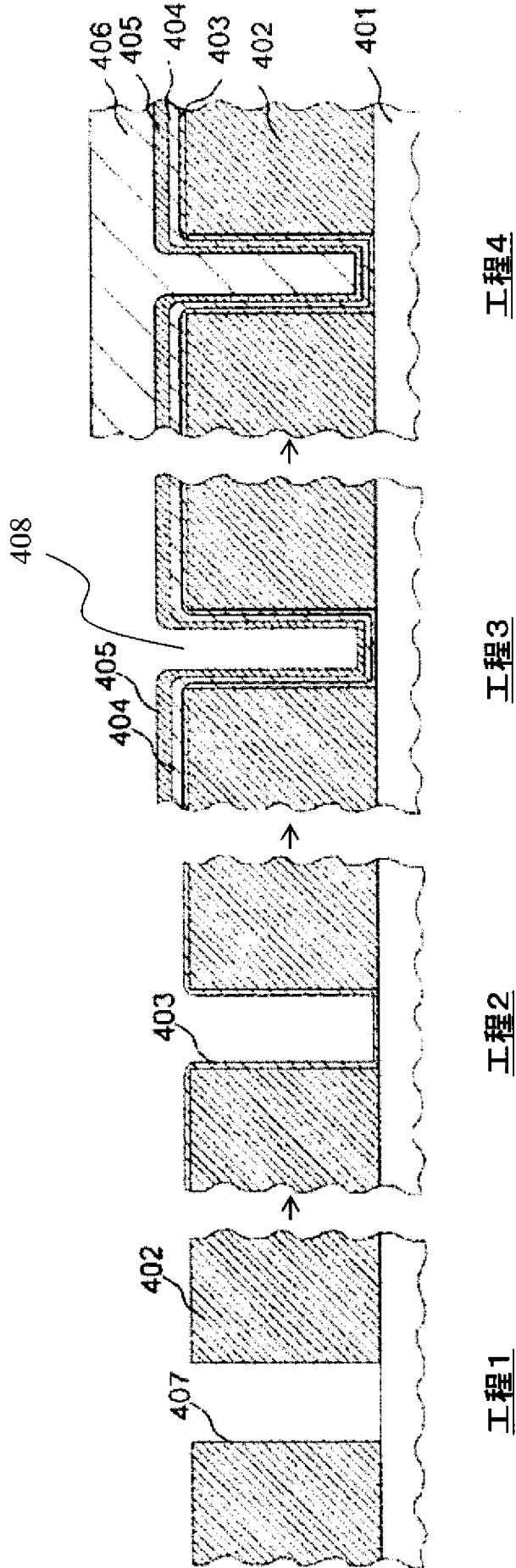


[図3]

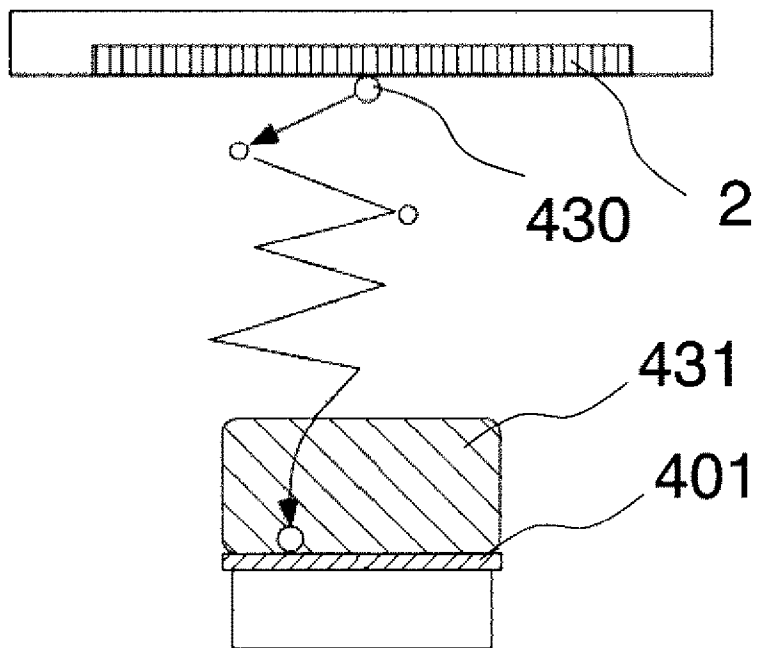


[図4]

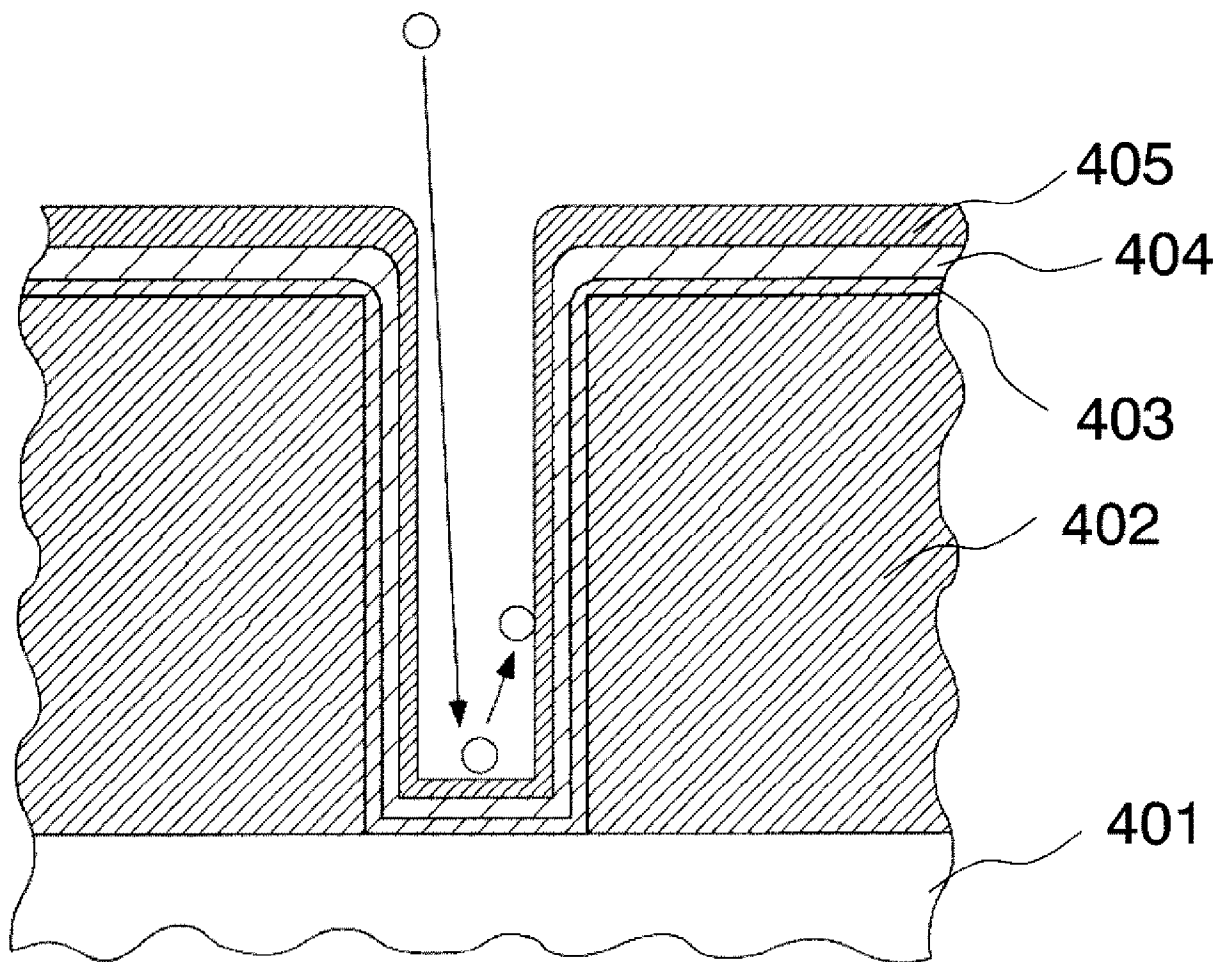
306



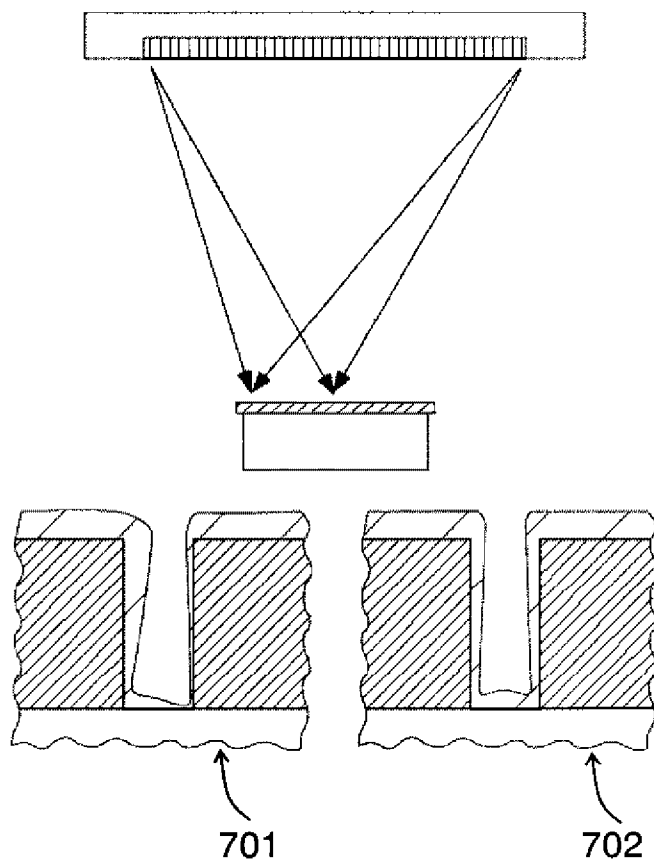
[図5]



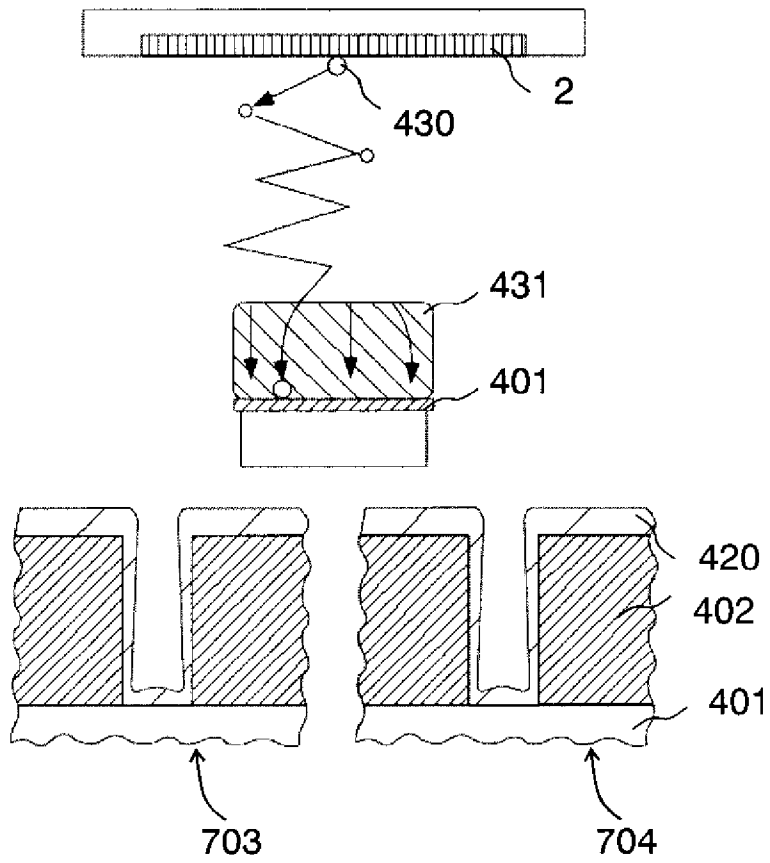
[図6]



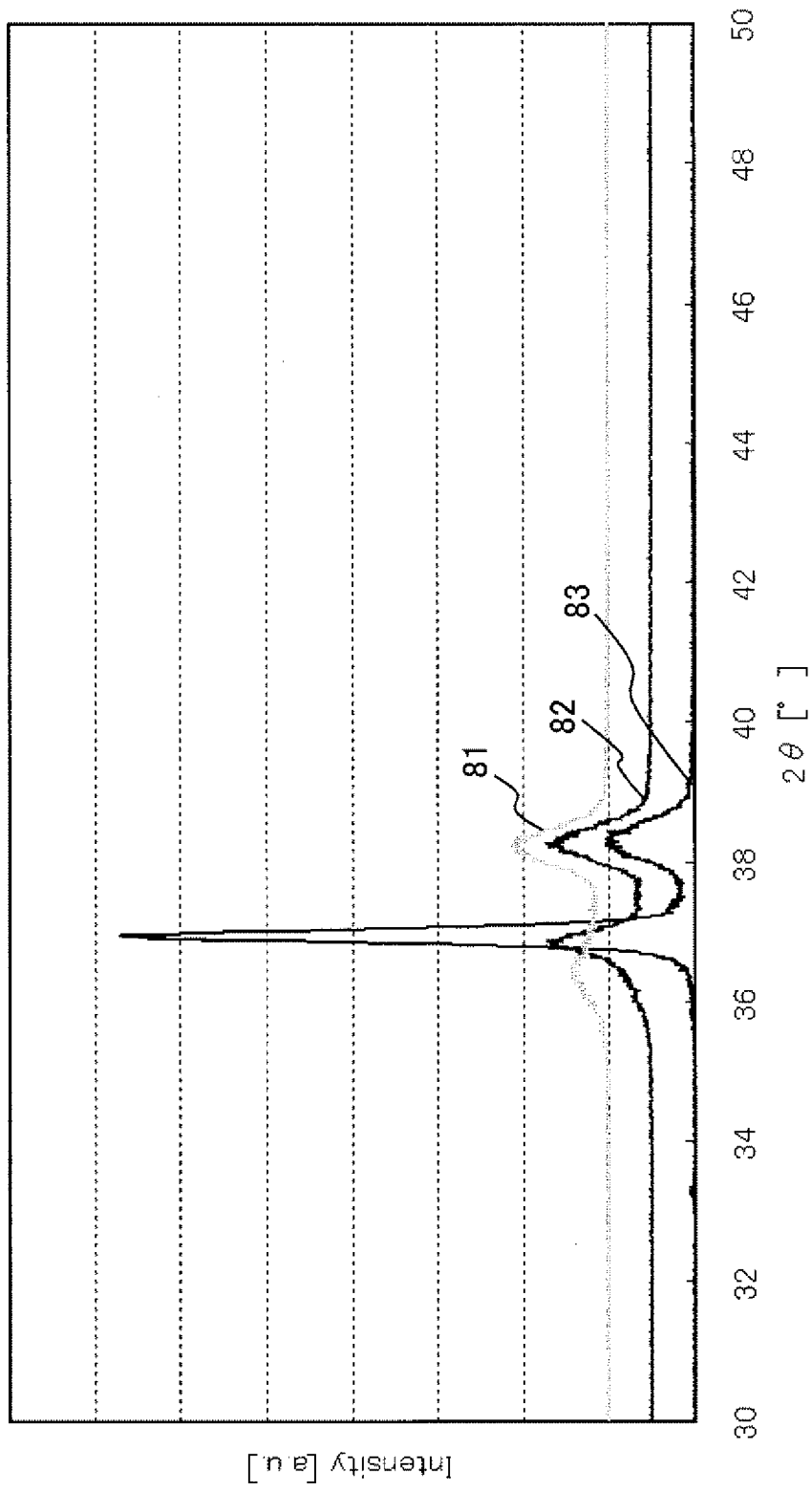
[図7A]



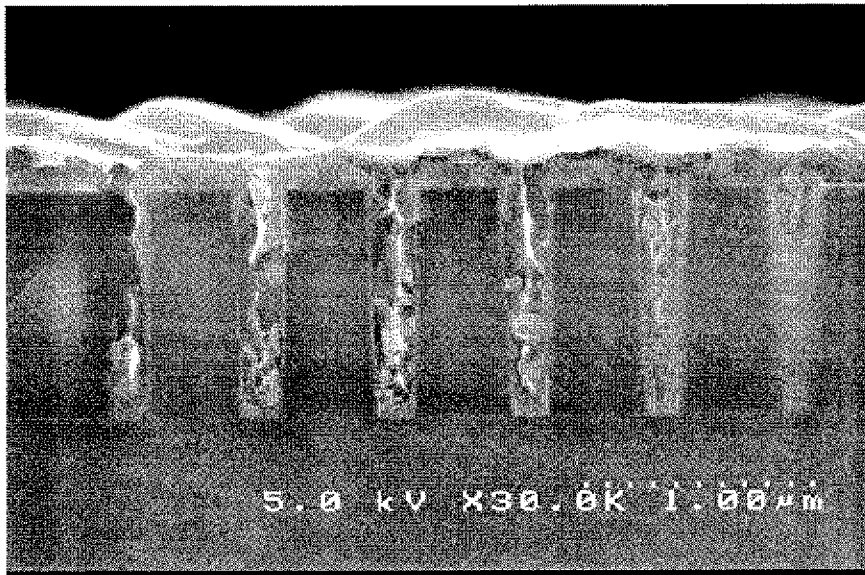
[図7B]



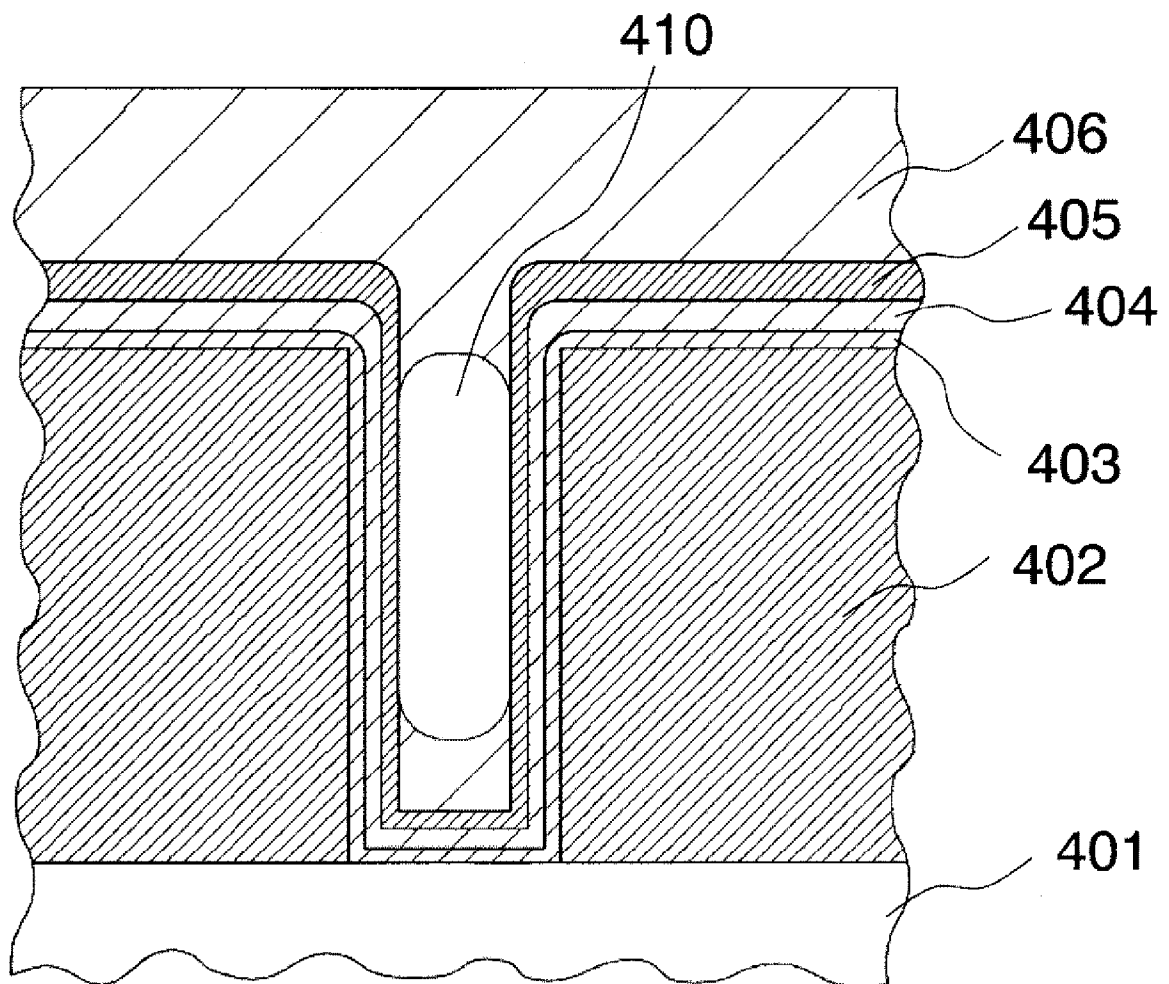
[図8]



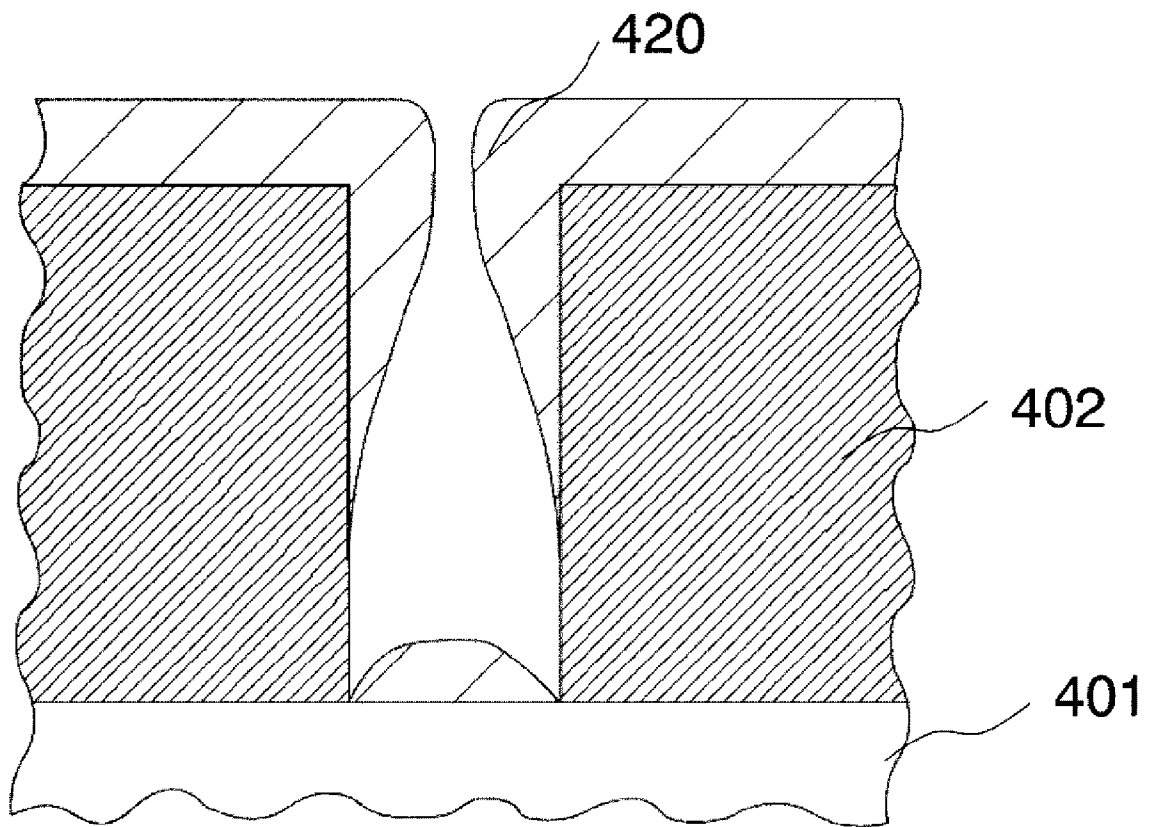
[図9]



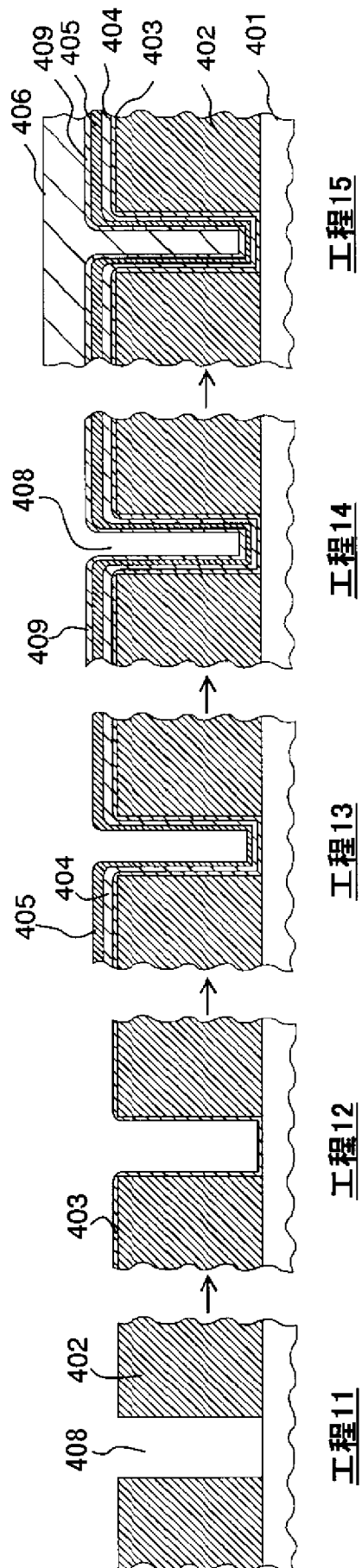
[図10]



[図11]



[図12]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/073772

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/285(2006.01)i, C23C14/06(2006.01)i, C23C14/34(2006.01)i, H01L21/28(2006.01)i, H01L21/3205(2006.01)i, H01L21/768(2006.01)i, H01L23/52(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/285, C23C14/06, C23C14/34, H01L21/28, H01L21/3205, H01L21/768, H01L23/52

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2011
Kokai Jitsuyo Shinan Koho	1971-2011	Toroku Jitsuyo Shinan Koho	1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2004-153162 A (Fujitsu Ltd.), 27 May 2004 (27.05.2004), entire text; fig. 1 to 11 (Family: none)	1-14
Y	JP 2006-5079 A (Seiko Epson Corp.), 05 January 2006 (05.01.2006), entire text; fig. 1 to 5 (Family: none)	1-14
Y	JP 2009-111251 A (Tohoku University), 21 May 2009 (21.05.2009), entire text; fig. 1A to 20 & US 2009/0108452 A1 & CN 101425503 A & KR 10-2009-0045000 A	1-14

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
25 March, 2011 (25.03.11)

Date of mailing of the international search report
05 April, 2011 (05.04.11)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/073772

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 7-50275 A (Mitsubishi Electric Corp.), 21 February 1995 (21.02.1995), entire text; fig. 1 to 5 (Family: none)	1-14
Y	JP 6-314690 A (Toshiba Corp.), 08 November 1994 (08.11.1994), entire text; fig. 1 to 22 (Family: none)	1-14
Y	JP 10-41383 A (Toyota Central Research and Development Laboratories, Inc.), 13 February 1998 (13.02.1998), entire text; fig. 1 to 5 (Family: none)	1-14
Y	JP 5-259116 A (Sony Corp.), 08 October 1993 (08.10.1993), entire text; fig. 1 to 7 (Family: none)	11-14

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L21/285(2006.01)i, C23C14/06(2006.01)i, C23C14/34(2006.01)i, H01L21/28(2006.01)i, H01L21/3205(2006.01)i, H01L21/768(2006.01)i, H01L23/52(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L21/285, C23C14/06, C23C14/34, H01L21/28, H01L21/3205, H01L21/768, H01L23/52

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 1 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 1 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 1 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2004-153162 A (富士通株式会社) 2004. 05. 27, 全文, 図 1 - 1 1 (ファミリーなし)	1 - 14
Y	JP 2006-5079 A (セイコーエプソン株式会社) 2006. 01. 05, 全文, 図 1 - 5 (ファミリーなし)	1 - 14
Y	JP 2009-111251 A (国立大学法人東北大学) 2009. 05. 21, 全文, 図 1 A - 2 O & US 2009/0108452 A1 & CN 101425503 A & KR 10-2009-0045000 A	1 - 14

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 5 . 0 3 . 2 0 1 1

国際調査報告の発送日

0 5 . 0 4 . 2 0 1 1

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

安田 雅彦

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 6 2

4 M

9 4 4 7

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 7-50275 A (三菱電機株式会社) 1995. 02. 21, 全文, 図 1 - 5 (ファミリーなし)	1 - 14
Y	JP 6-314690 A (株式会社東芝) 1994. 11. 08, 全文, 図 1 - 2 2 (ファミリーなし)	1 - 14
Y	JP 10-41383 A (株式会社豊田中央研究所) 1998. 02. 13, 全文, 図 1 - 5 (ファミリーなし)	1 - 14
Y	JP 5-259116 A (ソニー株式会社) 1993. 10. 08, 全文, 図 1 - 7 (ファミリーなし)	11 - 14