(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3577404号
(P3577404)
(45)発行日　平成16年10月13日(2004.10.13)　(24)登録日　平成16年7月16日(2004.7.16)

(51)Int.Cl.[7]	F I		
H03K 3/037	H03K	3/037	B
H03K 3/3562	H03K	3/356	C
H03K 19/0185	H03K	19/00	101E

請求項の数 9　(全 23 頁)

(21)出願番号　特願平9-231272
(22)出願日　平成9年8月27日(1997.8.27)
(65)公開番号　特開平11-74764
(43)公開日　平成11年3月16日(1999.3.16)
審査請求日　平成13年2月19日(2001.2.19)

(73)特許権者　000003078
株式会社東芝
東京都港区芝浦一丁目１番１号
(74)代理人　100064285
弁理士　佐藤　一雄
(74)代理人　100073379
弁理士　佐藤　政光
(74)代理人　100088889
弁理士　橘谷　英俊
(74)代理人　100082991
弁理士　佐藤　泰和
(72)発明者　濱　田　基　嗣
神奈川県川崎市幸区堀川町５８０番１号
株式会社東芝　半導体システム技術センター内

最終頁に続く

(54)【発明の名称】電圧レベル変換機能付ラッチ回路及びフリップフロップ回路

(57)【特許請求の範囲】
【請求項１】
入力信号の電圧レベルを変換して、この入力信号の電圧レベルとは異なる電圧レベルの出力信号を出力するための、電圧レベル変換手段と、
入力された制御信号に応じて、前記電圧レベル変換手段を、前記入力信号が通過して出力信号となる通過状態と、前記制御信号の切り替わった際における前記入力信号が保持されて出力信号となる保持状態との、２つの状態に切り替えるための、モード切替手段と、
を備え、
前記電圧レベル変換手段は、
入力端子が第１電圧の電源へ接続された第１及び第２トランジスタであって、一方の出力端子と他方の制御端子とが互いに接続された第１及び第２トランジスタと、
これら第１及び第２トランジスタの出力端子と第２電圧の電源との間にそれぞれ設けられた第３及び第４トランジスタであって、前記第１及び第２トランジスタと前記第２電圧の電源との間の導通を、前記入力信号に応じて相補的にそれぞれオン、オフするための、第３及び第４トランジスタと、
前記第１トランジスタと第３トランジスタとの間、及び前記第２トランジスタと前記第４トランジスタとの間の、少なくとも一方に設けられた前記出力信号を取り出すための出力端子と、
を備えるとともに、
前記モード切替手段は、

前記第１トランジスタの出力端子と、前記第４トランジスタの制御端子とを接続する、第５トランジスタであって、前記制御信号が入力される制御端子を有する第５トランジスタと、
前記第２トランジスタの出力端子と、前記第３トランジスタの制御端子とを接続する、第６トランジスタであって、前記制御信号が入力される制御端子を有する第６トランジスタと、
を備えることを特徴とする電圧レベル変換機能付ラッチ回路。
【請求項２】
入力信号の電圧レベルを変換して、この入力信号の電圧レベルとは異なる電圧レベルの出力信号を出力するための、電圧レベル変換手段と、
入力された制御信号に応じて、前記電圧レベル変換手段を、前記入力信号が通過して出力信号となる通過状態と、前記制御信号の切り替わった際における前記入力信号が保持されて出力信号となる保持状態との、２つの状態に切り替えるための、モード切替手段と、
を備え、
前記電圧レベル変換手段は、
前記入力信号が入力される第１インバータと、
入力側が前記第１インバータの出力側と接続され、出力側から前記出力信号が出力される第２インバータと、
これら第１インバータと第２インバータとの間に接続された制御端子と、第１電圧の電源へ接続された入力端子と、前記第１インバータの入力側に接続された出力端子とを有する、第１トランジスタと、
を備えるとともに、
前記モード切替手段は、
前記第２インバータの出力側と前記第１インバータの入力側とを接続する第２トランジスタであって、前記制御信号が入力される制御端子を有する、第２トランジスタを、
備えることを特徴とする電圧レベル変換機能付ラッチ回路。
【請求項３】
入力データ信号と制御信号とが入力されるマスターラッチ回路であって、前記制御信号に応じて、前記入力データ信号を通過させて中間出力信号とする通過状態と、前記制御信号が切り替わった際の前記入力データ信号を保持して中間出力信号とする保持状態との、２つの状態を有する、マスターラッチ回路と、
前記中間出力信号と前記制御信号とが入力され、前記制御信号に応じて、前記マスターラッチ回路が前記保持状態であるときには前記中間出力信号を通過させて出力データ信号とする通過状態となり、前記マスターラッチ回路が前記通過状態であるときには前記制御信号が切り替わった際の前記中間出力信号を保持して出力データ信号とする保持状態となるとともに、前記中間出力信号の電圧レベルを変換して、前記中間出力信号の電圧レベルとは異なる電圧レベルの前記出力データ信号として出力するスレーブラッチ回路と、
を備え、
前記スレーブラッチ回路は、
入力端子が第１電圧の電源へ接続された第１及び第２トランジスタであって、一方の出力端子と他方の制御端子とが互いに接続された第１及び第２トランジスタと、
これら第１及び第２トランジスタの出力端子と第２電圧の電源との間にそれぞれ設けられた第３及び第４トランジスタであって、前記第１及び第２トランジスタと前記第２電圧の電源との間の導通を、前記中間出力信号に応じて相補的にそれぞれオン、オフするための、第３及び第４トランジスタと、
前記第１トランジスタと第３トランジスタとの間、及び前記第２トランジスタと前記第４トランジスタとの間の、少なくとも一方に設けられた前記出力データ信号を取り出すための出力端子と、
前記第１トランジスタの出力端子と、前記第４トランジスタの制御端子とを接続する、第５トランジスタであって、前記制御信号が入力される制御端子を有する第５トランジス

タと、
　前記第２トランジスタの出力端子と、前記第３トランジスタの制御端子とを接続する、第６トランジスタであって、前記制御信号が入力される制御端子を有する第６トランジスタと、
　を備えることを特徴とする電圧レベル変換機能付フリップフロップ回路。
【請求項４】
入力データ信号と制御信号とが入力されるマスターラッチ回路であって、前記制御信号に応じて、前記入力データ信号を通過させて中間出力信号とする通過状態と、前記制御信号が切り替わった際の前記入力データ信号を保持して中間出力信号とする保持状態との、２つの状態を有する、マスターラッチ回路と、
前記中間出力信号と前記制御信号とが入力され、前記制御信号に応じて、前記マスターラッチ回路が前記保持状態であるときには前記中間出力信号を通過させて出力データ信号とする通過状態となり、前記マスターラッチ回路が前記通過状態であるときには前記制御信号が切り替わった際の前記中間出力信号を保持して出力データ信号とする保持状態となるとともに、前記中間出力信号の電圧レベルを変換して、前記中間出力信号の電圧レベルとは異なる電圧レベルの前記出力データ信号として出力するスレーブラッチ回路と、
を備え、
　前記スレーブラッチ回路は、
　前記中間出力信号が入力される第１インバータと、
　入力側が前記第１インバータの出力側と接続され、出力側から前記出力データ信号が出力される第２インバータと、
　これら第１インバータと第２インバータとの間に接続された制御端子と、第１電圧の電源へ接続された入力端子と、前記第１インバータの入力側に接続された出力端子とを有する、第１トランジスタと、
　前記第２インバータの出力側と前記１インバータの入力側とを接続する第２トランジスタであって、前記制御信号が入力される制御端子を有する、第２トランジスタを、
　を備えることを特徴とする電圧レベル変換機能付フリップフロップ回路。
【請求項５】
前記スレーブラッチ回路では、前記出力データ信号の電圧レベルを、前記中間出力信号の電圧レベルよりも高く変換することを特徴とする請求項３又は請求項４に記載の電圧レベル変換機能付フリップフロップ回路。
【請求項６】
前記スレーブラッチ回路の少なくとも一部は第１電圧で動作し、前記マスターラッチ回路はこの第１電圧より低い第２電圧で動作することを特徴とする請求項５に記載の電圧レベル変換機能付フリップフロップ回路。
【請求項７】
前記制御信号は、グランドと第３電圧との間で振幅し、前記入力データ信号は、グランドと第４電圧の間の幅で振幅するとともに、これら第３電圧及び第４電圧は、前記第２電圧以上の電圧であることを特徴とする請求項６に記載の電圧レベル変換機能付フリップフロップ回路。
【請求項８】
前記第３電圧と前記第４電圧は、前記第１電圧よりも低いことを特徴とする請求項７に記載の電圧レベル変換機能付フリップフロップ回路。
【請求項９】
前記第３電圧と前記第４電圧とは、互いに等しい電圧であることを特徴とする請求項７又は請求項８に記載の電圧レベル変換機能付フリップフロップ回路。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は電圧レベル変換機能付ラッチ回路及びフリップフロップ回路に関し、特に、多電

源で動作するＬＳＩに用いられる、電圧レベル変換機能付ラッチ回路及びフリップフロップ回路に関する。

【０００２】

【従来の技術】

消費電力を抑制するために、ＬＳＩのチップ内部を多電源化することが、従来から行われている。例えば、通常電圧ＶＤＤで動作する組み合わせ論理回路と、この通常電圧ＶＤＤより低い電圧ＶＤＤＬで動作する組み合わせ論理回路とを、１つのＬＳＩチップの中に設けることが行われている。このようなＬＳＩにおいては、低電圧ＶＤＤＬで動作する組み合わせ論理回路と、通常電圧ＶＤＤで動作する組み合わせ論理回路との間で、電圧レベルを変換する必要が生じる。つまり、電圧レベル変換回路を設ける必要が生じる。このような電圧レベル変換回路をＬＳＩチップの各所に分散して設けることは、得策ではない。なぜなら、電圧レベル変換回路を分散して設けると、この電圧レベル変換回路自体の電力消費があるため、内部を２電源化したことによる消費電力の削減効果が滅却されるおそれがあるためである。したがって、電圧レベル変換回路は、フリップフロップ部分に集中して設けることが得策であるといわれている。このように、フリップフロップ回路に電圧レベル変換回路を設けたものを、一般に、電圧レベル変換機能付フリップフロップ回路という。

【０００３】

図１５は、通常の、マスタースレーブ型フリップフロップ回路ＭＳＦを示す図である。この図１５からわかるように、マスタースレーブ型フリップフロップ回路ＭＳＦは、マスターラッチ回路ＭＬとスレーブラッチ回路ＳＬとを備えて構成される。これらマスターラッチ回路ＭＬとスレーブラッチ回路ＳＬとは、クロック入力端子ＣＬＫからの入力が、ハイのときに、入力端子Ｄからのデータを通過させて出力端子Ｑから出力する機能を有している。一方、クロック入力端子ＣＬＫからの入力が、ロウのときには、この入力がロウに立ち下がった時点のデータを保持する機能を有している。したがって、図１５に示すマスターラッチ回路ＭＬのクロック入力端子ＣＬＫに入力される信号は反転クロック信号／ＣＫであるので、このマスターラッチ回路ＭＬは、クロック信号ＣＫがロウのときに、データを通過させる通過状態となり、クロック信号ＣＫがハイのときにデータを保持する保持状態となる。これに対して、スレーブラッチ回路ＳＬのクロック入力端子ＣＬＫに入力される信号はクロック信号ＣＫであるので、このスレーブラッチ回路ＳＬは、クロック信号ＣＫがハイのときにデータを通過させる通過状態となり、クロック信号ＣＫがロウのときにデータを保持する保持状態となる。つまり、このマスタースレーブ型フリップフロップ回路ＭＳＦ全体では、エッジトリガ型のフリップフロップとして動作する。

【０００４】

この図１５に示すようなマスタースレーブ型フリップフロップ回路ＭＳＦに、電圧レベル変換回路とを組み合わせた電圧レベル変換機能付フリップフロップとしては、図１６乃至図１８に示すようなものがある。図１６は、マスタースレーブ型フリップフロップＭＳＦの前段に電圧レベル変換回路ＶＣを設けた、電圧レベル変換機能付フリップフロップ回路である。図１７は、マスタースレーブ型フリップフロップＭＳＦの後段に電圧レベル変換回路ＶＣを設けた、電圧レベル変換機能付フリップフロップ回路である。図１８は、図１７の電圧レベル変換機能付フリップフロップ回路と同様に、後段に電圧レベル変換回路ＶＣを設けたものである。この図１８に示す電圧レベル変換機能付フリップフロップ回路における図１７との違いは、スレーブラッチ回路ＳＬの出力に反転出力端子／Ｑが設けられている点と、この反転出力端子／Ｑからの出力信号を電圧レベル変換回路ＶＣで用いる点とにある。このため、図１８に示す電圧レベル変換回路ＶＣには、スレーブラッチ回路ＳＬにおける出力端子Ｑからの信号を入力するための、入力端子ＩＮ１と、同じくスレーブラッチ回路ＳＬにおける反転出力端子／Ｑからの信号を入力するための入力端子ＩＮ２とが、設けられている。

【０００５】

【発明が解決しようとする課題】

以上述べたような電圧レベル変換機能付フリップフロップ回路では、データの保持と電圧レベルの変換とを独立に行うため、必要な素子数が多くなるとともに回路面積が大きくなり、このため動作速度も遅くなるという問題があった。また、電圧レベル変換回路ＶＣを独立に動作させるのにそれ相応の電力を必要とするので、全体の消費電力が大きくなるという問題もあった。

【０００６】

特に図１６に示す電圧レベル変換機能付フリップフロップ回路では、電圧レベルの変換を行った後にフリップフロップ動作を行うので、電圧レベル変換回路ＶＣとマスタースレーブ型フリップフロップ回路ＭＳＦとの双方を、通常電圧ＶＤＤで動作させる必要があった。このため、消費電力が大きくなるという問題があった。しかも、マスタースレーブ型フリップフロップ回路ＭＳＦが通常電圧ＶＤＤで動作するため、クロック信号ＣＫの低電圧化を図ることができないという問題もあった。つまり、クロック信号ＣＫを低電圧ＶＤＤＬではなく、通常電圧ＶＤＤで動作させなければならないという問題があった。

【０００７】

これに対して、図１７及び図１８に示す電圧レベル変換機能付フリップフロップでは、フリップフロップ動作を行った後に電圧レベルの変換を行うので、入力データ信号ＩＤとクロック信号ＣＫとの低電圧化は図ることができた。すなわち、マスタースレーブ型フリップフロップ回路ＭＳＦを低電圧ＶＤＤＬで動作させ、電圧レベル変換回路ＶＣを通常電圧ＶＤＤで若しくは通常電圧ＶＤＤと低電圧ＶＤＤＬとで動作させることができた。しかし、マスタースレーブ型フリップフロップ回路ＭＳＦ全体が低電圧ＶＤＤＬで動作するため、動作速度が遅くなるという問題があった。

【０００８】

そこで本発明は、これらの課題に鑑みてなされたものであり、消費電力の抑制を図りつつ、高速で動作させることの可能な電圧レベル変換機能付ラッチ回路及びフリップフロップ回路を提供することを目的とする。すなわち、入力データ信号ＩＤとクロック信号ＣＫとの低電圧化を図りつつ、高速で動作可能な電圧レベル変換機能付ラッチ回路及びフリップフロップ回路を提供することを目的とする。かかる目的を達成すべく、必要な素子数の低減を図るとともに、回路面積を小さくした電圧レベル変換機能付ラッチ回路及びフリップフロップ回路を提供することを目的とする。

【０００９】

【課題を解決するための手段】

本発明に係る電圧レベル変換機能付ラッチ回路は、

入力信号の電圧レベルを変換して、この入力信号の電圧レベルとは異なる電圧レベルの出力信号を出力するための、電圧レベル変換手段と、

入力された制御信号に応じて、前記電圧レベル変換手段を、前記入力信号が通過して出力信号となる通過状態と、前記制御信号の切り替わった際における前記入力信号が保持されて出力信号となる保持状態との、２つの状態に切り替えるための、モード切替手段と、

を備え、

前記電圧レベル変換手段は、

入力端子が第１電圧の電源へ接続された第１及び第２トランジスタであって、一方の出力端子と他方の制御端子とが互いに接続された第１及び第２トランジスタと、

これら第１及び第２トランジスタの出力端子と第２電圧の電源との間にそれぞれ設けられた第３及び第４トランジスタであって、前記第１及び第２トランジスタと前記第２電圧の電源との間の導通を、前記入力信号に応じて相補的にそれぞれオン、オフするための、第３及び第４トランジスタと、

前記第１トランジスタと第３トランジスタとの間、及び前記第２トランジスタと前記第４トランジスタとの間の、少なくとも一方に設けられた前記出力信号を取り出すための出力端子と、

を備えるとともに、

前記モード切替手段は、

前記第１トランジスタの出力端子と、前記第４トランジスタの制御端子とを接続する、第５トランジスタであって、前記制御信号が入力される制御端子を有する第５トランジスタと、
前記第２トランジスタの出力端子と、前記第３トランジスタの制御端子とを接続する、第６トランジスタであって、前記制御信号が入力される制御端子を有する第６トランジスタと、
を備えることを特徴とする。
本発明に係る電圧レベル変換機能付ラッチ回路は、
入力信号の電圧レベルを変換して、この入力信号の電圧レベルとは異なる電圧レベルの出力信号を出力するための、電圧レベル変換手段と、
入力された制御信号に応じて、前記電圧レベル変換手段を、前記入力信号が通過して出力信号となる通過状態と、前記制御信号の切り替わった際における前記入力信号が保持されて出力信号となる保持状態との、２つの状態に切り替えるための、モード切替手段と、
を備え、
前記電圧レベル変換手段は、
前記入力信号が入力される第１インバータと、
入力側が前記第１インバータの出力側と接続され、出力側から前記出力信号が出力される第２インバータと、
これら第１インバータと第２インバータとの間に接続された制御端子と、第１電圧の電源へ接続された入力端子と、前記第１インバータの入力側に接続された出力端子とを有する、第１トランジスタと、
を備えるとともに、
前記モード切替手段は、
前記第２インバータの出力側と前記第１インバータの入力側とを接続する第２トランジスタであって、前記制御信号が入力される制御端子を有する、第２トランジスタを、
備えることを特徴とする。
【００１０】
本発明に係る電圧レベル変換機能付フリップフロップ回路は、
入力データ信号と制御信号とが入力されるマスターラッチ回路であって、前記制御信号に応じて、前記入力データ信号を通過させて中間出力信号とする通過状態と、前記制御信号が切り替わった際の前記入力データ信号を保持して中間出力信号とする保持状態との、２つの状態を有する、マスターラッチ回路と、
前記中間出力信号と前記制御信号とが入力され、前記制御信号に応じて、前記マスターラッチ回路が前記保持状態であるときには前記中間出力信号を通過させて出力データ信号とする通過状態となり、前記マスターラッチ回路が前記通過状態であるときには前記制御信号が切り替わった際の前記中間出力信号を保持して出力データ信号とする保持状態となるとともに、前記中間出力信号の電圧レベルを変換して、前記中間出力信号の電圧レベルとは異なる電圧レベルの前記出力データ信号として出力するスレーブラッチ回路と、
を備え、
前記スレーブラッチ回路は、
入力端子が第１電圧の電源へ接続された第１及び第２トランジスタであって、一方の出力端子と他方の制御端子とが互いに接続された第１及び第２トランジスタと、
これら第１及び第２トランジスタの出力端子と第２電圧の電源との間にそれぞれ設けられた第３及び第４トランジスタであって、前記第１及び第２トランジスタと前記第２電圧の電源との間の導通を、前記中間出力信号に応じて相補的にそれぞれオン、オフするための、第３及び第４トランジスタと、
前記第１トランジスタと第３トランジスタとの間、及び前記第２トランジスタと前記第４トランジスタとの間の、少なくとも一方に設けられた前記出力データ信号を取り出すための出力端子と、
前記第１トランジスタの出力端子と、前記第４トランジスタの制御端子とを接続する、第

５トランジスタであって、前記制御信号が入力される制御端子を有する第５トランジスタと、
前記第２トランジスタの出力端子と、前記第３トランジスタの制御端子とを接続する、第６トランジスタであって、前記制御信号が入力される制御端子を有する第６トランジスタと、
を備えることを特徴とする。
本発明に係る電圧レベル変換機能付フリップフロップ回路は、
入力データ信号と制御信号とが入力されるマスターラッチ回路であって、前記制御信号に応じて、前記入力データ信号を通過させて中間出力信号とする通過状態と、前記制御信号が切り替わった際の前記入力データ信号を保持して中間出力信号とする保持状態との、２つの状態を有する、マスターラッチ回路と、
前記中間出力信号と前記制御信号とが入力され、前記制御信号に応じて、前記マスターラッチ回路が前記保持状態であるときには前記中間出力信号を通過させて出力データ信号とする通過状態となり、前記マスターラッチ回路が前記通過状態であるときには前記制御信号が切り替わった際の前記中間出力信号を保持して出力データ信号とする保持状態となるとともに、前記中間出力信号の電圧レベルを変換して、前記中間出力信号の電圧レベルとは異なる電圧レベルの前記出力データ信号として出力するスレーブラッチ回路と、
を備え、
前記スレーブラッチ回路は、
前記中間出力信号が入力される第１インバータと、
入力側が前記第１インバータの出力側と接続され、出力側から前記出力データ信号が出力される第２インバータと、
これら第１インバータと第２インバータとの間に接続された制御端子と、第１電圧の電源へ接続された入力端子と、前記第１インバータの入力側に接続された出力端子とを有する、第１トランジスタと、
前記第２インバータの出力側と前記１インバータの入力側とを接続する第２トランジスタであって、前記制御信号が入力される制御端子を有する、第２トランジスタを、
を備えることを特徴とする。
【００１１】
【発明の実施の形態】
（第１実施形態）
本発明の第１実施形態は、マスタースレーブ型のフリップフロップ回路におけるスレーブラッチ回路に電圧レベル変換回路を組み込むことにより、必要な素子数の削減を図り、消費電力の抑制や動作の高速化を図ったものである。以下により詳しく説明する。
【００１２】
図１は本発明の第１実施形態に係る電圧レベル変換機能付フリップフロップの回路の一例を示す図である。
【００１３】
この図１からわかるように、第１実施形態の電圧レベル変換機能付フリップフロップ回路は、マスターラッチ回路ＭＬとスレーブラッチ回路ＳＬとを、備えて構成される。
【００１４】
マスターラッチＭＬは、一般的なラッチ回路により構成されている。すなわち、入力データ信号ＩＤを入力するためのデータ入力端子Ｄ１と、反転クロック信号／ＣＫを入力するためのクロック入力端子ＣＬＫと、データを出力するためのデータ出力端子Ｑ１と、このデータを反転して出力するための反転データ出力端子／Ｑ１とを、備えている。これらデータ出力端子Ｑ１と反転データ出力端子／Ｑ１からのデータ出力信号は、このフリップフロップ全体から見ると、スレーブラッチ回路ＳＬへの中間出力信号と見ることができる。
【００１５】
このマスターラッチ回路ＭＬは、クロック入力端子ＣＬＫからの入力がハイのときは、入力データ信号ＩＤを通過させて中間出力信号とし、クロック入力端子ＣＬＫからの入力が

ロウのときは、そのロウになった際の入力データ信号ＩＤの状態を保持して中間出力信号とする、機能を有している。本実施形態では、このクロック入力端子ＣＬＫに、反転クロック信号／ＣＫが入力されているので、このマスターラッチ回路ＭＬは、クロック信号ＣＫがロウのときは入力データ信号ＩＤを通過させて中間出力信号とし、クロック信号ＣＫがハイのときはその状態を保持して中間出力信号とする、機能を有している。

【００１６】

このマスターラッチ回路ＭＬは、後述するスレーブラッチ回路ＳＬを動作させるための電圧ＶＤＤ１よりも低い、電圧ＶＤＤ２で動作するようになっている。また、クロック信号ＣＫはグランドから電圧ＶＤＤ２の幅で振幅するようになっており、入力データ信号ＩＤはグランドから電圧ＶＤＤ４の幅で振幅するようになっている。グランドから電圧ＶＤＤ２の幅で振幅するクロック信号ＣＫは、電圧ＶＤＤ２で動作する内部クロック信号発生回路３０から出力される。すなわち、グランドから電圧ＶＤＤ３の幅で振幅するクロック信号ＣＰを、電圧ＶＤＤ２で動作するインバータ３２、３４を介すことにより、生成される。これらの電圧ＶＤＤ３、ＶＤＤ４は、電圧ＶＤＤ２と等しい電圧か、又はそれより高い電圧になっている。つまり、電圧ＶＤＤ３、ＶＤＤ４は、電圧ＶＤＤ２以上の電圧になっている。また、これら電圧ＶＤＤ３、ＶＤＤ４は、電圧ＶＤＤ１よりは小さい電圧になっている。これら電圧の高低関係をまとめると、

ＶＤＤ１　＞　ＶＤＤ３、ＶＤＤ４　＞　ＶＤＤ２

となる。なお、電圧ＶＤＤ３と電圧ＶＤＤ４とは、等しくしても良いし、異なっていても良い。

【００１７】

スレーブラッチ回路ＳＬは、モード切替部１０と電圧レベル変換回路２０とを備えて構成されている。より詳しくは、マスターラッチ回路ＭＬにおけるデータ出力端子Ｑ１は、トランスミッションゲートＴＧ１に接続されている。また、マスターラッチ回路ＭＬにおける反転データ出力端子／Ｑ１は、トランスミッションゲートＴＧ２に接続されている。これらのトランスミッションゲートＴＧ１、ＴＧ２は、クロック信号ＣＫに対応して、マスターラッチ回路ＭＬからの中間出力信号を導通、遮断するためのゲート回路である。すなわち、クロック信号ＣＫがハイの場合には信号を導通し、クロック信号ＣＫがロウの場合には信号を遮断する。これらトランスミッションゲートＴＧ１、ＴＧ２は、マスターラッチ回路ＭＬと同様に電圧ＶＤＤ２の振幅のクロック信号ＣＫ及び反転クロック信号／ＣＫで制御するようになっている。

【００１８】

トランスミッションゲートＴＧ１は、ｎ型ＭＯＳトランジスタｎＭＯＳ１に接続されている。このｎ型ＭＯＳトランジスタｎＭＯＳ１のドレインＤは、図中上側に設けられたｐ型ＭＯＳトランジスタｐＭＯＳ１のドレインＤと接続されている。このｐ型ＭＯＳトランジスタｐＭＯＳ１のソースＳは、電圧ＶＤＤ１の電源へ接続されている。この電圧ＶＤＤ１は、上述のように、マスターラッチ回路ＭＬに用いられる電圧ＶＤＤ２よりも高いものである。一方、前記のｎ型ＭＯＳトランジスタｎＭＯＳ１のソースＳはグランドへ接続されている。

【００１９】

トランスミッションゲートＴＧ２は、ｎ型ＭＯＳトランジスタｎＭＯＳ２に接続されている。このｎ型ＭＯＳトランジスタｎＭＯＳ２のドレインＤは、図中上側に設けられたｐ型ＭＯＳトランジスタｐＭＯＳ２のドレインＤと接続されている。このｐ型ＭＯＳトランジスタｐＭＯＳ２のソースＳは、電圧ＶＤＤ１の電源へ接続されている。一方、前記のｎ型ＭＯＳトランジスタｎＭＯＳ２のソースＳはグランドへ接続されている。

【００２０】

前述のｐ型ＭＯＳトランジスタｐＭＯＳ１とｎ型ＭＯＳトランジスタｎＭＯＳ１との間の点Ａは、ｐ型ＭＯＳトランジスタｐＭＯＳ２のゲートＧへ接続されている。また、ｐ型ＭＯＳトランジスタｐＭＯＳ２とｎ型ＭＯＳトランジスタｎＭＯＳ２との間の点Ｂは、ｐ型ＭＯＳトランジスタｐＭＯＳ１のゲートＧへ接続されている。前記の点Ａとｎ型ＭＯＳト

ランジスタｎＭＯＳ１との間の点Ｃは、ｎ型ＭＯＳトランジスタｎＭＯＳ３を介して、ｎ型ＭＯＳトランジスタｎＭＯＳ２のゲートＧへ接続されている。また、前記の点Ｂとｎ型ＭＯＳトランジスタｎＭＯＳ２との間の点Ｄは、ｎ型ＭＯＳトランジスタｎＭＯＳ４を介して、ｎ型ＭＯＳトランジスタｎＭＯＳ１のゲートＧへ接続されている。これらｎ型ＭＯＳトランジスタｎＭＯＳ３、ｎＭＯＳ４のゲートＧ、Ｇには、反転クロック信号／ＣＫが接続されている。さらに、前記の点Ｃは、インバータＩＮＶ１にも接続されており、このインバータＩＮＶ１からの出力が、出力データ信号ＯＤとして、このスレーブラッチ回路ＳＬから出力されるようになっている。この出力データ信号ＯＤは、とりもなおさず、この電圧レベル変換機能付フリップフロップ回路の出力である。すなわち、インバータＩＮＶ１の先に出力データ信号ＯＤ用の出力端子が設けられている。

【００２１】

これらの各素子のうち、トランスミッションゲートＴＧ１、ＴＧ２と、ｎ型ＭＯＳトランジスタｎＭＯＳ３、ｎＭＯＳ４とで、モード切替部１０が構成されている。また、ｎ型ＭＯＳトランジスタｎＭＯＳ１、ｎＭＯＳ２と、ｐ型ＭＯＳトランジスタｐＭＯＳ１、ｐＭＯＳ２と、インバータＩＮＶ１とで、電圧レベル変換回路２０が構成されている。この電圧レベル変換回路２０は、上述したように、電圧ＶＤＤ１で動作するようになっている。

【００２２】

次に、この図１に示す電圧レベル変換機能付フリップフロップ回路の動作を説明する。

まず、スレーブラッチ回路ＳＬの単独の動作を説明する。初めに、クロック信号ＣＫがハイであった場合を説明する。このクロック信号ＣＫがハイであると、トランスミッションゲートＴＧ１、ＴＧ２はともに導通状態となる。また、反転クロック信号／ＣＫはロウであるので、ｎ型ＭＯＳトランジスタｎＭＯＳ３、ｎＭＯＳ４はともにオフ状態となる。したがって、このクロック信号ＣＫがハイのときにおける図１の電圧レベル変換機能付フリップフロップ回路は、図２に示す回路と等価になる。

【００２３】

この図２からわかるように、このスレーブラッチ回路ＳＬは、クロック信号ＣＫがハイのときは、マスターラッチ回路ＭＬにおけるデータ出力端子Ｑ１からの中間出力信号の電圧レベルを上げて、そのまま通過させる回路となる。すなわち、データ出力端子Ｑ１からの中間出力信号がハイのとき、この信号の電圧はＶＤＤ２であるので、この電圧ＶＤＤ２をこれより高い電圧であるＶＤＤ１へ変換して、ハイ信号として出力データ信号ＯＤを出力する。一方、データ出力端子Ｑ１の中間出力信号がロウのときは、この信号の電圧はグランドであるので、このグランド電位をそのまま、出力データ信号ＯＤとして出力する。より詳しく説明すると次のようになる。

【００２４】

マスターラッチ回路ＭＬにおけるデータ出力端子Ｑ１からの中間出力信号がロウであり、反転データ出力端子／Ｑ１からの中間出力信号がハイであったと仮定すると、ｎ型ＭＯＳトランジスタｎＭＯＳ１はオフ状態となり、ｎ型ＭＯＳトランジスタｎＭＯＳ２はオン状態となる。このｎ型ＭＯＳトランジスタｎＭＯＳ２がオン状態であるので、点Ｂの電圧はグランドになる。このため、ｐ型ＭＯＳトランジスタｐＭＯＳ１のゲートＧの電圧もグランドとなり、このｐ型ＭＯＳトランジスタｐＭＯＳ１はオン状態となる。このときｎ型ＭＯＳトランジスタｎＭＯＳ１はオフ状態であるので、点Ａは電圧ＶＤＤ１となる。この点Ａが電圧ＶＤＤ１となるので、ｐ型ＭＯＳトランジスタｐＭＯＳ２のゲートＧも電圧ＶＤＤ１となり、このｐ型ＭＯＳトランジスタｐＭＯＳ２はオフ状態となる。また、点Ｃも電圧ＶＤＤ１となるので、インバータＩＮＶ１の出力はグランドとなる。

【００２５】

これとは反対に、マスターラッチ回路ＭＬにおけるデータ出力端子Ｑ１からの出力がハイであり、反転データ出力端子／Ｑ１からの出力がロウであったと仮定する。この場合、ｎ型ＭＯＳトランジスタｎＭＯＳ１はオン状態となり、ｎ型ＭＯＳトランジスタｎＭＯＳ２はオフ状態となる。このｎ型ＭＯＳトランジスタｎＭＯＳ１がオン状態であるので、点Ａの電圧はグランドとなる。このため、ｐ型ＭＯＳトランジスタｐＭＯＳ２のゲートＧの電

圧もグランドとなり、このｐ型ＭＯＳトランジスタｐＭＯＳ２はオン状態となる。このときｎ型ＭＯＳトランジスタｎＭＯＳ２はオフ状態であるので、点Ｂは電圧ＶＤＤ１となる。この点Ｂが電圧ＶＤＤ１となるので、ｐ型ＭＯＳトランジスタｐＭＯＳ１のゲートＧも電圧ＶＤＤ１となり、このｐ型ＭＯＳトランジスタｐＭＯＳ１はオフ状態となる。また、点Ａと同様に点Ｃの電圧もグランドとなるので、インバータＩＮＶ１の出力は電圧ＶＤＤ１となる。この電圧ＶＤＤ１というのは、電圧ＶＤＤ２よりも高い電圧である。このことから、マスターラッチ回路ＭＬからの出力された電圧ＶＤＤ１中間出力信号が高い電圧へ変換されて出力されたことがわかる。

【００２６】

以上はクロック信号ＣＫがハイであった場合の、スレーブラッチ回路ＳＬの単独の動作の説明であったが、次に、クロック信号ＣＫがロウであった場合の、スレーブラッチ回路ＳＬの単独の動作を説明する。

【００２７】

図１からわかるように、クロック信号ＣＫがロウであると、トランスミッションゲートＴＧ１、ＴＧ２はともに遮断状態となる。また、反転クロック信号／ＣＫはハイであるので、ｎ型ＭＯＳトランジスタｎＭＯＳ３、ｎＭＯＳ４はともにオン状態となる。したがって、このクロック信号ＣＫがロウのときにおける図１の電圧レベル変換機能付フリップフロップ回路は、図３に示す回路と等価になる。

【００２８】

この図３からわかるように、このスレーブラッチ回路ＳＬは、クロック信号ＣＫがハイからロウに切り替わった際における出力データ信号ＯＤをそのまま保持する回路となる。すなわち、クロック信号ＣＫがロウに切り替わった際に、出力データ信号ＯＤがハイであった場合には、このハイの状態を次にクロック信号ＣＫがハイになるまで保持し続ける。反対に、クロック信号ＣＫがロウに切り替わった際に、出力データ信号ＯＤがロウであった場合には、このロウの状態を次にクロック信号ＣＫがハイになるまで保持し続ける。より詳しく説明すると次のようになる。

【００２９】

クロック信号ＣＫがハイからロウに切り替わった際に、出力データ信号ＯＤがハイ状態であったと仮定する。この場合、上述したクロック信号ＣＫがハイの場合の動作からわかるように、点Ｃの電圧はグランドであるので、ｎ型ＭＯＳトランジスタｎＭＯＳ２のゲートＧの電圧は、グランドとなる。このため、ｎ型ＭＯＳトランジスタｎＭＯＳ２はオフ状態がそのまま維持される。また、点Ａの電圧もグランドであるので、ｐ型ＭＯＳトランジスタｐＭＯＳ２はオン状態がそのまま維持される。このｐ型ＭＯＳトランジスタｐＭＯＳ２がオン状態であり、ｎ型ＭＯＳトランジスタｎＭＯＳ２がオフ状態であるので、点Ｂ、点Ｄの電圧ＶＤＤ１もそのまま維持される。点Ｂが電圧ＶＤＤ１であるので、ｐ型ＭＯＳトランジスタｐＭＯＳ１のゲートＧも電圧ＶＤＤ１となり、このｐ型ＭＯＳトランジスタｐＭＯＳ１のオフ状態がそのまま維持される。また、点Ｄが電圧ＶＤＤ１であるので、ｎ型ＭＯＳトランジスタｎＭＯＳ１のオン状態がそのまま維持される。このｎ型ＭＯＳトランジスタｎＭＯＳ１のゲートＧの電圧は厳密には電圧ＶＤＤ１からｎ型ＭＯＳトランジスタｎＭＯＳ４のしきい値電圧分だけ低下した電位となるが、このゲート電圧でもｎ型ＭＯＳトランジスタｎＭＯＳ１のオン状態を十分に維持できる。このようにｎ型ＭＯＳトランジスタｎＭＯＳ１のオン状態が維持され、ｐ型ＭＯＳトランジスタｐＭＯＳ１のオフ状態が維持されるので、点Ｃのグランド電圧もそのまま維持される。したがって、出力データ信号ＯＤのハイ状態がそのまま維持されることになる。

【００３０】

これとは反対に、クロック信号ＣＫがハイからロウに切り替わった際に、出力データ信号ＯＤがロウ状態であったと仮定する。この場合、上述したクロック信号ＣＫがハイの場合の動作からわかるように、点Ｃは電圧ＶＤＤ１であるので、ｎ型ＭＯＳトランジスタｎＭＯＳ２のゲートＧは、電圧ＶＤＤ１となる。このため、ｎ型ＭＯＳトランジスタｎＭＯＳ２はオン状態がそのまま維持される。このｎ型ＭＯＳトランジスタｎＭＯＳ２のゲートＧ

の電圧は厳密には電圧ＶＤＤ１からｎ型ＭＯＳトランジスタｎＭＯＳ３のしきい値電圧分だけ低下した電圧となるが、このゲート電圧でもｎ型ＭＯＳトランジスタｎＭＯＳ２のオン状態を十分に維持できる。また、点Ａも電圧ＶＤＤ１であるので、ｐ型ＭＯＳトランジスタｐＭＯＳ２はオフ状態がそのまま維持される。このｐ型ＭＯＳトランジスタｐＭＯＳ２がオフ状態であり、ｎ型ＭＯＳトランジスタｎＭＯＳ２がオン状態であるので、点Ｂ、点Ｄのグランド電圧もそのまま維持される。点Ｂの電圧がグランドであるので、ｐ型ＭＯＳトランジスタｐＭＯＳ１のゲートＧの電圧もグランドとなり、このｐ型ＭＯＳトランジスタｐＭＯＳ１のオン状態がそのまま維持される。また、点Ｄの電圧がグランドであるので、ｎ型ＭＯＳトランジスタｎＭＯＳ１のオフ状態がそのまま維持される。このようにｎ型ＭＯＳトランジスタｎＭＯＳ１のオフ状態が維持され、ｐ型ＭＯＳトランジスタｐＭＯＳ１のオン状態が維持されるので、点Ｃの電圧ＶＤＤ１もそのまま維持される。したがって、出力データ信号ＯＤのロウの状態がそのまま維持されることになる。

【００３１】

ここまでは、スレーブラッチ回路ＳＬの単独の動作について述べたが、次に、図４に基づいて、この電圧レベル変換機能付フリップフロップ回路の全体の動作を説明する。この図４は、この電圧レベル変換機能付フリップフロップ回路における各所のタイムチャートを示す図である。図４（ａ）はクロック信号ＣＰのタイムチャートであり、グランドから電圧ＶＤＤ３の幅で振幅する。図４（ｂ）は、クロック信号ＣＫの一例を示すタイムチャートであり、グランドから電圧ＶＤＤ２の幅で振幅する。図４（ｃ）は、入力データ信号ＩＤの一例を示すタイムチャートであり、グランドから電圧ＶＤＤ４の幅で振幅する。図４（ｄ）及び（ｅ）は、データ出力端子Ｑ１からの中間出力信号及び反転データ出力端子／Ｑ１からの中間出力信号の一例を示すタイムチャートであり、図４（ｆ）及び（ｇ）は、ｎＭＯＳ１とｎＭＯＳ２とのゲートＧの電圧の一例を示すタイムチャートであり、いずれも、グランドから電圧ＶＤＤ２の幅で振幅する。図４（ｈ）及び（ｉ）は、点Ｂ及び点Ａの電圧の一例を示すタイムチャートであり、図４（ｊ）は、出力データ信号ＯＤの一例を示すタイムチャートであり、いずれも、グランドから電圧ＶＤＤ１の幅で振幅する。

【００３２】

この図４と図１とからわかるように、クロック信号ＣＫ及び反転クロック信号／ＣＫが、トランスミッションゲートＴＧ１、ＴＧ２と、マスターラッチ回路ＭＬのクロック入力端子ＣＬＫとへ、入力される。また、反転クロック信号／ＣＫが、ｎ型ＭＯＳトランジスタｎＭＯＳ３、ｎＭＯＳ４とへ入力される。

【００３３】

このようにクロック信号ＣＫが入力されている状態において、図４（ｃ）からわかるように、時刻ｔ１に、マスターラッチ回路ＭＬのデータ入力端子Ｄ１へ入力される入力データ信号ＩＤがロウからハイに切り替わったとする。この時刻ｔ１においては、図４（ｂ）からわかるように、クロック信号ＣＫはロウであるので、この入力データ信号ＩＤにおけるハイの信号は、図４（ｄ）からわかるように、データ出力端子Ｑ１から出力される。また、図４（ｅ）からわかるように、この信号を反転したロウの信号は、反転データ出力端子／Ｑ１から出力される。但し、図４（ｂ）からわかるように、クロック信号ＣＫがまだロウであることから、トランスミッションゲートＴＧ１、ＴＧ２はともに遮断状態にある。このため、図４（ｆ）（ｇ）からわかるように、ｎ型ＭＯＳトランジスタｎＭＯＳ１のゲートＧの電圧はロウのままであり、ｎ型ＭＯＳトランジスタｎＭＯＳ２のゲートＧの電圧はハイのままである。

【００３４】

図４（ｂ）からわかるように、時刻ｔ２でクロック信号ＣＫがロウからハイに切り替わると、図１のトランスミッションゲートＴＧ１、ＴＧ２がともに導通状態となる。このため、図４（ｆ）からわかるように、ｎ型ＭＯＳトランジスタｎＭＯＳ１のゲートＧの電位がハイとなる。また、図４（ｇ）からわかるように、ｎ型ＭＯＳトランジスタｎＭＯＳ２のゲートＧの電位がロウとなる。このため、図４（ｈ）からわかるように、スレーブラッチ回路ＳＬの点Ｂの電位がロウからハイに切り替わり、図４（ｉ）からわかるように、スレ

ーブラッチ回路ＳＬの点Ａの電位がハイからロウに切り替わる。したがって、図４（ｊ）からわかるように、出力データ信号ＯＤがロウからハイに切り替わる。しかも図４（ｃ）と（ｊ）とを比較するとわかるように、その電圧は、電圧ＶＤＤ４よりも高い電圧ＶＤＤ１に変換されている。

【００３５】

次に図４（ｃ）からわかるように、時刻ｔ３で入力データ信号ＩＤがハイからロウに切り替わったとする。しかし、図４（ｂ）からわかるように、このときのクロック信号ＣＫはハイであるので、図４（ｄ）からわかるように、マスターラッチ回路ＭＬの保持機能により、データ出力端子Ｑ１からの出力はハイ状態が維持される。また、図４（ｅ）からわかるように、反転データ出力端子／Ｑ１からの出力はロウ状態が維持される。

【００３６】

次に図４（ｂ）からわかるように、時刻ｔ４でクロック信号がハイからロウに切り替わる。すると、図４（ｃ）からわかるように、入力データ信号ＩＤがロウの状態であるので、図４（ｄ）に示すように、データ出力端子Ｑ１の出力がハイからロウに切り替わる。また、図４（ｅ）に示すように、反転データ信号出力端子／Ｑ１の出力がロウからハイに切り替わる。しかし、反転クロック信号／ＣＫがハイであるため、トランスミッションゲートＴＧ１、ＴＧ２がオフし、スレーブラッチ回路ＳＬのモード切替部１０が保持状態になり、クロック信号ＣＫが切り替わった際の状態が維持される。すなわち、図４（ｈ）（ｉ）からわかるように、点Ｂはハイの状態に維持され、点Ａはロウの状態に維持される。このため、出力データ信号ＯＤも、ハイの状態に維持される。

【００３７】

次に図４（ｂ）からわかるように、時刻ｔ５でクロック信号ＣＫがロウからハイに切り替わる。すると、トランスミッションゲートＴＧ１、ＴＧ２がともにオン状態となる。このため、図４（ｆ）（ｇ）からわかるように、ｎ型ＭＯＳトランジスタｎＭＯＳ１のゲートＧの電位がロウとなり、ｎ型ＭＯＳトランジスタｎＭＯＳ２のゲートＧの電位がハイとなる。すると、点Ｂの電位がハイからロウに切り替わり、点Ａの電位がロウからハイに切り替わる。つまり、モード切替部１０が通過状態になる。このため、出力データ信号ＯＤが、ハイからロウに切り替わる。

【００３８】

以上のように、本実施形態に係る電圧レベル変換機能付フリップフロップ回路によれば、図１からわかるように、スレーブラッチ回路ＳＬに電圧レベル変換回路２０を設けたので、必要なトランジスタ数を削減することができる。すなわち、従来のようにマスタースレーブ型フリップフロップとは別個に、電圧レベル変換回路を設ける必要がなくなるので、トランジスタ数の削減を図ることができる。換言すれば、電圧レベル変換回路２０へｎ型ＭＯＳトランジスタｎＭＯＳ３、ｎＭＯＳ４の２つのトランジスタを追加するだけで、ラッチ機能を実現することができるので、トランジスタ数の削減を図ることができる。このようにトランジスタ数の削減を図ることができることから、全体の回路面積を小さくすることができるとともに、全体の動作速度を速めることができる。

【００３９】

さらに、電圧レベル変換回路２０を除いて、電圧ＶＤＤ１より低い電圧である電圧ＶＤＤ２、ＶＤＤ３、ＶＤＤ４で動作させることができるので、消費電力の抑制を図ることができる。すなわち、マスターラッチ回路ＭＬは、電圧ＶＤＤ１より低い電圧ＶＤＤ２で動作するので、消費電力の抑制を図ることができる。しかも、クロック信号ＣＰと入力データ信号ＩＤとの低電圧化を図ることもできる。すなわち、クロック信号ＣＰをグランドから電圧ＶＤＤ３の幅で振幅させ、入力データ信号ＩＤをグランドから電圧ＶＤＤ４の幅で振幅させ、これら電圧ＶＤＤ３、ＶＤＤ４を、電圧ＶＤＤ１より低くすることができるので、消費電力の抑制を図ることができる。

【００４０】

さらにこの電圧ＶＤＤ３、ＶＤＤ４を、電圧ＶＤＤ２と等しいか又はそれ以上の電圧としたので、マスターラッチ回路ＭＬに定常的なリーク電流を流すことなく、フリップフロッ

プ動作をすることができる。すなわち、例えば図５からわかるように、ｐ型ＭＯＳトランジスタｐＭＯＳ５とｎ型ＭＯＳトランジスタｎＭＯＳ５とが直列的に接続された場合、電圧ＶＤＤ２よりも電圧ＶＤＤ３、ＶＤＤ４の方が低いと、ｐ型ＭＯＳトランジスタｐＭＯＳ３が完全なオフ状態にできないという問題がある。なぜなら、ｐ型ＭＯＳトランジスタｐＭＯＳ５のゲートとソースの間の電位差Ｖｇｓがしきい値電圧より小さくならなくなってしまうからである。このため、ｐ型ＭＯＳトランジスタｐＭＯＳ５が完全なオフ状態にならず、リーク電流が流れてしまうという問題が生ずる。しかしながら、図６からわかるように、電圧ＶＤＤ２よりも電圧ＶＤＤ３、ＶＤＤ４の方が高いか、又は電圧ＶＤＤ２と電圧ＶＤＤ３、ＶＤＤ４とが等しければ、ゲートとソースの間の電位差Ｖｇｓがしきい値電圧以下となり、リーク電流が流れないようにすることができる。

【００４１】

（第２実施形態）

本発明の第２実施形態は、第１実施形態における電圧レベル変換機能付フリップフロップ回路を変形したものであり、具体的には、マスターラッチ回路ＭＬの出力端子をデータ出力端子Ｑ１の１つのみとし、かつ、スレーブラッチ回路ＳＬの構造をより簡素化したものである。

【００４２】

図７は本発明の第２実施形態に係る電圧レベル変換機能付フリップフロップの回路の一例を示す図である。

【００４３】

この図７からわかるように、マスターラッチ回路ＭＬには、出力端子として、データ出力端子Ｑ１のみが設けられており、反転データ出力端子／Ｑ１は設けられていない。

【００４４】

また、スレーブラッチ回路ＳＬは、第１実施形態と同様に、モード切替部１２と電圧レベル変換回路２２とから構成されているが、その構成が異なっている。より詳しくは、データ出力端子Ｑ１はｎ型ＭＯＳトランジスタｎＭＯＳ６のドレインＤへ接続されている。このｎ型ＭＯＳトランジスタｎＭＯＳ６のゲートＧには、クロック信号ＣＫが入力されている。また、このｎ型ＭＯＳトランジスタｎＭＯＳ６のソースＳは、インバータＩＮＶ２へ接続されている。このインバータＩＮＶ２はインバータＩＮＶ３へ接続されている。このインバータＩＮＶ３の出力が、このスレーブラッチ回路ＳＬの出力である、出力データ信号ＯＤとなる。前記のｎ型ＭＯＳトランジスタｎＭＯＳ６とインバータＩＮＶ２との間の点Ｅは、図中上側に設けられたｐ型ＭＯＳトランジスタｐＭＯＳ６のドレインＤへ接続されている。このｐ型ＭＯＳトランジスタｐＭＯＳ６のソースＳは、電圧ＶＤＤ１の電源へ接続されている。また、このｐ型ＭＯＳトランジスタｐＭＯＳ６のゲートＧは、前記のインバータＩＮＶ２とインバータＩＮＶ３との間の点Ｆに接続されている。前記の点Ｅとインバータ３の出力側とは、ｎ型ＭＯＳトランジスタｎＭＯＳ７を介して接続されている。このｎ型ＭＯＳトランジスタｎＭＯＳ７のゲートＧには、反転クロック信号／ＣＫが入力されている。

【００４５】

これらの点を除いては、この第２実施形態の係る電圧レベル変換機能付フリップフロップ回路は、前述した第１実施形態と同様のものであるので、その詳しい説明は省略する。

【００４６】

次に、この第２実施形態に係る電圧レベル変換機能付フリップフロップ回路の動作を説明する。

【００４７】

まず、スレーブラッチ回路ＳＬの単独の動作を説明する。初めに、クロック信号ＣＫがハイであった場合を説明する。このクロック信号ＣＫがハイであると、ｎ型ＭＯＳトランジスタｎＭＯＳ６はオン状態となる。また、反転クロック信号／ＣＫはロウであるので、ｎ型ＭＯＳトランジスタｎＭＯＳ７はオフ状態となる。したがって、このクロック信号ＣＫがハイのときにおける図７の電圧レベル変換機能付フリップフロップ回路は、図８に示す

回路と等価になる。

【００４８】

この図８からわかるように、このスレーブラッチ回路ＳＬは、クロック信号ＣＫがハイのときは、マスターラッチ回路ＭＬにおけるデータ出力端子Ｑ１からの中間出力信号の電圧レベルを上げて、そのまま通過させる回路となる。すなわち、データ出力端子Ｑ１からの中間出力信号がハイのとき、この中間出力信号は電圧ＶＤＤ２である。この電圧ＶＤＤ２をこれより高い電圧である電圧ＶＤＤ１へ変換して、ハイ信号としての出力データ信号ＯＤを出力する。一方、データ出力端子Ｑ１からの中間出力信号がロウのときは、この中間出力信号の電圧はグランドであるので、このグランド電位をそのまま、出力データ信号ＯＤとして出力する。より詳しく説明すると次のようになる。

【００４９】

マスターラッチ回路ＭＬにおけるデータ出力端子Ｑ１からの中間出力信号がロウであったと仮定する。すると、インバータＩＮＶ２の出力はハイとなり、インバータＩＮＶ３の出力はロウとなる。したがって、出力データ信号ＯＤはロウとなる。インバータＩＮＶ２は電圧ＶＤＤ１で動作しているので、点Ｆは電圧ＶＤＤ１となる。このため、ｐ型ＭＯＳトランジスタｐＭＯＳ６のゲートＧは電圧ＶＤＤ１となる。したがって、このｐ型ＭＯＳトランジスタｐＭＯＳ６はオフ状態となり、点Ｅはロウに保たれる。

【００５０】

これとは反対に、マスターラッチ回路ＭＬにおけるデータ出力端子Ｑ１からの中間出力信号がハイであった場合を説明する。この場合、インバータＩＮＶ２の出力はロウとなり、インバータＩＮＶ３の出力はハイとなる。したがって、出力データ信号ＯＤはハイとなる。この出力データ信号ＯＤの電圧は電圧ＶＤＤ１であり、データ出力端子Ｑ１からの中間出力信号の電圧である電圧ＶＤＤ２よりも、高くなっていることがわかる。インバータＩＮＶ２の出力側である点Ｆにおける電圧はグランドとなる。このため、ｐ型ＭＯＳトランジスタｐＭＯＳ６のゲートＧの電圧もグランドとなる。したがってこのｐ型ＭＯＳトランジスタｐＭＯＳ６はオン状態となり、点Ｅはハイに保たれる。

【００５１】

なお、厳密に考えると、データ出力端子Ｑ１からの中間出力信号がハイとなった直後は、点Ｆにける電位はグランドにはならない。なぜなら、中間出力信号は電圧ＶＤＤ２であり、点Ｅの電位は、これからｎ型ＭＯＳトランジスタｎＭＯＳ６のしきい値電圧分だけ低いＶＤＤ２－αになる。このＶＤＤ２－αというのは、電圧ＶＤＤ１よりも低い値である。このため、電圧ＶＤＤ１で動作するインバータＩＮＶ２の出力はグランドまで下がり切らない。但し、このグランドまで下がりきらない電圧であってもｐ型ＭＯＳトランジスタｐＭＯＳ６をオン状態とするのには、十分な電圧となる。これにより、結果的に、ｐ型ＭＯＳトランジスタｐＭＯＳ６がオン状態となる。このｐ型ＭＯＳトランジスタｐＭＯＳ６がオン状態となると、点Ｅは電圧ＶＤＤ１となる。すると、インバータＩＮＶ２の出力電圧は完全なグランドとなるのである。

【００５２】

以上はクロック信号ＣＫがハイであった場合の、スレーブラッチ回路ＳＬの単独の動作の説明であったが、次に、クロック信号ＣＫがロウであった場合の、スレーブラッチ回路ＳＬの単独の動作を説明する。

【００５３】

図７からわかるように、クロック信号ＣＫがロウであると、ｎ型ＭＯＳトランジスタｎＭＯＳ６はオフ状態となる。また、反転クロック信号／ＣＫはハイであるので、ｎ型ＭＯＳトランジスタｎＭＯＳ７はオン状態となる。したがって、このクロック信号ＣＫがロウのときにおける図７の電圧レベル変換機能付フリップフロップ回路は、図９に示す回路と等価になる。

【００５４】

この図９からわかるように、このスレーブラッチ回路ＳＬは、クロック信号ＣＫがハイからロウに切り替わった際における出力データ信号ＯＤをそのまま保持する回路となる。す

なわち、クロック信号ＣＫがロウに切り替わった際に、出力データ信号ＯＤがハイであった場合には、このハイの状態を次にクロック信号ＣＫがハイになるまで保持し続ける。反対に、クロック信号ＣＫがロウに切り替わった際に、出力データ信号ＯＤがロウであった場合には、このロウの状態を次にクロック信号ＣＫがハイになるまで保持し続ける。より詳しく説明すると次のようになる。

【００５５】

クロック信号ＣＫがハイからロウに切り替わった際に、出力データ信号ＯＤがハイ状態であったと仮定する。この場合、点Ｅのハイの状態が維持され、点Ｆのロウ状態も維持される。このため、ｐ型ＭＯＳトランジスタｐＭＯＳ６のオン状態も維持されることとなり、点Ｅは電圧ＶＤＤ１のハイ状態のままとなる。点Ｆがロウ状態ということは、インバータＩＮＶ３の出力はハイ状態が維持される。

【００５６】

これとは反対に、クロック信号ＣＫがハイからロウに切り替わった際に、出力データ信号ＯＤがロウ状態であったと仮定する。この場合、点Ｅのロウの状態が維持され、点Ｆのハイの状態も維持される。このため、ｐ型ＭＯＳトランジスタｐＭＯＳ６のオフ状態も維持されることとなり、点Ｅの電圧はグランドのままとなる。点Ｆがハイ状態ということは、インバータＩＮＶ３の出力はロウ状態が維持される。

【００５７】

ここまでは、スレーブラッチ回路ＳＬの単独の動作について述べたが、次に、図１０に基づいて、この電圧レベル変換機能付フリップフロップ回路の全体の動作を説明する。この図１０は、この電圧レベル変換機能付フリップフロップ回路にける各所のタイムチャートを示す図である。図１０（ａ）は、クロック信号ＣＰの一例を示すタイムチャートであり、グランドから電圧ＶＤＤ３の幅で振幅する。図１０（ｂ）は、クロック信号ＣＫの一例を示すタイムチャートであり、グランドから電圧ＶＤＤ２の幅で振幅する。図１０（ｃ）は、入力データ信号ＩＤの一例を示すタイムチャートであり、グランドから電圧ＶＤＤ４の幅で振幅する。図１０（ｄ）は、データ出力端子Ｑ１からの中間出力信号の一例を示すタイムチャートであり、グランドから電圧ＶＤＤ２の幅で振幅する。図１０（ｅ）及び（ｆ）は、点Ｅ及び点Ｆの電圧の一例を示すタイムチャートであり、図４（ｇ）は、出力データ信号ＯＤの一例を示すタイムチャートであり、いずれも、グランドから電圧ＶＤＤ１の幅で振幅する。

【００５８】

この図１０と図７とからわかるように、クロック信号ＣＫがｎ型ＭＯＳトランジスタｎＭＯＳ６のゲートＧへ入力される。反転クロック信号／ＣＫが、ｎ型ＭＯＳトランジスタｎＭＯＳ７のゲートＧへ、入力される。クロック信号ＣＫ及び反転クロック信号／ＣＫがマスターラッチ回路ＭＬへ入力される。

【００５９】

このようにクロック信号ＣＫが入力されている状態において、図１０（ｃ）からわかるように、時刻ｔ１に、マスターラッチ回路ＭＬのデータ入力端子Ｄ１へ入力される入力データ信号ＩＤがロウからハイに切り替わったとする。この時刻ｔ１においては、図１０（ｂ）からわかるように、クロック信号ＣＫはロウであるので、この入力データ信号ＩＤにおけるハイの信号は、図１０（ｄ）からわかるように、データ出力端子Ｑ１から出力される。但し、図１０（ｂ）からわかるように、クロック信号ＣＫがまだロウであることから、ｎ型ＭＯＳトランジスタｎＭＯＳ６はオフ状態にある。このため、図１０（ｅ）からわかるように、点Ｅの電圧はロウのままである。

【００６０】

次に図１０（ｂ）からわかるように、時刻ｔ２でクロック信号ＣＫがロウからハイに切り替わると、図７のｎ型ＭＯＳトランジスタｎＭＯＳ６がオン状態となる。このため、図１０（ｅ）からわかるように、点Ｅの電圧がハイとなる。但し、上述したところからわかるように、このｎ型ＭＯＳトランジスタｎＭＯＳ６がオン状態となった直後の点Ｅの電圧は、ＶＤＤ２－αであり、完全なハイ状態とはまだいえない。このため、図１０（ｆ）から

わかるように、点Ｆの電位もグランドとはならずに、βとなる。しかし、この点Ｆの電圧は、ｐ型ＭＯＳトランジスタｐＭＯＳ６をオン状態とするのに十分な電圧である。このため、ｐ型ＭＯＳトランジスタｐＭＯＳ６がオン状態となり、図１０（ｅ）からわかるように、点Ｅの電圧が一定時間遅れて電圧ＶＤＤ１となり、図１０（ｆ）からわかるように、点Ｆの電圧が一定時間遅れてグランドとなる。

【００６１】

次に図１０（ｃ）からわかるように、時刻ｔ３で入力データ信号ＩＤがハイからロウに切り替わったとする。しかし、図１０（ｂ）からわかるように、このときのクロック信号ＣＫはハイであるので、図１０（ｄ）からわかるように、マスターラッチ回路ＭＬの保持機能により、データ出力端子Ｑ１からの中間出力信号はハイ状態が維持される。

【００６２】

次に図１０（ｂ）からわかるように、時刻ｔ４でクロック信号がハイからロウに切り替わる。また、図１０（ｂ）からわかるように、反転クロック信号／ＣＫはロウからハイに切り替わる。すると、図１０（ｃ）からわかるように、入力データ信号ＩＤがロウの状態であるので、図１０（ｄ）に示すように、データ出力端子Ｑ１からの中間出力信号がハイからロウに切り替わる。しかし、反転クロック信号／ＣＫがハイであるため、スレーブラッチ回路ＳＬでは、モード切替部１２が保持状態となり、クロック信号ＣＫが切り替わった際の状態が維持される。すなわち、図１０（ｅ）乃至（ｇ）からわかるように、点Ｅの電圧はハイの状態に維持され、点Ｆの電圧はロウの状態に維持される。このため、出力データ信号ＯＤも、ハイの状態に維持される。

【００６３】

次に図１０（ｂ）からわかるように、時刻ｔ５でクロック信号ＣＫがロウからハイに切り替わる。すると、ｎ型ＭＯＳトランジスタｎＭＯＳ６がオン状態となる。このため、図１０（ｄ）からわかるように、データ出力端子Ｑ１からの中間出力信号がロウであるので、図１０（ｅ）からわかるように、点Ｅの電圧がハイからロウに切り替わる。このため、点Ｆの電圧がロウからハイに切り替わり、出力データ信号ＯＤはハイからロウに切り替わる。

【００６４】

以上のように、第２実施形態に係る電圧レベル変換機能付フリップフロップ回路によれば、図７からわかるように、スレーブラッチ回路ＳＬに電圧レベル変換回路２２を設けたので、第１実施形態と同様の作用を奏することができる。すなわち、従来のようにマスタースレーブ型フリップフロップとは別個に、電圧レベル変換回路を設ける必要がなくなるので、トランジスタ数の削減を図ることができる。換言すれば、電圧レベル変換回路２２へｎ型ＭＯＳトランジスタｎＭＯＳ７を追加するだけで、モード切替部１２を実現することができるので、第１実施形態よりもトランジスタ数の削減を図ることができる。このようなトランジスタ数の削減により、回路全体の高速化を図ることができる。しかも、スレーブラッチ回路ＳＬにおいて、クロック信号ＣＫ又は反転クロック信号／ＣＫの入力を必要とする素子をｎ型ＭＯＳトランジスタｎＭＯＳ６、ｎＭＯＳ７の２つにすることができるので、消費電力を小さくできる。そのうえ、マスターラッチ回路ＭＬの出力をデータ出力端子Ｑ１だけにしたので、マスターラッチ回路ＭＬにおける出力端子の数も削減することができる。このため、全体の回路面積をさらに小さくすることができる。

【００６５】

さらに、図７からわかるように、第１実施形態と同様に、スレーブラッチ回路ＳＬに電圧レベル変換回路２２を設けたので、図１７に示した従来の電圧レベル機能付フリップフロップよりも高速で動作させることができる。すなわち、スレーブラッチ回路ＳＬの動作電圧を高くすることによる高速化と、全体のトランジスタ数を削減することによる高速化とを図ることができる。

【００６６】

また、第１実施形態と同様に、電圧レベル変換回路２２を除いて、電圧ＶＤＤ１より低い電圧である電圧ＶＤＤ２、ＶＤＤ３、ＶＤＤ４で動作させることができるので、消費電力

の抑制をはかることができる。すなわち、マスターラッチ回路ＭＬは、電圧ＶＤＤ１より低い電圧ＶＤＤ２で動作するので、消費電力の抑制を図ることができる。また、クロック信号ＣＫと入力データ信号ＩＤとの低電圧化を図ることもできる。すなわち、クロック信号ＣＫをグランドから電圧ＶＤＤ３の幅で振幅させ、入力データ信号ＩＤをグランドから電圧ＶＤＤ４の幅で振幅させ、これら電圧ＶＤＤ３、ＶＤＤ４を、電圧ＶＤＤ１より低くすることができるので、消費電力の抑制を図ることができる。

【００６７】

さらにこの電圧ＶＤＤ３、ＶＤＤ４を、電圧ＶＤＤ２と等しいか又はそれ以上の電圧としたので、マスターラッチ回路ＭＬに定常的なリーク電流を流すことなく、フリップフロップ動作をすることができる。

【００６８】

なお、本発明は上記実施形態に限定されず種々に変形可能である。例えば、図１に示すマスターラッチ回路ＭＬの反転データ出力端子／Ｑ１を省略して、図１１に示すように構成することもできる。すなわち、トランスミッションゲートＴＧ１とｎ型ＭＯＳトランジスタｎＭＯＳ２との間をインバータＩＮＶ４を介して接続することにより、反転データ出力端子／Ｑ１を省略することもできる。

【００６９】

また、ゲート回路としては、図１２に示すようなクロックドインバータを用いて構成することもできる。また、図１３に示すようなｎ型ＭＯＳトランジスタのみ、若しくは、図１４に示すようなｐ型ＭＯＳトランジスタのみで構成することもできる。

【００７０】

さらに、電圧ＶＤＤ１からＶＤＤ４の高低関係は、上記のものに限られない。また、入力データ信号ＩＤとクロック信号ＣＫとは、異なる複数の振幅の信号を用いることも可能である。例えば、クロック信号ＣＫに、グランドから電圧ＶＤＤ３の幅の振幅と、グランドから電圧ＶＤＤ１の幅の振幅とが混在してもよい。同様に、入力データ信号ＩＤに、グランドから電圧ＶＤＤ４の幅の振幅と、グランドから電圧ＶＤＤ１の幅の振幅とが混在してもよい。

【００７１】

また、電圧ＶＤＤ１と電圧ＶＤＤ２と電圧ＶＤＤ４を等しくし、電圧ＶＤＤ３のみをこれらの電圧よりも低くすることにより、クロック系の電力を小さくすることができる。

【００７２】

【発明の効果】

以上説明したように、本発明に係る電圧レベル機能付ラッチ回路及びフリップフロップ回路によれば、ラッチ回路に電圧レベル変換機能を設けたので、必要な素子数の削減を図ることができ、これにより、消費電力の低減や動作速度の高速化を図ることができる。

【図面の簡単な説明】

【図１】本発明の第１実施形態に係る電圧レベル変換機能付フリップフロップの回路の一例を示す図。

【図２】図１の電圧レベル変換機能付フリップフロップ回路でクロック信号がハイの状態における等価回路図。

【図３】図１の電圧レベル変換機能付フリップフロップ回路でクロック信号がロウの状態における等価回路図。

【図４】図１の電圧レベル変換機能付フリップフロップ回路における各所のタイムチャートを示す図。

【図５】ＭＯＳトランジスタが完全なオフ状態とならず、リーク電流が流れる状態を説明した図。

【図６】ＭＯＳトランジスタが完全なオフ状態となり、リーク電流が流れない状態を説明した図。

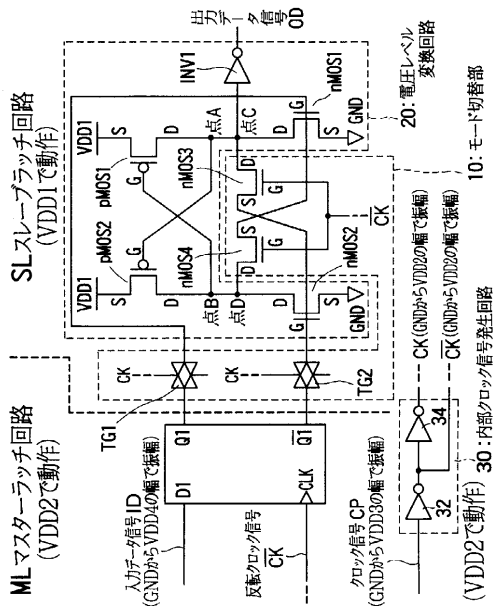
【図７】本発明の第２実施形態に係る電圧レベル変換機能付フリップフロップの回路の一例を示す図。

【図８】図７の電圧レベル変換機能付フリップフロップ回路でクロック信号がハイの状態における等価回路図。
【図９】図７の電圧レベル変換機能付フリップフロップ回路でクロック信号がロウの状態における等価回路図。
【図１０】図７の電圧レベル変換機能付フリップフロップ回路における各所のタイムチャートを示す図。
【図１１】図１に示す電圧レベル変換機能付フリップフロップ回路の変形例を示す図。
【図１２】ゲート回路としての他の一例である、クロックドインバータを示す図。
【図１３】ゲート回路としての他の一例である、ｎ型ＭＯＳトランジスタを示す図。
【図１４】ゲート回路としての他の一例である、ｐ型ＭＯＳトランジスタを示す図。
【図１５】一般的なマスタースレーブ型のフリップフロップ回路を示す図。
【図１６】従来の電圧レベル変換機能を設けたフリップフロップ回路を示す図。
【図１７】別の従来の電圧レベル変換機能を設けたフリップフロップ回路を示す図。
【図１８】さらに別の従来の電圧レベル変換機能を設けたフリップフロップ回路を示す図。

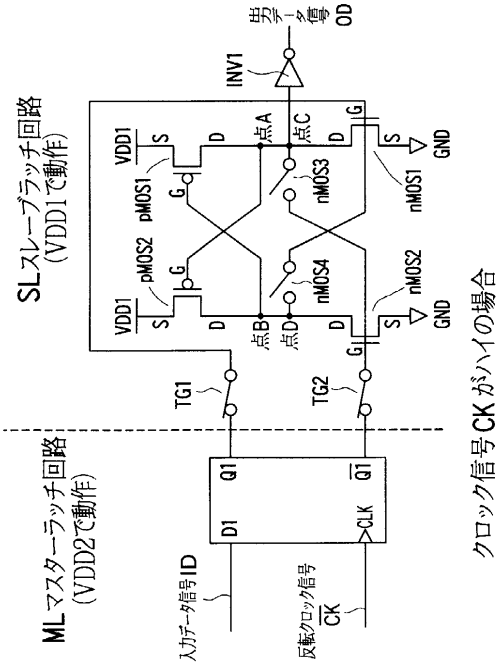
【符号の説明】

ＭＬ　　マスターラッチ回路
ＳＬ　　スレーブラッチ回路
ＩＤ　　入力データ信号
ＯＤ　　出力データ信号
ＣＫ　　クロック信号
／ＣＫ　　反転クロック信号
１０　　モード切替部
１２　　モード切替部
２０　　電圧レベル変換回路
２２　　電圧レベル変換回路
ＴＧ１　　トランスミッションゲート
ＴＧ２　　トランスミッションゲート

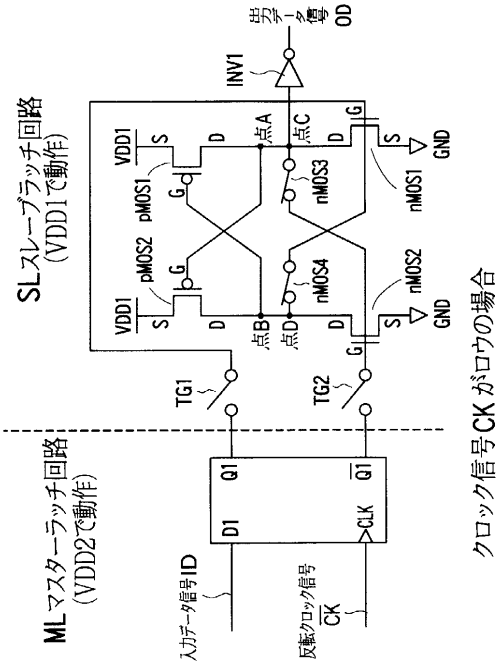
【図１】


出力データ信号OD
INV1
SLスレーブラッチ回路
(VDD1で動作)
MLマスターラッチ回路
(VDD2で動作)
20：電圧レベル変換回路
10：モード切替部
30：内部クロック信号発生回路
(VDD2で動作)
TG1
TG2
入力データ信号ID
(GNDからVDD4の幅で振幅)
反転クロック信号
クロック信号CP
(GNDからVDD3の幅で振幅)
CK(GNDからVDD2の幅で振幅)
(GNDからVDD2の幅で振幅)

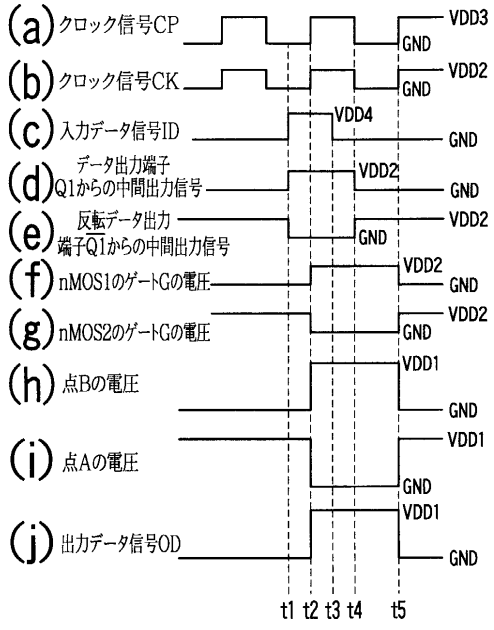
【図２】


出力データ信号OD
INV1
SLスレーブラッチ回路
(VDD1で動作)
MLマスターラッチ回路
(VDD2で動作)
TG1
TG2
入力データ信号ID
反転クロック信号
クロック信号CK がハイの場合

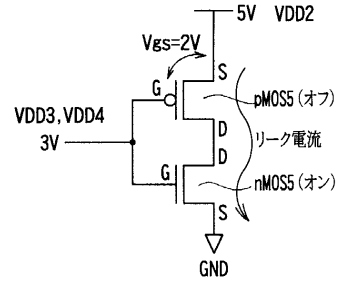
【図３】


出力データ信号OD
INV1
SLスレーブラッチ回路
(VDD1で動作)
MLマスターラッチ回路
(VDD2で動作)
TG1
TG2
入力データ信号ID
反転クロック信号
クロック信号CK がロウの場合

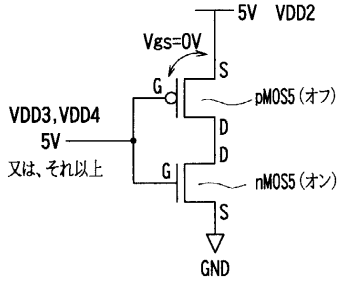
【図４】


(a) クロック信号CP
(b) クロック信号CK
(c) 入力データ信号ID
(d) データ出力端子 Q1からの中間出力信号
(e) 反転データ出力端子 Q1からの中間出力信号
(f) nMOS1のゲートGの電圧
(g) nMOS2のゲートGの電圧
(h) 点Bの電圧
(i) 点Aの電圧
(j) 出力データ信号OD
VDD3
VDD2
VDD4
VDD1
GND
t1 t2 t3 t4 t5

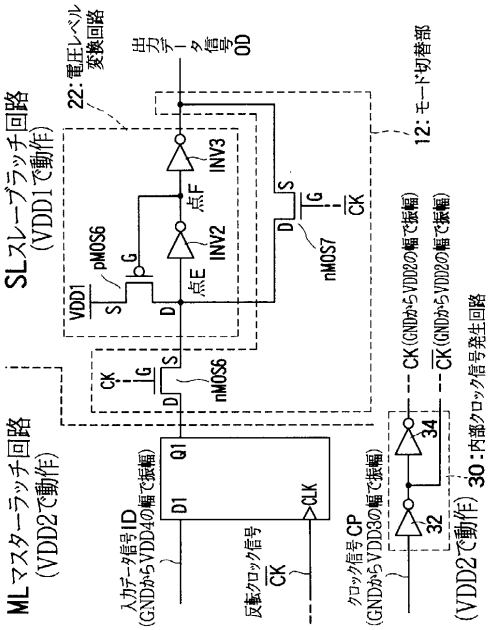
【図５】


5V VDD2
Vgs=2V
S
G
pMOS5（オフ）
VDD3,VDD4
3V
D
D
リーク電流
G
nMOS5（オン）
S
GND

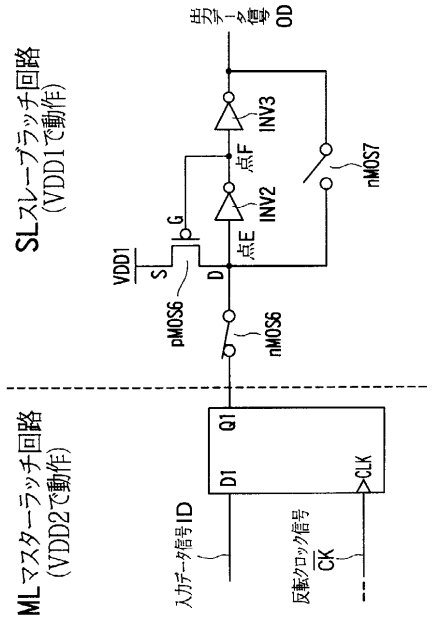
【図６】


5V VDD2
Vgs=0V
S
G
pMOS5（オフ）
VDD3,VDD4
5V
又は、それ以上
D
D
G
nMOS5（オン）
S
GND

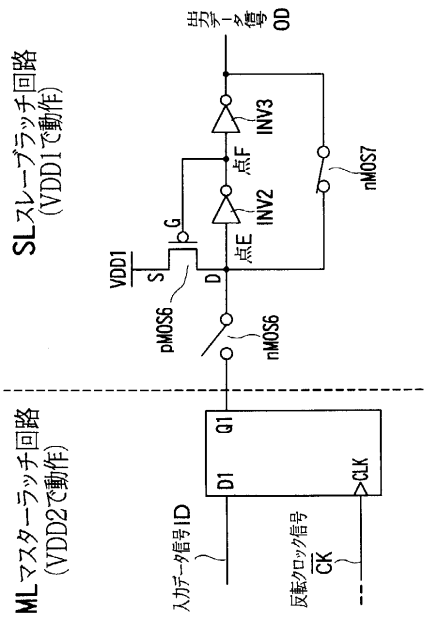
【図７】


22：電圧レベル変換回路
出力データ信号 OD
12：モード切替部
SLスレーブラッチ回路
(VDD1で動作)
INV3
点F
INV2
点E
VDD1
pMOS6
nMOS7
CK
nMOS6
MLマスターラッチ回路
(VDD2で動作)
Q1
D1
CLK
入力データ信号ID
(GNDからVDD4の幅で振幅)
反転クロック信号
CK
クロック信号CP
(GNDからVDD3の幅で振幅)
CK（GNDからVDD2の幅で振幅）
CK（GNDからVDD2の幅で振幅）
34
32
30：内部クロック信号発生回路
(VDD2で動作)

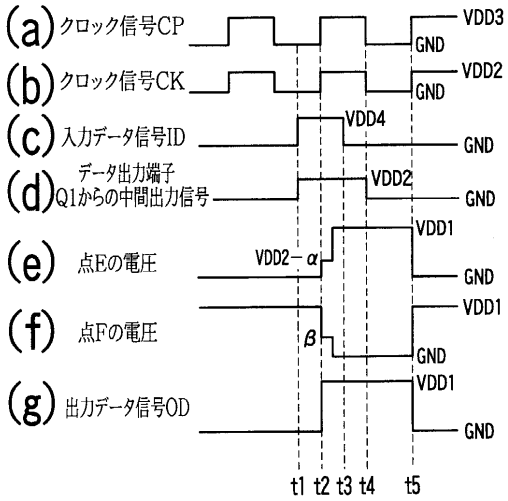
【図８】


出力データ信号 OD
SLスレーブラッチ回路
(VDD1で動作)
INV3
点F
INV2
点E
nMOS7
VDD1
pMOS6
nMOS6
MLマスターラッチ回路
(VDD2で動作)
Q1
D1
CLK
入力データ信号ID
反転クロック信号
CK

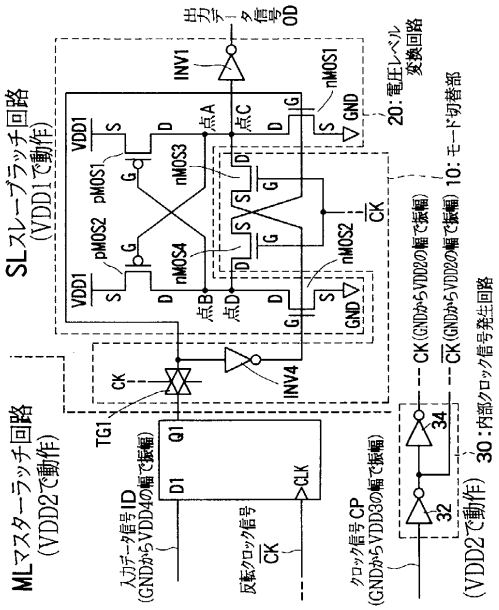
【図９】


出力データ信号 OD
SLスレーブラッチ回路
(VDD1で動作)
INV3
点F
INV2
点E
nMOS7
VDD1
pMOS6
nMOS6
MLマスターラッチ回路
(VDD2で動作)
Q1
D1
CLK
入力データ信号ID
反転クロック信号
CK

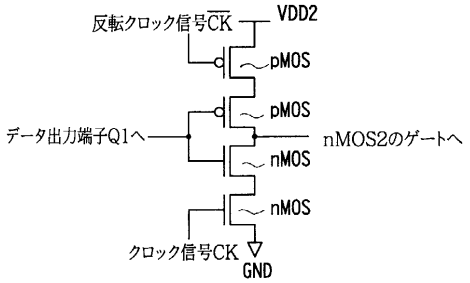
【図１０】



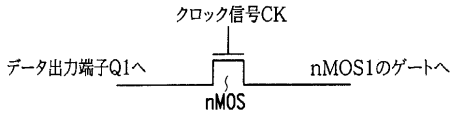
【図１１】



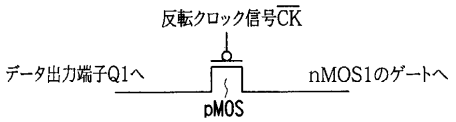
【図１２】



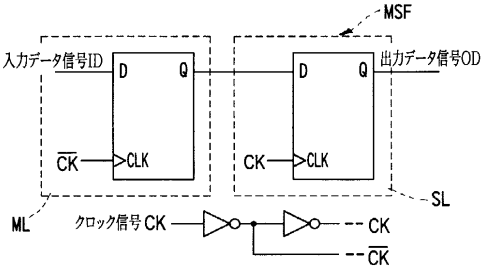
【図１３】



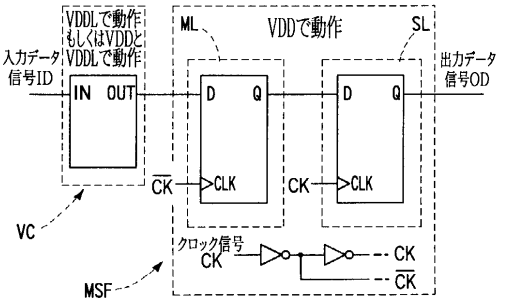
【図１４】



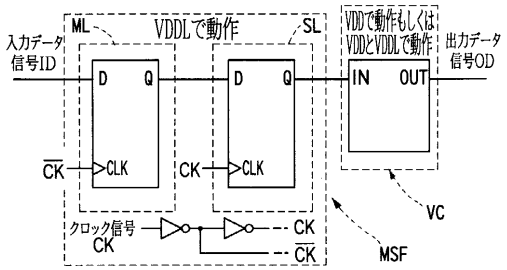
【図１５】



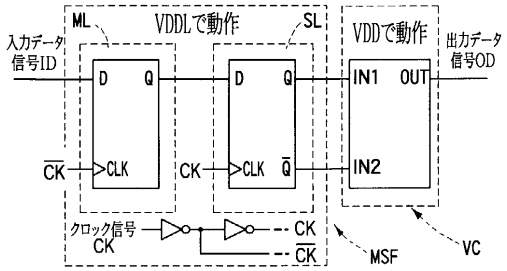
【図１６】



【図１７】


ML
VDDLで動作
SL
VDDで動作もしくは
VDDとVDDLで動作
入力データ
信号ID
出力データ
信号OD
D
Q
D
Q
IN
OUT
CK
CLK
CK
CLK
VC
クロック信号
CK
CK
CK
MSF

【図１８】


ML
VDDLで動作
SL
VDDで動作
入力データ
信号ID
出力データ
信号OD
D
Q
D
Q
IN1
OUT
IN2
CK
CLK
CK
CLK
Q
VC
クロック信号
CK
CK
CK
MSF

フロントページの続き

(72)発明者　黒　田　忠　広
神奈川県川崎市幸区堀川町５８０番１号　株式会社東芝　半導体システム技術センター内

審査官　江嶋　清仁

(56)参考文献　特開平０８－２３７０８２（ＪＰ，Ａ）
特開平０４－０２６２２２（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
H03K　3/037
H03K　3/3562
H03K 19/0185