



ÚŘAD PRO VYNÁLEZY
A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

205237

(11)

(B1)

(51) Int. Cl.³
G 09 G 1/06

/22/ Přihlášeno 14 08 79
/21/ /PV 5562-79/

(40) Zveřejněno 30 05 80

(45) Vydáno 15 01 83

(75)

Autor vynálezu

HRDLIČKA DRAHOMÍR ing., BRNO

(54) Zapojení obvodů pro řízení rozkladových generátorů v obrazkovém displeji

1

Vynález se týká zapojení obvodů pro řízení rozkladových generátorů v obrazkovém displeji, kdy elektronový paprsek na stínítku obrazovky vytváří pro každý znak meandrovitý obrazec.

V oboru výpočetní techniky se pro styk operátora s počítačem používá zobrazovací jednotky, nejčastěji s obrazovkou s elektromagnetickým vychylováním, na jejímž stínítku se jasovou modulací dosáhne zobrazení požadovaných znaků. Často se používá způsob zobrazování abecedně-číslicových znaků pomocí bodového rastru, který se vytváří obdobně jako u televizních přijímačů, kdy elektronový paprsek je vychylován od jednoho, např. levého okraje stínítka obrazovky k pravému okraji, přičemž zpětného běhu od pravého okraje k levému se k zobrazování neužívá. Tento způsob vychylování elektronového paprsku na stínítku obrazovky a obvodová zapojení rozkladových generátorů jsou známá z televizní techniky.

Podstatnou nevýhodou způsobu zobrazování abecedně-číslicových znaků pomocí televizního rastru je skutečnost, že zobrazovací jednotka musí obsahovat paměť typu RAM, tj. Random Acces Memory, jejíž kapacita musí odpovídat kapacitě zobrazovaných znaků na stínítku obrazovky. Kód zobrazovaného znaku je obvykle šesti- až osmibitový, tzn. že pro kapacitu zobrazení 1 024 znaků je třeba paměť 1 024 x 8 bitů s potřebnými ovládacími obvody. Cena paměti RAM tvoří podstatnou složku ceny zobrazovací jednotky.

Naproti tomu jsou známé systémy pro vychylování elektronového paprsku, např. podle AO 179 243, kdy paprsek na stínítku je vytvářen meandrovitě a zobrazovaný znak je zobrazen postupně, ale v jednom uceleném časovém intervalu. Kód znaku pro zobrazovací jednotku je předán procesorovou jednotkou jen na dobu zobrazování znaku, tzn. že paměť zobrazovací jednotky má kapacitu pouze 1 x 8 bitů, čímž dochází ke značné úspoře objemu paměťové jed-

205237

notky obrazovkového displeje. Rovněž tak řízení a ovládání paměti pro kód jednoho znaku je podstatně jednodušší, než vyžaduje např. paměť 1K8. Další nevýhodou zobrazování abecedně-číslicových znaků pomocí televizního rastru je skutečnost, že každý znak je zobrazován diskretně, tzn. že znak je zobrazován tak, že se v prvním řádku zobrazí prvních, např. pět bodů prvního znaku, pak pět bodů druhého znaku, až nakonec pět bodů posledního znaku v textovém řádku displeje, pak následuje zpětný běh paprsku, který je třeba zatemnit, načež následuje zobrazení druhého řádku rastru, kde se zobrazí druhých pět bodů prvního znaku, pak druhých pět bodů druhého znaku, až nakonec druhých pět bodů posledního znaku atd.

Z uvedeného vyplývá, že paměť RAM s kódem zobrazovaných znaků musí být pro zobrazení jednoho textového řádku znaků vybírána, např. sedmkrát, zobrazuje-li se podle uváděného příkladu v bodovém rastru znaku 5 x 7. Tato skutečnost klade značné nároky na rychlost řídicích obvodů paměti i paměť samotnou, která musí být sestavena z prvků s krátkou vybavovací dobou, nemá-li docházet ke zkreslení informace. Složitost řídicích obvodů pro rozkladové a výběrové obvody zobrazovací jednotky je úměrná složitému výběru kódu znaků.

Uvedené nevýhody zapojení obvodů pro řízení rozkladových generátorů v obrazovkovém displeji s televizním rozkladem paprsku na stínítku obrazovky odstraňuje zapojení obvodů pro řízení rozkladových generátorů s meandrovitým vychylováním paprsku podle vynálezu, jehož podstata spočívá v tom, že první výstup prvního čítače je připojen na první vstup prvního hradla, třetí výstup prvního čítače je připojen na druhý vstup prvního hradla, přičemž jeho výstup je přiveden na první vstup prvního klopného obvodu a současně na vstup druhého invertoru, zatímco do druhého vstupu prvního klopného obvodu je připojen čtvrtý výstup třetího čítače, který je současně spojený s prvním vstupem druhého hradla, prvním vstupem sedmého hradla, druhým vstupem pátého hradla, druhým vstupem devátého hradla, druhým vstupem jedenáctého hradla, druhým vstupem třináctého hradla a druhým vstupem druhého horizontálního generátoru, přičemž do třetího vstupu prvního klopného obvodu je zapojen výstup derivačního obvodu, do jehož vstupu je připojen první výstup druhého čítače, který je rovněž připojen na druhý vstup druhého hradla a první vstup šestého hradla, přičemž první výstup prvního klopného obvodu je přiveden na první vstup prvního horizontálního generátoru.

Na druhý vstup tohoto generátoru je připojen výstup druhého hradla, přičemž první inverzní výstup, druhý inverzní výstup a třetí inverzní výstup druhého čítače jsou připojeny na první vstup, druhý vstup a třetí vstup třetího hradla, zatímco jeho výstup je přes první invertor připojen výstupem tohoto invertoru na první vstup pátého hradla a současně na třetí vstup jedenáctého hradla, přičemž výstup pátého hradla je přiveden na první vstup druhého horizontálního generátoru, jehož výstup je přes druhý odpor spojen v prvním uzlu s prvním odporem. Ten je připojen na výstup prvního horizontálního generátoru, přičemž do prvního uzlu je současně připojen jeden vývod prvního proměnného odporu, jehož druhý vývod je spojen s bodem pro nulový potenciál.

Druhý výstup a třetí výstup druhého čítače jsou spojeny s druhým vstupem a třetím vstupem šestého hradla, přičemž jeho výstup je připojen na druhý vstup sedmého hradla a současně na vstup třetího invertoru a třetí vstup třináctého hradla, jehož výstup je připojen na první vstup druhého vertikálního generátoru, zatímco druhý vstup tohoto druhého vertikálního generátoru je spojen s výstupem čtrnáctého hradla, jehož první vstup je spojen s čtvrtým inverzním výstupem třetího čítače, přičemž druhý vstup čtrnáctého hradla je spojen s výstupem dvanáctého hradla, na jehož první vstup je připojen výstup třetího čítače.

První výstup, druhý výstup a třetí výstup čtvrtého čítače jsou spojeny s druhým vstupem, třetím vstupem a čtvrtým vstupem dvanáctého hradla, přičemž výstup druhého invertoru je spojen s třetím vstupem sedmého hradla a současně s prvním vstupem devátého hradla, prvním vstupem jedenáctého hradla a prvním vstupem třináctého hradla, přičemž výstup sedmého hradla je připojen na první vstup prvního vertikálního generátoru, zatímco na druhý vstup tohoto prvního vertikálního generátoru je připojen inverzní výstup druhého klopného obvodu, na jehož první vstup je připojen výstup devátého hradla, jehož třetí vstup je spojen s výstupem tre-

tího invertoru, přičemž na druhý vstup druhého klopného obvodu je připojen výstup jedenáctého hradla, zatímco výstup prvního vertikálního generátoru je přes čtvrtý odpor spojen ve druhém uzlu s pátým odporem, který je připojen na výstup druhého vertikálního generátoru, přičemž do druhého uzlu je současně připojen jeden vývod druhého proměnného odporu, jehož druhý vývod je spojen s bodem pro nulový potenciál.

Výhodou zapojení obvodů pro řízení rozkladových generátorů v obrazovkovém displeji podle vynálezu je jejich jednoduchost. Sériové vytváření znaku v jednom uceleném časovém intervalu umožňuje lepší využití procesorové jednotky, která je v době zobrazování znaku uvolněna pro jiné účely. Výhodou popsaného zapojení je rovněž to, že kód znaku je přiveden do paměti znaku jen krátkodobě a jednorázově.

Příklad zapojení obvodů pro řízení rozkladových generátorů v obrazovkovém displeji je uveden na výkrese, kde je převážně užito hradel typu "negace součinu".

V uvedeném příkladě zapojení je nakreslen základní oscilátor OSC, který na svém výstupu 001 generuje synchronizační impulsy, přiváděné do vstupu 002 prvního čítače CT1, na jehož výstupu 006 se získávají časově dělené impulsy, které se přivádí na vstup 007 druhého čítače CT2, jehož výstup 014 je spojen se vstupem 015 třetího čítače CT3, na jehož výstupu 021 se generují impulsy přiváděné do vstupu 022 čtvrtého čítače CT4. Čítače CT1, CT2, CT3 a CT4 tvoří kaskádu děličů kmitočtu. První výstup 003 prvního čítače CT1 je připojen na první vstup 11 prvního hradla H1, třetí výstup 005 prvního čítače CT1 je připojen na druhý vstup 12 prvního hradla H1, přičemž jeho výstup 13 je přiveden na první vstup K11 prvního klopného obvodu K01 a současně na vstup 81 druhého invertoru H8, zatímco do druhého vstupu K12 prvního klopného obvodu K01 je připojen čtvrtý výstup 019 třetího čítače CT3. Ten je současně spojený s prvním vstupem 21 druhého hradla H2, prvním vstupem 71 sedmého hradla H7, druhým vstupem 52 pátého hradla H5, druhým vstupem 92 devátého hradla H9, druhým vstupem 112 jedenáctého hradla H11, druhým vstupem 132 třináctého hradla H13 a druhým vstupem 162 druhého horizontálního generátoru HG2, přičemž do třetího vstupu K13 prvního klopného obvodu K01 je zapojen výstup 192 derivačního obvodu DO, do jehož vstupu 191 je připojen první výstup 008 druhého čítače CT2, který je rovněž připojen na druhý vstup 22 druhého hradla H2 a první vstup 61 šestého hradla H6, přičemž první výstup K14 prvního klopného obvodu K01 je přiveden na první vstup 151 prvního horizontálního generátoru HG1, zatímco na druhý vstup 152 tohoto generátoru je připojen výstup 23 druhého hradla H2, přičemž první inverzní výstup 009, druhý inverzní výstup 011 a třetí inverzní výstup 013 druhého čítače CT2 jsou připojeny na první vstup 31, druhý vstup 32 a třetí vstup 33 třetího hradla H3, zatímco jeho výstup 34 je přes první invertor H4 připojen výstupem 42 tohoto invertoru na první vstup 51 pátého hradla H5 a současně na třetí vstup 113 jedenáctého hradla H11, přičemž výstup 53 pátého hradla H5 je přiveden na první vstup 161 druhého horizontálního generátoru HG2.

Jeho výstup 163 je přes druhý odpor R2 spojen v prvním uzlu A s prvním odporem R1, který je připojen na výstup 153 prvního horizontálního generátoru HG1, přičemž do prvního uzlu A je současně připojen jeden vývod prvního proměnného odporu R3, jehož druhý vývod je spojen s bodem pro nulový potenciál, zatímco na odbočce prvního proměnného odporu R3 se generuje výsledný horizontální signál VHS. Druhý výstup 010 a třetí výstup 012 druhého čítače CT2 jsou spojeny s druhým vstupem 62 a třetím vstupem 63 šestého hradla H6, přičemž jeho výstup 64 je připojen na druhý vstup 72 sedmého hradla H7 a současně na vstup 101 třetího invertoru H10 a třetí vstup 133 třináctého hradla H13, jehož výstup 134 je připojen na první vstup 181 druhého vertikálního generátoru VG2.

Druhý vstup 182 tohoto druhého vertikálního generátoru je spojen s výstupem 143 čtrnáctého hradla H14, jehož první vstup 141 je spojen s čtvrtým inverzním výstupem 020 třetího čítače CT3, přičemž druhý vstup 142 čtrnáctého hradla H14 je spojen s výstupem 125 dvanáctého hradla H12, na jehož první vstup 121 je připojen výstup 021 třetího čítače CT3. První výstup 023, druhý výstup 024 a třetí výstup 025 čtvrtého čítače CT4 jsou spojeny s druhým

vstupem 122, třetím vstupem 123 a čtvrtým vstupem 124 dvanáctého hradla H12, přičemž výstup 82 druhého invertoru H8 je spojen s třetím vstupem 73 sedmého hradla H7 a současně s prvním vstupem 91 devátého hradla H9, prvním vstupem 111 jedenáctého hradla H11 a prvním vstupem 131 třináctého hradla H13, přičemž výstup 74 sedmého hradla H7 je připojen na první vstup 171 prvního vertikálního generátoru VG1, zatímco na druhý vstup 172 tohoto prvního vertikálního generátoru je připojen inverzní výstup K24 druhého klopného obvodu K02, na jehož první vstup K21 je připojen výstup 94 devátého hradla H9, jehož třetí vstup 93 je spojen s výstupem 102 třetího invertoru H10. Na druhý vstup K22 druhého klopného obvodu K02 je připojen výstup 114 jedenáctého hradla H11, zatímco výstup 173 prvního vertikálního generátoru VG1 je přes čtvrtý odpor R4 spojen ve druhém uzlu B s pátým odporem R5, který je připojen na výstup 183 druhého vertikálního generátoru VG2, přičemž do druhého uzlu B je současně připojen jeden vývod druhého proměnného odporu R6, jehož druhý vývod je spojen s bodem pro nulový potenciál, zatímco na odbočce druhého proměnného odporu R6 se generuje výsledný vertikální signál VVS.

PŘEDMĚT VYNÁLEZU

Zapojení obvodů pro řízení rozkladových generátorů v obrazovkové displeji, sestavených z generátoru hodinových impulsů, děličů kmitočtu, klopných obvodů a logických obvodů, vyznačené tím, že první výstup (003) prvního čítače (CT1) je připojen na první vstup (11) prvního hradla (H1), třetí výstup (005) prvního čítače (CT1) je připojen na druhý vstup (12) prvního hradla (H1), přičemž jeho výstup (13) je přiveden na první vstup (K11) prvního klopného obvodu (K01) a současně na vstup (81) druhého invertoru (H8), zatímco do druhého vstupu (K12) prvního klopného obvodu (K01) je připojen čtvrtý výstup (019) třetího čítače (CT3), který je současně spojený s prvním vstupem (21) druhého hradla (H2), prvním vstupem (71) sedmého hradla (H7), druhým vstupem (52) pátého hradla (H5), druhým vstupem (92) devátého hradla (H9), druhým vstupem (112) jedenáctého hradla (H11), druhým vstupem (132) třináctého hradla (H13) a druhým vstupem (162) druhého horizontálního generátoru (HG2), přičemž do třetího vstupu (K13) prvního klopného obvodu (K01) je zapojen výstup (192) derivačního obvodu (DO), do jehož vstupu (191) je připojen první výstup (008) druhého čítače (CT2), který je rovněž připojen na druhý vstup (22) druhého hradla (H2) a první vstup (61) šestého hradla (H6), přičemž první výstup (K14) prvního klopného obvodu (K01) je přiveden na první vstup (151) prvního horizontálního generátoru (HG1), zatímco na druhý vstup (152) tohoto generátoru je připojen výstup (23) druhého hradla (H2), přičemž první inverzní výstup (009), druhý inverzní výstup (011) a třetí inverzní výstup (013) druhého čítače (CT2) jsou připojeny na první vstup (31), druhý vstup (32) a třetí vstup (33) třetího hradla (H3), zatímco jeho výstup (34) je přes první invertor (H4) připojen výstupem (42) tohoto invertoru na první vstup (51) pátého hradla (H5) a současně na třetí vstup (113) jedenáctého hradla (H11), přičemž výstup (53) pátého hradla (H5) je přiveden na první vstup (161) druhého horizontálního generátoru (HG2), jehož výstup (163) je přes druhý odpor (R2) spojen v prvním uzlu (A) s prvním odporem (R1), který je připojen na výstup (153) prvního horizontálního generátoru (HG1), přičemž do prvního uzlu (A) je současně připojen jeden vývod prvního proměnného odporu (R3), jehož druhý vývod je spojen s bodem pro nulový potenciál, zatímco druhý výstup (010) a třetí výstup (012) druhého čítače (CT2) jsou spojeny s druhým vstupem (62) a třetím vstupem (63) šestého hradla (H6), přičemž jeho výstup (64) je připojen na druhý vstup (72) sedmého hradla (H7) a současně na vstup (101) třetího invertoru (H10) a třetí vstup (133) třináctého hradla (H13), jehož výstup (134) je připojen na první vstup (181) druhého vertikálního generátoru (VG2), zatímco druhý vstup (182) tohoto druhého vertikálního generátoru je spojen s výstupem (143) čtrnáctého hradla (H14), jehož první vstup (141) je spojen s čtvrtým inverzním výstupem (020) třetího čítače (CT3), přičemž druhý vstup (142) čtrnáctého hradla (H14) je spojen s výstupem (125) dvanáctého hradla (H12), na jehož první vstup (121) je připojen výstup (021) třetího čítače (CT3), zatímco první výstup (023), druhý výstup (024) a třetí výstup (025) čtvrtého čítače (CT4) jsou spojeny s druhým vstupem (122), třetím vstupem (123) a čtvrtým vstupem (124) dvanáctého hradla (H12), přičemž výstup (82)

druhého invertoru (H8) je spojen s třetím vstupem (73) sedmého hradla (H7) a současně s prvním vstupem (91) devátého hradla (H9), prvním vstupem (111) jedenáctého hradla (H11) a prvním vstupem (131) třináctého hradla (H13), přičemž výstup (74) sedmého hradla (H7) je připojen na první vstup (171) prvního vertikálního generátoru (VG1), zatímco na druhý vstup (172) tohoto prvního vertikálního generátoru je připojen inverzní výstup (K24) druhého klopného obvodu (K02), na jehož první vstup (K21) je připojen výstup (94) devátého hradla (H9), jehož třetí vstup (93) je spojen s výstupem (102) třetího invertoru (H10), přičemž na druhý vstup (K22) druhého klopného obvodu (K02) je připojen výstup (114) jedenáctého hradla (H11), zatímco výstup (173) prvního vertikálního generátoru (VG1) je přes čtvrtý odpor (R4) spojen v druhém uzlu (B) s pátým odporem (R5), který je připojen na výstup (183) druhého vertikálního generátoru (VG2), přičemž do druhého uzlu (B) je současně připojen jeden vývod druhého proměnného odporu (R6), jehož druhý vývod je spojen s bodem pro nulový potenciál.

1 list výkresů

