



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년03월22일
(11) 등록번호 10-1718753
(24) 등록일자 2017년03월16일

- (51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01)
- (21) 출원번호 10-2010-0022149
- (22) 출원일자 2010년03월12일
심사청구일자 2015년03월06일
- (65) 공개번호 10-2010-0103414
- (43) 공개일자 2010년09월27일
- (30) 우선권주장
JP-P-2009-061607 2009년03월13일 일본(JP)
- (56) 선행기술조사문헌
JP2007096055 A*
JP2007194594 A*
JP2008211195 A*
KR1020080104860 A*
- *는 심사관에 의하여 인용된 문헌

- (73) 특허권자
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와Ken 아쓰기시 하세 398
- (72) 발명자
오하라 히로키
일본 243-0036, 카나가와Ken, 아쓰기시, 하세,
398, 가부시키가이샤 한도오따이 에네루기 켄큐쇼
내
- 사사키 토시나리**
일본 243-0036, 카나가와Ken, 아쓰기시, 하세,
398, 가부시키가이샤 한도오따이 에네루기 켄큐쇼
내
- (74) 대리인
장훈

전체 청구항 수 : 총 19 항

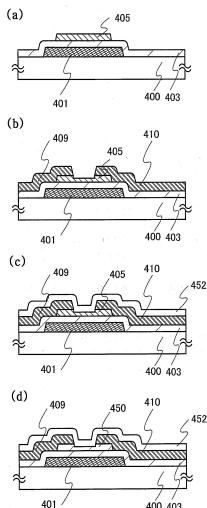
심사관 : 최혜미

(54) 발명의 명칭 반도체 장치 및 그 제작 방법

(57) 요약

산화물 반도체층을 무기 절연막으로 덮지 않고 가열 처리를 행하여 산화물 반도체층이 결정화되면, 결정화에 의한 표면 요철 등이 형성되고, 전기 특성의 편차가 발생할 우려가 있다.

산화물 반도체층 성막 직후로부터 산화물 반도체층 위에 접하여 산화실리콘을 포함하는 무기 절연막을 형성하기 직전까지의 동안에 가열 처리를 전혀 행하지 않고, 기판 위의 산화물 반도체층 위에 접하여 제 2 절연막을 형성한 후에 가열 처리를 행하는 프로세스 순서로 한다. 또한, 산화실리콘을 포함하는 무기 절연막에 있어서, 막 중에 포함되는 수소 밀도는 $5 \times 10^{20} / \text{cm}^3$ 이상, 또는 질소 밀도는 $1 \times 10^{19} / \text{cm}^3$ 이상으로 한다.

대 표 도 - 도1

명세서

청구범위

청구항 1

삭제

청구항 2

절연 표면을 갖는 기판 위에 게이트 전극을 형성하는 단계와;

상기 게이트 전극 위에 게이트 절연층을 형성하는 단계와;

상기 게이트 절연층 위에 제 1 비정질 구조를 갖는 산화물 반도체층을 형성하는 단계와;

상기 산화물 반도체층 위에 소스 전극 및 드레인 전극을 형성하는 단계와;

상기 산화물 반도체층 상에, 상기 산화물 반도체층에 접하도록 산화실리콘을 포함하는 무기 절연막을 형성하는 단계로서, 기판 온도는 300°C 이하인, 상기 무기 절연막을 형성하는 단계와;

상기 산화실리콘을 포함하는 무기 절연막을 형성한 후에 300°C 이상, 및 상기 절연 표면을 갖는 상기 기판의 변형점 이하의 온도에서 가열 처리를 행하는 단계를 포함하고,

상기 가열 처리를 행한 상기 산화물 반도체층은 제 2 비정질 구조를 갖고,

상기 산화물 반도체층은 상기 산화물 반도체층을 형성하는 상기 단계 후부터 상기 무기 절연막을 형성하는 상기 단계 전까지의 기간 동안 300°C 이상으로 가열되지 않는, 반도체 장치의 제작 방법.

청구항 3

절연 표면을 갖는 기판 위에 제 1 비정질 구조를 갖는 산화물 반도체층을 형성하는 단계와;

상기 산화물 반도체층 상에, 상기 산화물 반도체층에 접하도록 산화실리콘을 포함하는 무기 절연막을 형성하는 단계로서, 기판 온도는 300°C 이하인, 상기 무기 절연막을 형성하는 단계;

상기 산화실리콘을 포함하는 무기 절연막을 형성한 후에 300°C 이상에서 가열 처리를 행하는 단계를 포함하고,

상기 가열 처리를 행한 상기 산화물 반도체층은 제 2 비정질 구조를 갖고,

상기 산화물 반도체층은 상기 산화물 반도체층을 형성하는 상기 단계 후부터 상기 무기 절연막을 형성하는 상기 단계 전까지의 기간 동안 300°C 이상으로 가열되지 않는, 반도체 장치의 제작 방법.

청구항 4

기판이 제 1 온도로 가열되는 동안 상기 기판 위에 제 1 무기 절연막을 형성하는 단계와;

상기 제 1 무기 절연막 상에 산화물 반도체층을 형성하는 단계;

상기 기판이 제 2 온도로 가열되는 동안 상기 산화물 반도체층 상에, 상기 산화물 반도체층에 접하도록 산화실리콘을 포함하는 제 2 무기 절연막을 형성하는 단계와;

상기 제 2 무기 절연막의 형성 후 300°C 이상에서 가열 처리를 행하는 단계를 포함하고,

상기 제 2 온도는 300°C 이하이고,

상기 가열 처리를 행한 상기 산화물 반도체층은 비정질 구조를 갖고,

상기 산화물 반도체층은 상기 산화물 반도체층의 형성 후부터 상기 제 2 무기 절연막의 형성 전까지의 기간 동

안 300°C 이상으로 가열되지 않는, 반도체 장치의 제작 방법.

청구항 5

절연 표면을 갖는 기판 위에 게이트 전극을 형성하는 단계;

상기 기판이 제 1 온도로 가열되는 동안 상기 게이트 전극 위에 게이트 절연층을 형성하는 단계와;

상기 게이트 절연층 상에 산화물 반도체층을 형성하는 단계와;

상기 산화물 반도체층 위에 소스 전극 및 드레인 전극을 형성하는 단계와;

상기 기판이 제 2 온도로 가열되는 동안 상기 산화물 반도체층 상에, 상기 산화물 반도체층에 접하도록 산화실리콘을 포함하는 무기 절연막을 형성하는 단계와;

상기 무기 절연막의 형성 후 300°C 이상, 및 상기 기판의 변형점 이하의 온도로 가열 처리를 행하는 단계를 포함하고,

상기 제 2 온도는 300°C 이하이고,

상기 가열 처리를 행한 상기 산화물 반도체층은 비정질 구조를 갖고,

상기 산화물 반도체층은 상기 산화물 반도체층의 형성 후부터 상기 무기 절연막의 형성 전까지의 기간 동안 300°C 이상으로 가열되지 않는, 반도체 장치의 제작 방법.

청구항 6

제 2 항 또는 제 3 항에 있어서,

상기 가열 처리는 상기 산화실리콘을 포함하는 무기 절연막의 성막시에 있어서의 기판 온도보다 높은 온도로 행해지는, 반도체 장치의 제작 방법.

청구항 7

제 4 항에 있어서,

상기 가열 처리는 상기 제 2 무기 절연막의 성막시에 있어서의 기판 온도보다 높은 온도로 행해지는, 반도체 장치의 제작 방법.

청구항 8

제 2 항, 제 3 항, 및 제 5 항 중 어느 한 항에 있어서,

상기 산화실리콘을 포함하는 무기 절연막에 포함되는 수소 밀도는 $5 \times 10^{20} / \text{cm}^3$ 이상인, 반도체 장치의 제작 방법.

청구항 9

제 4 항에 있어서,

상기 제 2 무기 절연막에 포함되는 수소 밀도는 $5 \times 10^{20} / \text{cm}^3$ 이상인, 반도체 장치의 제작 방법.

청구항 10

제 2 항, 제 3 항, 및 제 5 항 중 어느 한 항에 있어서,

상기 산화실리콘을 포함하는 무기 절연막에 포함되는 질소 밀도는 $1 \times 10^{19} / \text{cm}^3$ 이상인, 반도체 장치의 제작 방법.

청구항 11

제 4 항에 있어서,

상기 제 2 무기 절연막에 포함되는 질소 밀도는 $1 \times 10^{19} / \text{cm}^3$ 이상인, 반도체 장치의 제작 방법.

청구항 12

제 2 항 또는 제 3 항에 있어서,

상기 제 1 비정질 구조는 적어도 원자 배열에 있어서 상기 제 2 비정질 구조와 다른, 반도체 장치의 제작 방법.

청구항 13

제 2 항 내지 제 5 항 중 어느 한 항에 있어서,

상기 가열 처리는 대기 분위기하 또는 질소 분위기하에서 행해지는, 반도체 장치의 제작 방법.

청구항 14

제 2 항, 제 3 항, 및 제 5 항 중 어느 한 항에 있어서,

상기 산화실리콘을 포함하는 무기 절연막은 적어도 N₂O 가스를 사용하여 형성되는, 반도체 장치의 제작 방법.

청구항 15

제 4 항에 있어서,

상기 제 2 무기 절연막은 적어도 N₂O 가스를 사용하여 형성되는, 반도체 장치의 제작 방법.

청구항 16

제 2 항 내지 제 5 항 중 어느 한 항에 있어서,

상기 산화물 반도체층은 인듐, 갈륨, 및 아연 중의 적어도 하나를 포함하는, 반도체 장치의 제작 방법.

청구항 17

제 2 항 내지 제 5 항 중 어느 한 항에 있어서,

상기 산화물 반도체층은 InMO₃(ZnO)_m(m>0)로 표기되는 박막이고,

M은 갈륨, 철, 니켈, 망간, 또는 코발트 중에서 선택된 하나의 금속 원소 또는 복수의 금속 원소를 나타내는, 반도체 장치의 제작 방법.

청구항 18

제 17 항에 있어서,

M은 갈륨을 나타내는, 반도체 장치의 제작 방법.

청구항 19

제 2 항 내지 제 5 항 중 어느 한 항에 있어서,

배선은 상기 가열 처리 후에 더 형성되는, 반도체 장치의 제작 방법.

청구항 20

제 4 항 또는 제 5 항에 있어서,

상기 제 2 온도는 상기 제 1 온도보다 낮은, 반도체 장치의 제작 방법.

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

발명의 설명**기술 분야**

[0001] 산화물 반도체를 사용하는 반도체 장치 및 그 제작 방법에 관한 것이다.

배경기술

[0002] 금속 산화물은 다양하게 존재하고, 다양한 용도로 사용된다. 산화인듐은 잘 알려진 재료이고, 액정 디스플레이 등에서 필요하게 되는 투명 전극 재료로서 사용된다.

[0003] 금속 산화물 중에서는, 반도체 특성을 나타내는 것이 있다. 반도체 특성을 나타내는 금속 산화물로서는, 예를 들어, 산화텅스텐, 산화주석, 산화인듐, 산화아연 등이 있고, 이러한 반도체 특성을 나타내는 금속 산화물을 채널 형성 영역으로 하는 박막 트랜지스터가 이미 알려져 있다(특히 문헌 1 내지 특허 문헌 4, 및 비특허 문헌 1 참조).

[0004] 그런데, 금속 산화물은 일원계 산화물뿐만 아니라, 다원계 산화물도 알려져 있다. 예를 들어, 동족 계열(Homologous Series)을 갖는 $InGaO_3(ZnO)_m$ (m 은 자연수)은, In, Ga, 및 Zn을 갖는 다원계 산화물 반도체로서 알려져 있다(비특허 문헌 2 내지 비특허 문헌 4 참조).

[0005] 그리고, 상기와 같은 In-Ga-Zn계 산화물로 구성되는 산화물 반도체를 박막 트랜지스터의 채널층으로서 적용할 수 있는 것이 확인된다(특허 문헌 5, 비특허 문헌 5, 및 비특허 문헌 6 참조).

[0006] 또한, 산화물 반도체를 사용하여 박막 트랜지스터를 제작하고, 전자 디바이스나 광 디바이스에 응용하는 기술이 주목을 받고 있다. 예를 들어, 산화물 반도체막으로서 산화아연, In-Ga-Zn-O계 산화물 반도체를 사용하여 박막

트랜지스터를 제작하고, 화상 표시 장치의 스위칭 소자 등에 사용하는 기술이 특허 문현 6 및 특허 문현 7에 개시된다.

선행기술문현

- [0007] [특허 문현 1]
- [0008] 특개소60-198861호 공보
- [0009] [특허 문현 2]
- [0010] 특개평8-264794호 공보
- [0011] [특허 문현 3]
- [0012] 특표평11-505377호 공보
- [0013] [특허 문현 4]
- [0014] 특개2000-150900호 공보
- [0015] [특허 문현 5]
- [0016] 특개2004-103957호 공보
- [0017] [특허 문현 6]
- [0018] 특개2007-123861호 공보
- [0019] [특허 문현 7]
- [0020] 특개2007-096055호 공보
- [0021] [비]특허 문현 1]
 - M. W. Prins, K. O. Grosse-Holz, G. Muller, J. F. M. Cillessen, J. B. Giesbers, R. P. Weening, and R. M. Wolf, 「A ferroelectric transparent thin-film transistor」, Appl. Phys. Lett., 17 June 1996, Vol.68, p.3650-p.3652
- [0023] [비]특허 문현 2]
 - M. Nakamura, N. Kimizuka, and T. Mohri, 「The Phase Relations in the $In_2O_3-Ga_2ZnO_4-ZnO$ System at 1350°C」, J. Solid State Chem., 1991, Vol.93, p.298-p.315
- [0025] [비]특허 문현 3]
 - N. Kimizuka, M. Isobe, and M. Nakamura, 「Syntheses and Single-Crystal Data of Homologous Compounds, $In_2O_3(ZnO)_m$ ($m=3, 4$, and 5), $InGaO_3(ZnO)_3$, and $Ga_2O_3(ZnO)_m$ ($m=7, 8, 9$, and 16), in the $In_2O_3-ZnGa_2O_4-ZnO$ System」, J. Solid State Chem., 1995, Vol. 116, p.170-p178
- [0027] [비]특허 문현 4]
 - M. Nakamura, N. Kimizuka, T. Mohri, M. Isobe, 「동족 계열, $InFeO_3(ZnO)_m$ ($m=자연수$)와 그 동형 화합물의 합성 및 결정 구조」, 고체 물리, 1993, Vol. 28, No. 5, p.317-p.327
- [0029] [비]특허 문현 5]
 - K. Nomura, H. Ohta, K. Ueda, T. Kamiya, M. Hirano, and H. Hosono, 「Thin-film transistor fabricated in single-crystalline transparent oxide semiconductor」, SCIENCE, 2003, Vol. 300, p.1269-p.1272
- [0031] [비]특허 문현 6]
 - K. Nomura, H. Ohta, A. Takagi, T. Kamiya, M. Hirano, and H. Hosono, 「Room-temperature fabrication of transparent flexible thin-film transistors using amorphous oxide semiconductors」, NATURE, 2004, Vol. 432, p.488-p.492

발명의 내용

해결하려는 과제

- [0033] 산화물 반도체에 채널 형성 영역을 형성하는 박막 트랜지스터는, 비정질 실리콘을 사용한 박막 트랜지스터보다 높은 전계 효과 이동도가 얻어진다.
- [0034] 이러한 산화물 반도체를 사용하여 유리 기판, 플라스틱 기판 등에 박막 트랜지스터를 형성하고, 액정 디스플레이, 일렉트로루미네센스 디스플레이 또는 전자 페이퍼 등의 표시 장치에 대한 응용이 기대되고 있다.
- [0035] 산화물 반도체를 사용하여 신뢰성이 높은 반도체 장치를 제공하는 것을 과제의 하나로 한다.

과제의 해결 수단

- [0036] 절연 표면을 갖는 기판 위에 박막 트랜지스터의 채널 영역이 되는 산화물 반도체층을 산화실리콘을 포함하는 절연막으로 덮은 후에 가열 처리를 행한다. 또한, 가열 처리를 행하기 전의 산화물 반도체층은 비정질이고, 가열 처리를 행한 후의 산화물 반도체층은 비정질이다.
- [0037] 산화물 반도체층을 산화실리콘을 포함하는 무기 절연막으로 덮은 후에 300°C 이상의 가열 처리를 행함으로써, 산화물 반도체층의 결정화를 억제할 수 있다. 가열 처리는, 300°C 이상, 및 절연 표면을 갖는 기판의 변형점 이하, 바람직하게는, 산화실리콘을 포함하는 무기 절연막의 성막시에 있어서의 기판 온도보다 높고, 또 가열 처리후의 산화물 반도체층은, 비정질 구조를 갖는 온도 범위로 한다.
- [0038] 산화물 반도체층을 무기 절연막으로 덮지 않고 가열 처리를 행하여 산화물 반도체층이 결정화되면, 결정화에 의한 표면 요철 등이 형성되어 전기 특성의 편차가 발생할 우려가 있다.
- [0039] 또한, 산화물 반도체층에 산화실리콘을 포함시켜, 산화물 반도체의 결정화를 억제할 수도 있다.
- [0040] 또한, 산화물 반도체층뿐만 아니라, 산화실리콘을 포함하는 무기 절연막에 대한 가열 처리를 행함으로써, 산화실리콘을 포함하는 무기 절연막 중의 결합 등을 저감하여 양호한 전기 특성을 갖는 박막 트랜지스터를 실현할 수 있다.
- [0041] 산화물 반도체층을 덮는 산화실리콘을 포함하는 무기 절연막에 있어서, 막 중에 포함되는 수소 밀도는, $5 \times 10^{20}/\text{cm}^3$ 이상이며, 이 밀도는 SIMS(2차이온 질량 분석계)를 사용한 분석에 의거한 것이다. 또한, 산화물 반도체층을 덮는 산화실리콘을 포함하는 무기 절연막에 있어서, 막 중에 포함되는 질소 밀도는, $1 \times 10^{19}/\text{cm}^3$ 이상이며, 마찬가지로 SIMS를 사용한 분석에 의거한 것이다. 산화물 반도체층을 덮는 산화실리콘을 포함하는 무기 절연막을 상기 수소 밀도 또는 상기 질소 밀도를 충족시킬 수 있으면, 특히 성막 방법은 한정되지 않고, 예를 들어, 플라즈마 CVD법이나 스퍼터법으로 형성한다.
- [0042] 또한, 본 명세서에 있어서의 밀도는, SIMS를 사용한 분석에 의한 밀도의 평균값을 가리킨다. SIMS는 밀도가 낮은 측으로부터 높은 측을 향하여 깊이 방향으로 분석된 값이다.
- [0043] 산화물 반도체층 위에 접하여 형성되는 산화실리콘을 포함하는 무기 절연막의 성막시에 기판 온도를 300°C보다 높게 하면, 감압하에서 노출되는 산화 반도체층 표면에 있어서의 산소 밀도가 저감됨으로써 산화물 반도체층 표면의 도전율이 높게 되며, 오프 시에 있어서의 TFT 특성을 얻는 것이 어렵다.
- [0044] 여기서, 산화물 반도체층 위에 접하여 형성되는 산화실리콘을 포함하는 무기 절연막의 성막시의 기판 온도가 다른 조건으로 TFT를 제작하고, 그 전기 특성을 비교한 실험 결과를 이하에 나타낸다. 또한, 이하에 나타내는 모든 조건은 제작한 박막 트랜지스터의 채널 길이가 100 μm, 채널 폭 100 μm로 하고, Vd 전압이 1V일 때의 특성과 Vd 전압이 10V일 때의 특성을 측정하였다.
- [0045] 산화물 반도체층 위에 접하여 형성되는 산화실리콘을 포함하는 무기 절연막의 성막시의 조건으로서, 기판 온도 200°C, 실란 가스의 유량 25sccm로 하고, 일산화이질소(N₂O)의 유량 1000sccm로 하고, 압력 133.3Pa로 하고, 전력 파워 35W로 하고, 전원 주파수를 13.56MHz로 하여 성막한 막을 사용하여 제작한 TFT의 측정을 행한 결과를 도 6a에 도시한다.
- [0046] 또한, 산화물 반도체층 위에 접하여 형성되는 산화실리콘을 포함하는 무기 절연막의 성막시의 조건으로서, 기판 온도 300°C, 실란 가스의 유량 30sccm로 하고, 일산화이질소(N₂O)의 유량 700sccm로 하고, 압력 133.32Pa로 하

고, 전력 파워 80W로 하고, 전원 주파수를 60MHz로 하여 성막한 막을 사용하여 제작한 TFT의 측정을 행한 결과를 도 6b에 도시한다. 도 6a 및 도 6b를 비교한 경우, TFT의 S값에 관해서는, 기판 온도 300°C보다 기판 온도 200°C가 양호한 값을 나타낸다.

[0047] 또한, 비교 조건으로서, 기판 온도 325°C, 실란 가스의 유량 27sccm로 하고, 일산화이질소(N_2O)의 유량 1000sccm로 하고, 압력 133.3Pa로 하고, 전력 파워 35W로 하고, 전원 주파수를 13.56MHz로 하여 성막한 막을 사용하여 제작한 TFT의 측정을 행한 결과를 도 7에 도시한다. 도 7에 도시하는 바와 같이, 300°C보다 높은 기판 온도 325°C의 경우 산화물 반도체층이 높은 도전율을 나타내는 층으로 변하고, TFT 특성, 구체적으로는 온·오프 특성을 얻을 수 없었다.

[0048] 또한, 여기서는 도시하지 않지만, 기판 온도 100°C에서의 실험을 행한 결과에 있어서도, 기판 온도 200°C에서의 실험과 같은 결과를 얻었다.

[0049] 따라서, 이들의 실험 결과에 의거하여 산화물 반도체층 위에 접하여 형성되는 산화실리콘을 포함하는 무기 절연막의 성막시의 기판 온도는 300°C 이하, 바람직하게는, 100°C 이상, 150°C 이하로 한다.

[0050] 또한, 산화물 반도체층의 하방에도 산화실리콘을 포함하는 무기 절연막이 형성되고, 산화물 반도체층은 산화실리콘을 포함하는 무기 절연막으로 상하(上下)가 끼워진 상태로 산화물 반도체층의 위에 접하여 형성한 무기 절연막의 성막시에 있어서의 기판 온도보다 높은 온도, 바람직하게는, 300°C 이상의 열 처리가 행해진다. 또한, 산화물 반도체층 상방에 형성되는 산화실리콘을 포함하는 무기 절연막의 성막시에 있어서의 기판 온도는, 하방에 형성되는 산화실리콘을 포함하는 무기 절연막의 성막시에 있어서의 기판 온도보다 낮게 한다. 또한, 산화물 반도체층의 상하에 형성하는 산화실리콘을 포함하는 무기 절연막의 양쪽 모두에 적어도 N_2O 가스를 사용하여 형성하는 플라즈마 CVD법을 사용할 수 있다.

[0051] 상술한 수소 밀도 또는 질소 밀도를 충족시키는 산화실리콘을 포함하는 절연막으로 덮어 산화물 반도체층에 300°C 이상의 열 처리를 행하는 경우, 그 열 처리를 1번으로 함으로써 TFT의 전기 특성의 향상과, 기판 면내의 편차의 저감을 도모할 수 있다. 300°C 이상의 열 처리를 전혀 행하지 않는 경우에는, 균일성이 있는 TFT의 전기 특성을 얻는 것은 어렵다. 또한, 산화물 반도체층을 덮는 절연막의 성막 전, 즉, 산화물 반도체층의 적어도 일부가 노출한 상태로 1번의 열 처리를 행하고, 절연막을 형성한 후에 2번째의 열 처리를 행한 경우, 기판 면내 편차가 증대한다. 즉, 상술한 수소 밀도 또는 질소 밀도를 충족시키는 산화실리콘을 포함하는 절연막을 산화물 반도체층 위에 접하여 형성하는 경우, 산화물 반도체층 성막 직후로부터 산화물 반도체층 위에 접하여 산화실리콘을 포함하는 절연막을 형성하기 직전까지의 동안에 300°C 이상의 가열 처리를 1번이라도 행하면, TFT 특성의 편차가 증대한다.

[0052] 상술한 이들의 수단은 단순히 설계 사항이 아니라, 본 발명자들은, 열 처리를 행하는 타이밍 및 회수에 대해서 몇 가지의 실험을 행하여 그들의 실험 결과에 의거하여 본 발명자들이 깊게 검토한 결과, 발명된 사항이다.

[0053] 또한, 트랜지스터의 구조는 특히 한정되지 않고, 예를 들어, 산화물 반도체층을 박막 트랜지스터의 영역으로 하는 경우, 게이트 전극을 산화물 반도체층 하방에 형성하면, 보텀 게이트형 트랜지스터가 되고, 게이트 전극을 산화물 반도체층 상방에 형성하면 톱 게이트형 트랜지스터가 된다. 또한, 게이트 전극을 산화물 반도체층 하방에 형성하고, 소스 전극을 형성한 후에 산화물 반도체층을 형성하면, 보텀 콘택트형(역코플레이너형이라고도 부른다) 트랜지스터가 된다.

[0054] 또한, 산화물 반도체층 성막 직후로부터 산화물 반도체층 위에 접하여 산화실리콘을 포함하는 절연막을 형성하기 직전까지의 동안에 전혀 가열 처리를 행하지 않고, 기판 위의 산화물 반도체층 위에 접하여 산화실리콘을 포함하는 절연막을 형성한 후에 가열 처리를 행하는 프로세스 순서로 함으로써, 결정화 직전의 온도(700°C 미만)의 가열 처리를 행할 수 있다. 또한, 이 가열 처리는 사용하는 기판의 내열 온도를 초과하지 않는다.

[0055] 또한, 산화물 반도체층 성막 직후로부터 산화물 반도체층 위에 접하여 산화실리콘을 포함하는 절연막을 형성하기 직전까지의 동안 전혀 가열 처리를 행하지 않고, 기판 위의 산화물 반도체층 위에 접하여 산화실리콘을 포함하는 절연막을 형성한 후에 가열 처리를 행하는 프로세스 순서로 함으로써, 산화실리콘을 포함하는 절연막을 형성한 후에 300°C 이상의 가열 처리를 복수 회수 행하더라도, 안정된 TFT 특성을 얻을 수 있다.

[0056] 본 명세서 중에서 사용하는 산화물 반도체는, $InMO_3(ZnO)_m$ ($m > 0$)로 표기되는 박막을 형성하고, 그 박막을 반도체층으로서 사용한 박막 트랜지스터를 제작한다. 또한, M은 Ga, Fe, Ni, M, 및 Co 중에서 선택된 하나의 금속 원소 또는 복수의 금속 원소를 나타낸다. 예를 들어, M으로서, Ga가 포함되는 경우 이외에, Ga와 Ni 또는 Ga와

Fe 등, Ga 이외의 상기 금속 원소가 포함되는 경우가 있다. 또한, 상기 산화물 반도체에 있어서, M으로서 포함되는 금속 원소 이외에, 불순물 원소로서 Fe, Ni 그 이외의 천이 금속 원소, 또는 상기 천이 금속의 산화물이 포함되는 것이 있다. 본 명세서에 있어서는, 이 박막을 In-Ga-Zn-O계 비단결정막이라고도 부른다.

[0057] In-Ga-Zn-O계 비단결정막의 구조는, 스퍼터법으로 성막한 후, 예를 들어, 200°C 내지 500°C, 대표적으로는 300°C 내지 400°C에서 10분 내지 100분의 가열 처리를 행해도 비정질 구조가 XRD의 분석에 있어서 관찰된다. 또한, In-Ga-Zn-O계 비단결정막에 대해서 절연막으로 덮지 않고 700°C 이상의 가열 처리를 행하면, 막 중에 단결정이 형성된다. 따라서, In-Ga-Zn-O계 비단결정막에 있어서, 결정화 직전의 온도의 가열 처리는, 그 가열 처리에 의하여 막 중에 단결정이 형성되지 않는 범위의 가열 처리를 가리킨다.

[0058] 가열 처리는, 노(爐)에서의 열 처리(700°C 미만, 바람직하게는 300°C 내지 550°C에서 0.1시간 내지 5시간의 열 처리), 또는 래피드 서멀 어닐법(RTA법)을 사용한다. RTA법은, 램프 광원을 사용하는 방법과, 가열된 가스 중에 기판을 이동시켜 단시간의 열 처리를 행하는 방법이 있다. RTA법을 사용하면, 열 처리에 필요한 시간을 0.1시간보다 단축할 수도 있다. 다만, 기판으로서 유리 기판을 사용하는 경우는, 300°C 이상, 및 유리 기판의 변형점 이하의 온도에서의 가열 처리로 한다.

[0059] 또한, 산화실리콘을 포함하는 절연막은, 상술한 막 중의 수소 밀도 및 질소 밀도를 충족시키는 무기 재료이며, 그 무기 재료에 따라 플라즈마 CVD법 등을 사용할 수 있다.

[0060] 본 명세서에서 개시하는 반도체 장치의 제작 방법에 관한 발명의 하나는, 절연 표면을 갖는 기판 위에 게이트 전극을 형성하고, 게이트 전극을 덮는 제 1 절연막을 형성하고, 제 1 절연막을 통하여 게이트 전극과 중첩하는 산화물 반도체층을 형성하고, 산화물 반도체층을 덮는 제 2 절연막을 형성한 후, 300°C 이상의 열 처리를 행하는 것이다.

[0061] 상기 제작 방법에 있어서, 제 2 절연막은 적어도 산화실리콘을 포함하고, 막 중에 포함되는 수소 밀도가 $5 \times 10^{20} / \text{cm}^3$ 이상이다. 또한, 제 2 절연막 중에 포함되는 수소 밀도는 산화물 반도체층에 포함되는 수소 농도와 같은 정도이다.

[0062] 또한, 상기 제작 방법에 있어서, 제 2 절연막은 적어도 산화실리콘을 포함하고, 막 중에 포함되는 질소 밀도는 $1 \times 10^{19} / \text{cm}^3$ 이상이다.

[0063] 또한, 상기 제작 방법에 있어서, 제 2 절연막은, 적어도 N₂O 가스를 사용하여 형성한다.

[0064] 또한, 열 처리는 제 2 절연막 위에 접하는 절연막을 형성하기 전, 또는 제 2 절연막 위에 접하는 도전막을 형성하기 전에 행한다. 그리고, 300°C 이상의 열 처리를 1번 행한 후, 그 후의 공정에 있어서, 300°C 이상의 열 처리를 행하더라도 TFT 특성은 거의 변동하지 않는다. 즉, 산화물 반도체층 성막 직후로부터 산화물 반도체층 위에 접하여 제 2 절연막을 형성하기 직전까지의 동안에 1번도 가열 처리를 행하지 않고, 기판 위의 산화물 반도체층 위에 접하여 제 2 절연막을 형성한 후에 가열 처리를 행하는 프로세스 순서로 함으로써, 제 2 절연막 성막 후의 프로세스에 있어서, 복수 회수의 300°C 이상의 열 처리를 행하는 것이 가능하다.

[0065] 또한, "제 1", "제 2"라고 붙인 서수사(序數詞)는, 편의상 사용하는 것이며, 공정 순서 또는 적층 순서를 나타내는 것이 아니다. 또한, 본 명세서에 있어서 발명을 특정하기 위한 사항으로서 고유의 명칭을 나타내는 것이 아니다.

발명의 효과

[0066] 가열 처리를 행하는 공정을 산화물 반도체층 위에 형성하는 무기 절연막의 성막 후에 1번 행함으로써, 양호한 TFT 특성을 얻을 수 있고, 무기 절연막의 성막 전후에 2번의 가열 처리를 행하는 경우와 비교하여 편차를 억제 할 수 있다.

도면의 간단한 설명

[0067] 도 1a 내지 도 1d는 본 발명의 일 형태를 도시하는 단면 공정도.

도 2는 본 발명의 일 형태를 나타내는 박막 트랜지스터의 전기 특성을 도시하는 도면.

도 3은 제 1 비교예인 박막 트랜지스터의 전기 특성을 도시하는 도면.

도 4는 제 2 비교예인 박막 트랜지스터의 전기 특성을 도시하는 도면.

도 5는 절연층 중에 있어서의 수소 밀도, 질소 밀도의 SIMS 분석 결과에 대해서 도시하는 도면.

도 6a 및 도 6b는 본 발명의 일 형태를 나타내는 박막 트랜지스터의 전기 특성을 도시하는 도면.

도 7은 비교예인 박막 트랜지스터의 전기 특성을 도시하는 도면.

도 8a 및 도 8b는 본 발명의 일 형태를 나타내는 반도체 장치의 제작 방법을 설명하는 도면.

도 9a 내지 도 9c는 본 발명의 일 형태를 나타내는 반도체 장치의 제작 방법을 설명하는 도면.

도 10은 본 발명의 일 형태를 나타내는 반도체 장치의 제작 방법을 설명하는 도면.

도 11은 본 발명의 일 형태를 나타내는 반도체 장치의 제작 방법을 설명하는 도면.

도 12는 본 발명의 일 형태를 나타내는 반도체 장치의 제작 방법을 설명하는 도면.

도 13은 본 발명의 일 형태를 나타내는 반도체 장치를 설명하는 도면.

도 14a1, 도 14a2, 도 14b1, 및 도 14b2는 본 발명의 일 형태를 나타내는 반도체 장치를 설명하는 도면.

도 15는 본 발명의 일 형태를 나타내는 반도체 장치를 설명하는 도면.

도 16은 본 발명의 일 형태를 나타내는 화소 회로를 도시하는 도면.

도 17a 내지 도 17c는 본 발명의 일 형태를 도시하는 단면도.

도 18a 및 도 18b는 본 발명의 일 형태를 도시하는 단면도 및 외관도.

도 19a 및 도 19b는 본 발명의 일 형태를 도시하는 외관도.

도 20a 및 도 20b는 본 발명의 일 형태를 도시하는 외관도.

발명을 실시하기 위한 구체적인 내용

[0068]

이하에서는, 본 발명의 실시형태에 대해서 도면을 사용하여 자세히 설명한다. 다만, 본 발명은 이하의 설명에 한정되지 않고, 그 형태 및 상세한 사항을 다양하게 변경될 수 있다는 것은 당업자라면 용이하게 이해할 수 있다. 또한, 본 발명은 이하에 나타내는 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다.

[0069]

(실시형태 1)

[0070]

우선, 절연 표면을 갖는 기판(400) 위에 게이트 전극층(401)을 형성하고, 게이트 전극층(401)을 덮는 게이트 절연층(403)을 형성한다.

[0071]

게이트 전극층(401)은, 알루미늄, 구리, 몰리브덴, 티타늄, 크롬, 탄탈, 텅스텐, 네오디뮴, 스칸듐 등의 금속 재료, 또는 이들의 금속 재료를 주성분으로 하는 합금 재료, 또는 이들의 금속 재료를 성분으로 하는 질화물을 사용하여 단층 또는 적층으로 형성할 수 있다.

[0072]

예를 들어, 게이트 전극층(401)의 적층 구조로서는, 알루미늄층 위에 몰리브덴층이 적층된 2층의 적층 구조, 또는 구리층 위에 몰리브덴층을 적층한 2층 구조, 또는 구리층 위에 질화티타늄층 또는 질화탄탈층을 적층한 2층 구조, 질화티타늄층과 몰리브덴층을 적층한 2층 구조로 하는 것이 바람직하다. 3층의 적층 구조로서는, 텅스텐층 또는 질화텅스텐층과, 알루미늄과 실리콘의 합금층 또는 알루미늄과 티타늄의 합금층과, 질화티타늄층 또는 티타늄층을 적층한 구조로 하는 것이 바람직하다.

[0073]

본 실시형태에서는, 텅스텐 타깃을 사용한 스퍼터법으로 150nm의 도전막을 형성한다.

[0074]

게이트 절연층(403)은, 플라즈마 CVD법 또는 스퍼터법을 사용하여 형성한다. 게이트 절연층(403)은, CVD법 또는 스퍼터법 등을 사용하여 산화실리콘층, 질화실리콘층, 산화질화실리콘층 또는 질화산화실리콘층을 단층 또는 적층으로 형성할 수 있다. 적층하는 경우에는, 적어도 산화실리콘을 포함하는 막이 후에 형성하는 산화물 반도체층과 접하는 게이트 절연층(403)이 되는 것이 바람직하다. 또한, 게이트 절연층(403)으로서 유기 실란 가스를 사용한 CVD법에 의하여 산화실리콘층을 형성할 수도 있다.

[0075]

본 실시형태에서는, 플라즈마 CVD법에 의하여 200nm의 절연막을 형성한다. 성막 조건은, 실란 가스의 유량

4sccm로 하고, 일산화이질소(N_2O)의 유량 800sccm로 하고, 기판 온도 400°C로 한다.

[0076] 다음에, 도 1a에 도시하는 바와 같이, 게이트 절연막을 통하여 게이트 전극과 중첩하는 위치에 산화물 반도체층(405)을 형성한다. 산화물 반도체층(405)은 스퍼터법에 의하여 성막한 후, 선택적으로 노광하여 형성한 레지스트 마스크를 사용하여 선택적으로 에칭함으로써 얻어진다. 산화물 반도체층(405)은, In-Ga-Zn-O계, In-Sn-Zn-O계, Sn-Ga-Zn-O계, In-Zn-O계, Sn-Zn-O계, In-O계, Sn-O계, Zn-O계의 산화물 반도체를 적용할 수 있다. 또한, 산화물 반도체층(405)은 결정화를 저해(沮害)하기 위하여, SiO_x 을 포함하는 산화물 반도체 타깃을 사용하여 산화실리콘을 포함하는 산화물 반도체층으로 하여도 좋다.

[0077] 본 실시형태에서는, 산화물 반도체층(405)으로서 In(인듐), Ga(갈륨), 및 Zn(아연)을 포함하는 산화물 반도체 타깃(mol수 비율로 $In_2O_3:Ga_2O_3:ZnO=1:1:1$)을 사용한 스퍼터법에 의하여 얻어지는 막 두께 50nm의 In-Ga-Zn-O계 비단결정막을 사용한다. 본 실시형태에서는, DC 스퍼터법을 사용하여 아르곤의 유량 30sccm로 하고, 산소의 유량 15sccm로 하고, 기판 온도는 실온으로 한다.

[0078] 다음에, 게이트 절연층(403) 및 산화물 반도체층(405) 위에 도전막을 형성한다. 도전막의 재료로서는, Al, Cr, Ta, Ti, Mo, W 중에서 선택된 원소, 또는 상술한 원소를 성분으로 하는 합금 또는 상술한 원소를 조합한 합금막 등을 들 수 있다. 또한, 도전막에 Nd(네오디뮴)이나 Sc(스칸듐)이나 Si(실리콘)을 포함시켜도 좋다. 또한, 도전막은 상술한 원소를 성분으로 하는 질화물로 형성한다.

[0079] 본 실시형태에서는, 도전막으로서 티타늄막과 알루미늄막의 적층 구조로 한다. 또한, 도전막은 단층 구조로 하여도 좋고, 또한 알루미늄막 위에 적층하여 3층 이상의 적층으로 하여도 좋다. 본 실시형태에서는, 막 두께 50nm의 티타늄막과, 막 두께 200nm의 순 알루미늄막과, 막 두께 50nm의 알루미늄 합금막의 3층으로 한다. 또한, 도전막의 성막에 있어서의 기판 온도는 실온이다.

[0080] 도전막을 형성한 후, 포토리소그래피 공정을 행하여 레지스트 마스크를 형성하고, 에칭에 의하여 불필요한 부분을 제거하여 소스 전극층(409) 및 드레인 전극층(410)을 형성한다.

[0081] 또한, 소스 전극층(409) 및 드레인 전극층(410)의 형성시에 있어서의 에칭, 또는 소스 전극층(409) 및 드레인 전극층(410)을 마스크로 하는 산화물 반도체층(405)의 에칭을 행한다. 산화물 반도체층(405)의 노출 영역을 일부 에칭하여 도 1b의 상태를 얻을 수 있다.

[0082] 다음에, 도 1c에 도시하는 바와 같이, 소스 전극층(409) 및 드레인 전극층(410) 위에 산화실리콘을 포함하는 절연막(452)을 형성한다. 산화실리콘을 포함하는 절연막(452)은, 산화물 반도체층(405)의 일부(노출 영역)에 접한다. 산화실리콘을 포함하는 절연막(452)은 막 중에 포함되는 수소 밀도는 $5 \times 10^{20}/cm^3$ 이상이며, SIMS 분석에 의거하는 것으로 한다. 또한, 산화물 반도체층을 덮는 산화실리콘을 포함하는 절연막(452)에 있어서, 막 중에 포함되는 질소 밀도는, $1 \times 10^{19}/cm^3$ 이상으로 한다. 수소 밀도가 $5 \times 10^{20}/cm^3$ 이상, 또는 질소 밀도가 $1 \times 10^{19}/cm^3$ 이상인 산화물 반도체층을 덮는 산화실리콘을 포함하는 절연막(452)은, CVD법 또는 스퍼터법 등을 사용하여 형성한다. 또한, 산화실리콘을 포함하는 절연막(452)은 적층막이라도 좋다.

[0083] 본 실시형태에서는, 플라즈마 CVD법에 의하여 300nm의 산화실리콘을 포함하는 절연막을 형성한다. 성막 조건은, 실란 가스의 유량 25sccm로 하고, 일산화이질소(N_2O)의 유량 1000sccm로 하고, 압력 133Pa로 하고, 기판 온도 200°C로 한다.

[0084] 산화실리콘을 포함하는 절연막(452)을 형성한 후, 도 1d에 도시하는 바와 같이, 300°C 내지 600°C의 열 처리(광어닐도 포함한다)를 행한다. 여기서는 노에 넣고 대기 분위기하에서 350°C, 1시간의 처리를 행한다. 또한, 이 열 처리에 의하여 In-Ga-Zn-O계 비단결정막의 원자 래밸의 재배열이 행해져 산화물 반도체층(450)이 된다. 또한, 이 열 처리에 의하여 산화실리콘을 포함하는 절연막(452)의 막 중에 포함되는 결함을 저감한다.

[0085] 상기 공정에 의하여 얻어지는 박막 트랜지스터의 전기 특성을 도 2에 도시한다.

[0086] 또한, 산화실리콘을 포함하는 절연막(452)의 SIMS 분석으로 얻어진 수소 밀도와 질소 농도를 표 1에 나타낸다.

[0087] [표 1]

350°C, 1h 대기 베이크	산화물 반도체 총 중의 H 밀도 [/ cm^3]	절연막 H 밀도 [/ cm^3]	증의	산화물 반도 체총 중의 N 밀도 [/ cm^3]	절연막 증의 N 밀도 [/ cm^3]
없음	1×10^{21}	2×10^{21}		2×10^{19}	1.5×10^{21}
있음	1×10^{21}	2×10^{21}		1.5×10^{19}	6×10^{20}

[0088] 표 1에 나타내는 바와 같이, 산화실리콘을 포함하는 절연막(452)의 SIMS 분석에 의하여 얻어진 수소 밀도의 평균값은 $2 \times 10^{21}/\text{cm}^3$ 이며, 질소 밀도는 $1.5 \times 10^{21}/\text{cm}^3$ 이었다. 표 1에 나타내는 바와 같이, 산화실리콘을 포함하는 절연막(452) 성막 후에 350°C, 1시간의 열 처리의 유무에 따라 산화실리콘을 포함하는 절연막(452) 중의 수소 밀도에 큰 변화는 없었다. 또한, 산화실리콘을 포함하는 절연막(452) 성막 후에 350°C, 1시간의 열 처리를 행한 산화실리콘을 포함하는 절연막(452) 중의 질소 밀도는 $6 \times 10^{20}/\text{cm}^3$ 이었다. 또한, 산화실리콘을 포함하는 절연막(452) 성막 후에 350°C, 1시간의 열 처리를 행한 산화물 반도체총(450)의 SIMS 분석에 의하여 얻어진 수소 밀도의 평균값은 $1 \times 10^{21}/\text{cm}^3$ 이며, 질소 밀도는 $1.5 \times 10^{19}/\text{cm}^3$ 이었다. 표 1에 나타내는 바와 같이, 열 처리의 유무에 따라 산화물 반도체총 중의 수소 밀도 및 질소 밀도에 큰 변화는 없었다.

[0089] [0090] 또한, 2차 이온 질량 분석법에 의하여 측정한 절연층(시료 1) 중의 수소 밀도 및 질소 밀도의 프로파일을 도 5에 나타낸다. 도 5에 있어서, 가로 축은 깊이(nm)를 나타내고, 세로 축은 밀도(atoms/cm³)를 나타낸다. 또한, 도 5에 있어서, 실선(實線)은 수소 밀도의 프로파일을 나타내고, 파선(破線)은 질소 밀도의 프로파일을 나타낸다.

[0091] 또한, 제 1 비교예로서, 산화실리콘을 포함하는 절연막(452)의 성막 후, 열 처리를 행하지 않은 경우의 박막 트랜지스터의 전기 특성을 도 3에 도시한다. 또한, 그 이외의 제작 공정은, 도 2에 도시하는 특성을 갖는 박막 트랜지스터의 제작 방법과 동일하다. 도 3에 도시하는 바와 같이, 열 처리를 행하지 않는 경우, 게이트 전압을 변화시켜도 박막 트랜지스터를 오프로 하는 것이 어렵고, 이러한 전기 특성에 있어서는, 스위칭 소자로서 기능시키는 것이 어렵다.

[0092] 또한, 제 2 비교예로서, 산화실리콘을 포함하는 절연막(452)의 성막 전에 350°C, 1시간의 가열 처리를 행하고, 산화실리콘을 포함하는 절연막(452)의 성막 후, 350°C, 1시간의 가열 처리를 더 행하고, 합계 2번의 가열 처리를 행한 경우의 전기 특성을 도 4에 도시한다. 또한, 그 이외의 제작 공정은 도 2에 도시하는 특성을 갖는 박막 트랜지스터의 제작 방법과 마찬가지다. 도 4에 도시하는 바와 같이, 2번의 가열 처리를 행한 경우, TFT 특성의 편차가 증대하고, 또한, 합계 2번의 가열 처리를 행한 경우는 오프 전류도 증대하는 결과를 얻었다. 또한, 합계 2번의 가열 처리를 행한 경우, 합계의 공정수가 증가하고, 합계의 공정에 걸리는 시간도 증대한다.

[0093] 따라서, 산화물 반도체총을 덮는 산화실리콘을 포함하는 절연막(452)의 성막 후에 1번의 가열 처리에 의하여 산화물 반도체총(405) 및 산화실리콘을 포함하는 절연막(452)의 막질 향상을 도모하는 것은 유용하다.

[0094] 또한, 제 2 비교예에 있어서의 산화실리콘을 포함하는 절연막의 SIMS 분석에 의하여 얻어진 수소 밀도의 평균값은 $2 \times 10^{21}/\text{cm}^3$ 이었다. 또한, 질소 밀도는 $1.5 \times 10^{21}/\text{cm}^3$ 이었다.

[0095] (실시형태 2)

[0096] 본 실시형태에서는, 가열 처리를 램프 광원을 사용하여 행하는 예를 나타낸다.

[0097] 실시형태 1과는 열 처리의 공정에 있어서 램프 광원을 사용하는 것 이외는 동일하기 때문에, 자세한 설명은 생략한다.

[0098] 산화물 반도체총을 덮는 산화실리콘을 포함하는 절연막(452)의 성막 후에 램프 광원을 사용하여 가열 처리를 행한다. 또한, 산화물 반도체총을 덮는 산화실리콘을 포함하는 절연막(452)에 포함되는 수소 밀도는, $5 \times 10^{20}/\text{cm}^3$ 이상이며, 질소 밀도는 $1 \times 10^{19}/\text{cm}^3$ 이상이다. 이 가열 처리는 대기 분위기하, 또는 질소 분위기하에서 행한다. 또한, 램프 광원의 점등과 소등을 복수 회수 반복하는 경우에 있어서도, 가열 처리는 1번으로 한다.

[0099] 램프 광원으로서는, 할로겐 램프, 메탈 할라이드 램프, 크세논 아크 램프, 카본 아크 램프, 고압 나트륨 램프, 또는 고압 수은 램프를 사용한다. 이들을 광원으로 하는 강광(強光)에 의한 가열 처리법은, 순간 열 어닐

(Rapid Thermal Anneal: 이하, RTA라고 기재한다)이라고 불리고, 수십초 내지 수마이크로초 동안에 순간적으로 열을 가하여 행하는 열 처리 기술이다.

[0100] 램프 광원을 사용함으로써, 노나 핫 프레이트를 사용하는 경우보다 단시간으로 가열 처리를 행할 수 있다. 램프 광원을 사용하는 경우에 있어서도, 산화물 반도체층의 온도와 산화실리콘을 포함하는 절연막(452)의 온도의 양쪽 모두가 300°C 내지 600°C가 되도록 온도 범위를 설정한다.

[0101] 또한, 단시간의 가열이기 때문에, 산화물 반도체층의 결정화가 생기기 어렵고, 산화물 반도체층의 비정질 구조를 유지할 수 있다. 또한, 산화실리콘을 포함하는 절연막(452)으로 산화물 반도체층을 덮은 상태로 가열을 행하기 때문에, 산화물 반도체층의 결정화가 생기기 어렵다.

[0102] 또한, 상술한 수소 밀도 또는 질소 밀도를 충족시키는 산화실리콘을 포함하는 절연막(452)을 산화물 반도체층 위에 접하여 형성하고, 산화물 반도체층 성막 직후로부터 산화물 반도체층 위에 접하여 산화실리콘을 포함하는 절연막(452)을 형성하기 직전까지의 동안에 300°C 이상의 가열 처리를 1번도 행하지 않았기 때문에, 산화실리콘을 포함하는 절연막(452)의 성막 후에 300°C 내지 600°C의 가열 처리를 행하더라고, TFT 특성의 편차를 억제할 수 있다.

[0103] 본 실시형태는 실시형태 1과 자유롭게 조합할 수 있다.

[0104] (실시형태 3)

[0105] 본 실시형태에서는, 박막 트랜지스터 및 그 제작 공정에 대해서 도 8a 내지 도 14b2를 사용하여 설명한다.

[0106] 도 8a에 있어서, 투광성을 갖는 기판(100)에는 바륨보로실리케이트 유리나, 알루미노보로실리케이트 유리와 같은 유리 기판을 사용할 수 있다.

[0107] 다음에, 도전층을 기판(100)의 전체 면에 형성한 후, 제 1 포토리소그래피 공정을 행하여 레지스트 마스크를 형성하고, 예칭에 의하여 불필요한 부분을 제거하여 배선 및 전극(게이트 전극(101)을 포함하는 게이트 배선, 용량 배선(108), 및 제 1 단자(121))을 형성한다. 이 때, 적어도 게이트 전극(101)의 단부에 테이퍼 형상이 형성되도록 예칭한다. 이 단계에서의 단면도를 도 8a에 도시한다. 또한, 이 단계에서의 상면도가 도 10에 상당한다.

[0108] 게이트 전극(101)을 포함하는 게이트 배선과 용량 배선(108), 단자부의 제 1 단자(121)는, 티타늄(Ti), 탄탈(Ta), 텅스텐(W), 몰리브덴(Mo), 크롬(Cr), 네오디뮴(Nd), 알루미늄(Al), 구리(Cu) 중에서 선택된 원소, 또는 상술한 원소를 성분으로 하는 합금, 또는 상술한 원소를 조합한 합금막, 또는 상술한 원소를 성분으로 하는 질화물막으로 형성한다.

[0109] 다음에, 게이트 전극(101) 위에 게이트 절연층(102)을 전체 면에 성막한다. 게이트 절연층(102)은 스퍼터법 등을 사용하여 막 두께를 50nm 내지 250nm로 한다.

[0110] 예를 들어, 게이트 절연층(102)으로서 PCVD법 또는 스퍼터법에 의하여 산화실리콘막을 사용하여 100nm의 두께로 형성한다. 물론, 게이트 절연층(102)은 이러한 산화실리콘막에 한정되지 않고, 산화질화실리콘막, 질화실리콘막, 산화알루미늄막, 산화탄탈막 등의 다른 절연막을 사용하여 이들의 재료로 이루어지는 단층 또는 적층 구조로 하여 형성하여도 좋다. 다만, 게이트 절연층(102)을 단층으로 하는 경우, 후에 형성하는 산화물 반도체층과 접하기 때문에, 산화실리콘막 또는 산화질화실리콘막으로 하는 것이 바람직하다. 또한, 게이트 절연층(102)을 적층으로 하는 경우, 후에 형성하는 산화물 반도체층과 접하는 층은, 산화실리콘막 또는 산화질화실리콘막으로 하는 것이 바람직하다.

[0111] 다음에, 게이트 절연층(102) 위에 금속 재료로 이루어지는 도전막을 스퍼터법이나 진공 증착법으로 형성한다. 도전막의 재료로서는, Al, Cr, Ta, Ti, Mo, W 중에서 선택된 원소, 또는 상술한 원소를 성분으로 하는 합금 또는 상술한 원소를 조합한 합금막 등을 들 수 있다. 여기서는, 도전막으로서 알루미늄(Al)막과, 그 알루미늄(Al)막 위에 중첩하여 티타늄(Ti)막을 적층한다. 또한, 도전막은 2층 구조로 하여도 좋고, 텅스텐막 위에 티타늄막을 적층하여도 좋다. 또한, 도전막은 실리콘을 포함하는 알루미늄막의 단층 구조나 텅스텐막의 단층 구조로 하여도 좋다.

[0112] 다음에, 도전막 위에 제 1 산화물 반도체막(본 실시형태에서는 제 1 In-Ga-Zn-O계 비단결정막)을 스퍼터법으로 형성한다. 여기서는, mol수 비율로 $In_2O_3:Ga_2O_3:ZnO=1:1:1$ 로 한 타깃을 사용하고, 성막 조건은 압력을 0.4Pa로 하고, 전력을 500W로 하고, 성막 온도를 실온으로 하고, 아르곤 가스 유량 40sccm을 도입하여 스퍼터 성막을 행

한다. mol수 비율로 $In_2O_3:Ga_2O_3:ZnO=1:1:1$ 로 한 타깃을 의도적으로 사용하고 있음에도 불구하고, 성막 직후에 크기 1nm 내지 10nm의 결정립을 포함하는 In-Ga-Zn-O계 비단결정막이 형성되는 일이 있다. 또한, 타깃의 성분 비율, 성막 압력(0.1Pa 내지 2.0Pa), 전력(250W 내지 3000W: 8인치), 온도(실온 내지 100°C), 반응성 스퍼터의 성막 조건 등을 적절히 조절함으로써 결정립의 유무나 결정립의 밀도나, 직경 사이즈는 1nm 내지 10nm의 범위로 조절할 수 있다고 말할 수 있다. 제 1 In-Ga-Zn-O계 비단결정막의 막 두께는, 5nm 내지 20nm로 한다. 물론, 막 중에 결정립이 포함되는 경우, 포함되는 결정립의 사이즈가 막 두께를 초과하는 크기가 되지 않는다. 본 실시형태에서는, 제 1 In-Ga-Zn-O계 비단결정막의 막 두께는 5nm로 한다.

[0113] 다음에, 제 2 포토리소그래피 공정을 행하여 레지스트 마스크를 형성하여 제 1 In-Ga-Zn-O계 비단결정막을 에칭한다. 여기서는, ITO07(KANTO CHEMICAL CO., INC 제조)을 사용한 웨트 에칭에 의하여, 불필요한 부분을 제거하여 제 1 In-Ga-Zn-O계 비단결정막(111a, 111b)을 형성한다. 또한, 여기서의 에칭은 웨트 에칭에 한정되지 않고, 드라이 에칭을 사용하여도 좋다.

[0114] 다음에, 제 1 In-Ga-Zn-O계 비단결정막의 에칭과 같은 레지스트 마스크를 사용하여 에칭에 의하여 불필요한 부분을 제거하여 소스 전극층(105a) 및 드레인 전극층(105b)을 형성한다. 이 때의 에칭 방법으로서, 웨트 에칭 또는 드라이 에칭을 사용한다. 여기서는, SiCl₄와 Cl₂와 BCl₃의 혼합 가스를 반응 가스로 한 드라이 에칭에 의하여 Al막과 Ti막을 적층한 도전막을 에칭하여 소스 전극층(105a) 및 드레인 전극층(105b)을 형성한다. 이 단계에서의 단면도를 도 8b에 도시한다. 또한, 이 단계에서의 상면도가 도 11에 상당한다.

[0115] 또한, 이 제 2 포토리소그래피 공정에 있어서, 소스 전극층(105a) 및 드레인 전극층(105b)과 같은 재료인 제 2 단자(122)를 단자부에 남긴다. 또한, 제 2 단자(122)는 소스 배선(소스 전극층(105a)을 포함하는 소스 배선)과 전기적으로 접속된다. 또한, 단자부에 있어서, 제 2 단자(122)의 상방에 존재하고, 또 제 2 단자와 중첩하는 제 1 In-Ga-Zn-O계 비단결정막(123)은 잔존한다.

[0116] 또한, 용량부에 있어서는, 소스 전극층(105a) 및 드레인 전극층(105b)과 같은 재료인 용량 전극층(124)을 남긴다. 또한, 용량부에 있어서 용량 전극층(124)의 상방에 존재하고, 또 용량 전극층(124)과 중첩하는 제 1 In-Ga-Zn-O계 비단결정막(111c)은 잔존한다.

[0117] 다음에, 레지스트 마스크를 제거한 후, 대기에 노출시키지 않고, 제 2 산화물 반도체막(본 실시형태에서는 제 2 In-Ga-Zn-O계 비단결정막)을 형성한다. 플라즈마 처리 후, 대기에 노출시키지 않고, 제 2 In-Ga-Zn-O계 비단결정막을 형성하는 것은, 게이트 절연층과 반도체막의 계면에 먼지 등을 부착시키지 않는 점에서 유용하다. 여기서는, 직경 8인치의 In, Ga 및 Zn를 포함하는 산화물 반도체 타깃($In_2O_3:Ga_2O_3:ZnO=1:1:1$)을 사용하고, 기판과 타깃 사이의 거리를 170mm, 압력 0.4Pa, 직류(DC) 전원 0.5kW, 아르곤 또는 산소 분위기하에서 형성한다. 또한, 펄스 직류(DC) 전원을 사용하면, 먼지(성막시에 형성되는 분말 상태 또는 플레이크(flake) 상태의 물질)를 경감할 수 있고, 막 두께 분포도 균일하게 되기 때문에 바람직하다. 제 2 In-Ga-Zn-O계 비단결정막의 막 두께는, 5nm 내지 200nm로 한다. 본 실시형태에서는 제 2 In-Ga-Zn-O계 비단결정막의 막 두께는 100nm로 한다.

[0118] 제 2 In-Ga-Zn-O계 비단결정막은, 제 1 In-Ga-Zn-O계 비단결정막의 성막 조건과 상이하게 함으로써, 제 1 In-Ga-Zn-O계 비단결정막보다 전기 저항이 높은 막으로 한다. 예를 들어, 제 1 In-Ga-Zn-O계 비단결정막의 성막 조건에 있어서의 산소 가스 유량과 아르곤 가스 유량의 비율보다 제 2 In-Ga-Zn-O계 비단결정막의 성막 조건에 있어서의 산소 가스 유량이 차지하는 비율이 많은 조건으로 한다. 구체적으로는, 제 1 In-Ga-Zn-O계 비단결정막의 성막 조건은, 희 가스(아르곤, 또는 헬륨 등) 분위기하(또는 산소 가스 10% 이하, 아르곤 가스 90% 이상)로 하고, 제 2 In-Ga-Zn-O계 비단결정막의 성막 조건은 산소 혼합 분위기하(산소 가스 유량은 희 가스 유량보다 많다)로 한다.

[0119] 다음에, 제 3 포토리소그래피 공정을 행하여 레지스트 마스크를 형성하고, 에칭에 의하여 불필요한 부분을 제거하여 반도체층(103)을 형성한다. 여기서는, ITO07(KANTO CHEMICAL CO., INC 제조)을 사용한 웨트 에칭에 의하여 제 2 In-Ga-Zn-O계 비단결정막을 제거하여 반도체층(103)을 형성한다. 또한, 제 1 In-Ga-Zn-O계 비단결정막과 제 2 In-Ga-Zn-O계 비단결정막은 같은 에천트를 사용하여 에칭되기 때문에, 여기서의 에칭에 의하여 제 1 In-Ga-Zn-O계 비단결정막이 제거된다. 따라서, 제 2 In-Ga-Zn-O계 비단결정막으로 덮인 제 1 In-Ga-Zn-O계 비단결정막의 일부는 보호되지만, 도 9a에 도시하는 바와 같이, 노출되는 제 1 In-Ga-Zn-O계 비단결정막(111a, 111b)은 에칭되고, 소스 영역(104a), 드레인 영역(104b)이 형성된다. 또한, 반도체층(103)의 에칭은 웨트 에칭에 한정되지 않고, 드라이 에칭을 사용하여도 좋다. 상술한 공정으로 반도체층(103)을 채널 형성 영역으로 하는 막막 트랜지스터(170)가 제작된다. 이 단계에서의 단면도를 도 9a에 도시한다. 또한, 이 단계에서의 상면

도는 도 12에 상당한다.

[0120] 다음에, 레지스트 마스크를 제거하여 반도체층을 덮는 보호 절연막(107)을 형성한다. 또한, 반도체층과 접하는 보호 절연막(107)은 막 중에 포함되는 수소 밀도가 $5 \times 10^{20}/\text{cm}^3$ 이상인 것을 사용한다. 또는 반도체층과 접하는 보호 절연막(107)은, 막 중에 포함되는 질소 밀도가 $1 \times 10^{19}/\text{cm}^3$ 이상인 것을 사용한다. 보호 절연막(107)은 상기 수소 밀도 또는 상기 질소 밀도를 충족시킬 수 있으면, 특히 성막 방법은 한정되지 않고, 예를 들어, 플라즈마 CVD법이나 스퍼터법으로 형성한다. 산화실리콘막, 산화질화실리콘막을 사용한다. 다만, 보호절연막(107)의 성막시의 기판 온도는 300°C 이하로 한다.

[0121] 다음에, 보호 절연막(107)의 형성 후에 300°C 내지 600°C, 대표적으로는 300°C 내지 500°C의 열 처리를 행하는 것이 바람직하다. 여기서는, 노에 넣고, 질소 분위기하 또는 대기 분위기하에서 350°C, 1시간의 열 처리를 행한다. 이 열 처리에 의하여 In-Ga-Zn-O계 비단결정막의 원자 레벨의 재배열이 행해진다. 이 열 처리에 의하여 캐리어의 이동을 저해하는 변형이 해방되기 때문에, 여기서의 열 처리(광 어닐도 포함한다)는 중요하다.

[0122] 다음에, 제 4 포토리소그래피 공정을 행하여 레지스트 마스크를 형성하고, 보호 절연막(107)을 에칭함으로써 드레인 전극층(105b)에 도달하는 콘택트 홀(125)을 형성한다. 또한, 여기서의 에칭에 의하여 제 2 단자(122)에 도달하는 콘택트 홀(127)도 형성한다. 또한, 여기서의 에칭에 의하여 용량 전극층(124)에 도달하는 콘택트 홀(109)도 형성한다. 또한, 마스크 수를 산간하기 위해서, 같은 레지스트 마스크를 사용하여 게이트 절연층을 더 에칭하여 게이트 전극에 도달하는 콘택트 홀(126)도 같은 레지스트 마스크로 형성하는 것이 바람직하다. 이 단계에서의 단면도를 도 9b에 도시한다.

[0123] 다음에, 레지스트 마스크를 제거한 후, 투명 도전막을 형성한다. 투명 도전막의 재료로서는, 산화인듐(In_2O_3)이나, 산화인듐산화주석합금($\text{In}_2\text{O}_3-\text{SnO}_2$, ITO라고 약기한다) 등을 스퍼터법이나 진공 증착법 등을 사용하여 형성한다. 이러한 재료의 에칭 처리는 염산계의 용액에 의하여 행한다. 그러나, 특히 ITO의 에칭은 잔사(殘渣)가 발생하기 쉽기 때문에, 에칭 가공성을 개선하기 위해서 산화인듐산화아연합금($\text{In}_2\text{O}_3-\text{ZnO}$)을 사용하여도 좋다.

[0124] 다음에, 제 5 포토리소그래피 공정을 행하여 레지스트 마스크를 형성하고, 에칭에 의하여 불필요한 부분을 제거하여 화소 전극(110)을 형성한다.

[0125] 또한, 이 제 5 포토리소그래피 공정에 있어서, 용량부에 있어서의 게이트 절연층(102)을 유전체로 하여 용량 전극층(124)과 용량 배선(108)으로 유지 용량이 형성된다. 화소 전극(110)은 콘택트 홀(109)을 통하여 용량 전극층(124)과 전기적으로 접속한다.

[0126] 또한, 이 제 5 포토리소그래피 공정에 있어서, 제 1 단자 및 제 2 단자를 레지스트 마스크로 덮어 단자부에 형성된 투명 도전막(128, 129)을 남긴다. 투명 도전막(128, 129)은, FPC와의 접속에 사용되는 전극 또는 배선이 된다. 제 2 단자(122) 위에 형성된 투명 도전막(129)은 소스 배선의 입력 단자로서 기능하는 접속용의 단자 전극이다.

[0127] 다음에, 레지스트 마스크를 제거하여 이 단계에서의 단면도를 도 9c에 도시한다. 또한, 이 단계에서의 상면도가 도 13에 상당한다.

[0128] 또한, 도 14a1, 도 14a2는 이 단계에서의 게이트 배선 단자부의 단면도 및 상면도를 각각 도시한다. 도 14a1은 도 14a2 중의 C1-C2선에 따른 단면도에 상당한다. 도 14a1에 있어서, 보호 절연막(154) 위에 형성되는 투명 도전막(155)은, 입력 단자로서 기능하는 접속용의 단자 전극이다. 또한, 도 14a1에 있어서, 단자부에서는, 게이트 배선과 같은 재료로 형성되는 제 1 단자(151)와 소스 배선과 같은 재료로 형성되는 접속 전극(153)이 게이트 절연층(152)을 통하여 중첩하여 투명 도전막(155)에 의하여 도통시킨다. 또한, 도 9c에 도시한 투명 도전막(128)과 제 1 단자(121)가 접촉하는 부분이, 도 14a1의 투명 도전막(155)과 제 1 단자(151)가 접촉하는 부분에 대응한다.

[0129] 또한, 도 14b1, 도 14b2는 도 9c에 도시하는 소스 배선 단자부와 다른 소스 배선 단자부의 단면도 및 상면도를 각각 도시한다. 또한, 도 14b1은 도 14b2 중의 D1-D2선에 따른 단면도에 상당한다. 도 14b1에 있어서, 보호 절연막(154) 위에 형성되는 투명 도전막(155)은, 입력 단자로서 기능하는 접속용의 단자 전극이다. 또한, 도 14b1에 있어서, 단자부에서는, 게이트 배선과 같은 재료로 형성되는 전극(156)이 소스 배선과 전기적으로 접속되는 제 2 단자(150)의 하방에 게이트 절연층(152)을 통하여 중첩한다. 전극(156)은 제 2 단자(150)와 전기적으로 접속하지 않고, 전극(156)을 제 2 단자(150)와 다른 전위, 예를 들어, 플로팅, GND, OV 등으로 설정하면,

노이즈 대책을 위한 용량 또는 정전기 대책을 위한 용량을 형성할 수 있다. 또한, 제 2 단자(150)는 보호 절연 막(154)을 통하여 투명 도전막(155)과 전기적으로 접속된다.

[0130] 게이트 배선, 소스 배선, 및 용량 배선은 화소 밀도에 따라 복수 형성되는 것이다. 단자부에 있어서는, 게이트 배선과 같은 전위의 제 1 단자, 소스 배선과 같은 전위의 제 2 단자, 용량 배선과 같은 전위의 제 3 단자 등이 복수 나란히 배치된다. 각각의 단자의 수는 각각 임의의 수로 형성하면 좋고, 실시자가 적절히 결정하면 좋다.

[0131] 이렇게 하여 5번의 포토리소그래피 공정으로, 5장의 포토마스크를 사용하여, 보텀 게이트형의 n채널형 박막 트랜지스터인 박막 트랜지스터(170)를 갖는 화소부, 및 유지 용량을 완성시킬 수 있다. 그리고, 이들을 각각의 화소에 대응하여 매트릭스형으로 배치하여 화소부를 구성함으로써 액티브 매트릭스형의 표시 장치를 제작하기 위한 한쪽의 기판으로 할 수 있다. 본 명세서에서는, 편의상 이와 같은 기판을 액티브 매트릭스 기판이라고 부른다.

[0132] 액티브 매트릭스형의 액정 표시 장치를 제작하는 경우에는, 액티브 매트릭스 기판과, 대향 전극이 형성된 대향 기판의 사이에 액정층을 형성하고, 액티브 매트릭스 기판과 대향 기판을 고정한다. 또한, 대향 기판에 형성된 대향 전극과 전기적으로 접속하는 공통 전극을 액티브 매트릭스 기판 위에 형성하고, 공통 전극과 전기적으로 접속하는 제 4 단자를 단자부에 형성한다. 이 제 4 단자는, 공통 전극을 고정 전위, 예를 들어, GND, OV 등으로 설정하기 위한 단자이다.

[0133] 또한, 본 발명은 도 13의 화소 구성에 한정되지 않고, 도 13과 다른 상면도의 예를 도 15에 도시한다. 도 15에서는, 용량 배선을 형성하지 않고, 게이트 절연층을 유전체로 하여 제 1 화소의 게이트 배선과, 게이트 절연층을 통하여 중첩하는 제 1 화소와 인접하는 제 2 화소의 용량 전극층으로 유지 용량을 형성하는 예이고, 이 경우, 용량 배선 및 용량 배선과 접속하는 제 3 단자는 생략할 수 있다. 또한, 제 2 화소의 용량 전극층은 제 2 화소의 화소 전극과 전기적으로 접속된다. 또한, 도 15에 있어서, 도 13과 같은 부분에는 같은 부호를 사용하여 설명한다.

[0134] 액티브 매트릭스형의 액정 표시 장치에 있어서는 매트릭스형으로 배치된 화소 전극을 구동함으로써, 화면상에 표시 패턴이 형성된다. 자세하게는 선택된 화소 전극과 상기 화소 전극에 대응하는 대향 전극 사이에 전압이 인가됨으로써, 화소 전극과 대향 전극 사이에 배치된 액정층의 광학 변조가 행해지고, 이 광학 변조가 표시 패턴으로서 관찰자에게 인식된다.

[0135] 액정 표시 장치의 동화상 표시에 있어서, 액정 분자 자체의 응답이 늦기 때문에, 잔상이 생기거나, 또는 동화상의 흐릿함이 생긴다고 하는 문제가 있다. 액정 표시 장치의 동영상 특성을 개선하기 위하여, 전체 면 흑색 표시를 1프레임 간격으로 행하는, 소위 흑색 삽입이라고 불리는 구동 기술이 있다.

[0136] 또한, 수직 동기 주파수를 보통의 1.5배, 바람직하게는 2배 이상으로 함으로써, 동화상 특성을 개선하는, 소위 배속 구동이라고 불리는 구동 기술을 사용하여도 좋다.

[0137] 또한, 액정 표시 장치의 동화상 특성을 개선하기 위해서, 백라이트로서 복수의 LED(발광 다이오드) 광원 또는 복수의 EL 광원 등을 사용하여 면 광원을 구성하고, 면 광원을 구성하는 각 광원을 독립적으로 1프레임 기간 내에서 간헐 점등 구동하는 구동 기술도 있다. 면 광원으로서, 3종류 이상의 LED를 사용하여도 좋고, 백색 발광의 LED를 사용하여도 좋다. 독립적으로 복수의 LED를 제어할 수 있기 때문에, 액정층의 광학 변조의 변환 타이밍에 맞추어 LED의 발광 타이밍을 동기시킬 수도 있다. 이 구동 기술은, LED를 부분적으로 소등시킬 수 있기 때문에, 특히 일 화면을 차지하는 검은 표시 영역의 비율이 많은 영상 표시의 경우에는, 소비 전력의 저감 효과를 도모할 수 있다.

[0138] 이들의 구동 기술을 조합함으로써, 액정 표시 장치의 동화상 특성 등의 표시 특성을 종래보다도 개선할 수 있다.

[0139] 본 실시형태에서 얻어지는 n채널형 트랜지스터는, In-Ga-Zn-O계 비단결정막의 반도체층을 채널 형성 영역에 사용하여 양호한 동 특성을 갖기 때문에, 이들의 구동 기술을 조합할 수 있다.

[0140] 또한, 발광 표시 장치를 제작하는 경우, 유기 발광 소자의 한쪽의 전극(캐소드라고도 한다)은, 저전원 전위, 예를 들어 GND, OV 등으로 설정하기 위하여, 단자부에 캐소드를 저전원 전위, 예를 들어 GND, OV 등으로 설정하기 위한 제 4 단자가 형성된다. 또한, 발광 표시 장치를 제작하는 경우에는 소스 배선 및 게이트 배선에 더하여 전원 공급선을 형성한다. 따라서, 단자부에는 전원 공급선과 전기적으로 접속하는 제 5 단자를 형성한다.

[0141] 본 실시형태에서는, 게이트 전극층, 게이트 절연층, 소스 전극층 및 드레인 전극층, 소스 영역 또는 드레인 영

역(In, Ga, 및 Zn을 포함하는 산화물 반도체층), 반도체층(In, Ga, 및 Zn을 포함하는 산화물 반도체층)의 적층 구조를 갖는 박막 트랜지스터로 하고, 보호 절연막 형성 후에 열 처리를 행함으로써, 전기 특성의 편차를 저감 할 수 있다.

[0142] 본 실시형태에 의하여, 온·오프 비율이 높은 박막 트랜지스터를 얻을 수 있고, 양호한 동 특성을 갖는 박막 트랜지스터를 제작할 수 있다. 따라서, 전기 특성이 높고 신뢰성이 좋은 박막 트랜지스터를 갖는 반도체 장치를 제공할 수 있다.

[0143] (실시형태 4)

[0144] 본 실시형태에서는, 반도체 장치로서 발광 표시 장치의 일례를 나타낸다. 표시 장치가 갖는 표시 소자로서는, 여기서는 일렉트로루미네센스를 이용하는 발광 소자를 사용하여 나타낸다. 일렉트로루미네센스를 이용하는 발광 소자는, 발광 재료가 유기 화합물인지, 무기 화합물인지에 따라 구별되고, 전자는 유기 EL 소자, 후자는 무기 EL 소자라고 불린다.

[0145] 유기 EL 소자는, 발광 소자에 전압을 인가함으로써 한 쌍의 전극으로부터 전자 및 정공이 각각 발광성의 유기 화합물을 함유하는 층에 주입되어, 전류가 흐른다. 그리고, 그 캐리어(전자 및 정공)들이 재결합함으로써, 발광성의 유기 화합물이 여기 상태를 형성하고, 그 여기 상태가 기저 상태(基底狀態)로 되돌아올 때에 발광한다. 이러한 메커니즘에 의거하여 이러한 발광 소자는 전류 여기형의 발광 소자라고 불린다.

[0146] 무기 EL 소자는 그 소자 구성에 의하여, 분산형 무기 EL 소자와 박막형 무기 EL 소자로 분류된다. 분산형 무기 EL 소자는 발광 재료의 입자를 바인더 중에 분산시킨 발광층을 갖는 것이고, 발광 메커니즘은 도너 준위와 억셉터 준위를 이용하는 도너-억셉터 재결합형 발광이다. 박막형 무기 EL 소자는, 발광층을 유전체층으로 끼우고 그것을 전극으로 더 끼운 구조이고, 발광 메커니즘은 금속 이온의 내각(內殼) 전자 천이를 이용하는 국재형 발광이다. 또한, 여기서는, 발광 소자로서 유기 EL 소자를 사용하여 설명한다.

[0147] 도 16은 반도체 장치의 예로서 디지털 시간 계조 구동을 적용할 수 있는 화소 구성의 일례를 도시하는 도면이다.

[0148] 디지털 시간 계조 구동을 적용할 수 있는 화소의 구성 및 화소의 동작에 대해서 설명한다. 여기서는, 산화물 반도체층(대표적으로는, In-Ga-Zn-O계 비단결정막)을 채널 형성 영역에 사용하는 n채널형 트랜지스터를 하나의 화소에 대하여 2개 사용하는 예를 나타낸다.

[0149] 화소(6400)는 스위칭용 트랜지스터(6401), 구동용 트랜지스터(6402), 발광 소자(6404) 및 용량 소자(6403)를 갖는다. 스위칭용 트랜지스터(6401)는 게이트가 주사선(6406)에 접속되고, 제 1 전극(소스 전극 및 드레인 전극의 한쪽)이 신호선(6405)에 접속되고, 제 2 전극(소스 전극 및 드레인 전극의 다른 쪽)이 구동용 트랜지스터(6402)의 게이트에 접속된다. 구동용 트랜지스터(6402)는 게이트가 용량 소자(6403)를 통하여 전원선(6407)에 접속되고, 제 1 전극이 전원선(6407)에 접속되고, 제 2 전극이 발광 소자(6404)의 제 1 전극(화소 전극)에 접속된다. 발광 소자(6404)의 제 2 전극은 공통 전극(6408)에 상당한다. 공통 전극(6408)은, 동일 기판 위에 형성되는 공통 전위선과 전기적으로 접속되고, 그 접속 부분을 공통 접속부로 하면 좋다.

[0150] 또한, 발광 소자(6404)의 제 2 전극(공통 전극(6408))에는 저전원 전위가 설정된다. 또한, 저전원 전위란, 전원선(6407)에 설정되는 고전원 전위를 기준으로 하여 저전원 전위가 고전원 전위보다 작은 전위이고, 저전원 전위로서는 예를 들어 GND, OV 등이 설정되어도 좋다. 이 고전원 전위와 저전원 전위의 전위차를 발광 소자(6404)에 인가하여, 발광 소자(6404)에 전류를 흘려 발광 소자(6404)를 발광시키기 위해서, 고전원 전위와 저전원 전위의 전위차가 발광 소자(6404)의 순방향 임계값 전압 이상이 되도록 각각의 전위를 설정한다.

[0151] 또한, 용량 소자(6403)는 구동용 트랜지스터(6402)의 게이트 용량을 대용하여 생략할 수도 있다. 구동용 트랜지스터(6402)의 게이트 용량에 대해서는, 채널 영역과 게이트 전극 사이에서 용량이 형성되어도 좋다.

[0152] 여기서, 전압 입력 전압 구동 방식의 경우에는, 구동용 트랜지스터(6402)의 게이트에는, 구동용 트랜지스터(6402)가 충분히 온하는지, 오프하는지의 2가지의 상태가 되는 비디오 신호를 입력한다. 즉, 구동용 트랜지스터(6402)는 선형 영역에서 동작시킨다. 구동용 트랜지스터(6402)는 선형 영역에서 동작시킴으로써, 전원선(6407)의 전압보다 높은 전압을 구동용 트랜지스터(6402)의 게이트에 가한다. 또한, 신호선(6405)에는, (전원선 전압+구동용 트랜지스터(6402)의 V_{th}) 이상의 전압을 가한다.

[0153] 또한, 디지털 시간 계조 구동 대신에, 아날로그 계조 구동을 행하는 경우, 신호의 입력을 다르게 함으로써, 도

16과 같은 화소 구성을 사용할 수 있다.

[0154] 아날로그 계조 구동을 행하는 경우, 구동용 트랜지스터(6402)의 게이트에 발광 소자(6404)의 순방향 전압+구동 용 트랜지스터(6402)의 V_{th} 이상의 전압을 가한다. 발광 소자(6404)의 순방향 전압이란, 원하는 휘도로 하는 경우의 전압을 가리키고, 적어도 순방향 임계값 전압을 포함한다. 또한, 구동용 트랜지스터(6402)가 포화 영역에서 동작하는 비디오 신호를 입력함으로써, 발광 소자(6404)에 전류를 흘릴 수 있다. 구동용 트랜지스터(6402)를 포화 영역에서 동작시키기 위하여, 전원선(6407)의 전위는 구동용 트랜지스터(6402)의 게이트 전위보다 높게 한다. 비디오 신호를 아날로그로 함으로써, 발광 소자(6404)에 비디오 신호에 따른 전류를 흘리고, 아날로그 계조 구동을 행할 수 있다.

[0155] 또한, 도 16에 도시하는 화소 구성은 이것에 한정되지 않는다. 예를 들어, 도 16에 도시하는 화소에 새롭게 스 위치, 저항 소자, 용량 소자, 트랜지스터 또는 논리 회로 등을 추가하여도 좋다.

[0156] 다음에, 발광 소자의 구성에 대해서 도 17a 내지 도 17c를 사용하여 설명한다. 여기서는, 구동용 TFT가 n형의 경우를 예로 들어, 화소의 단면 구조에 대하여 설명한다. 도 17a, 도 17b, 도 17c의 반도체 장치에 사용되는 구동용 TFT인 TFT(7001, 7011, 7021)는 실시형태 3에서 나타내는 박막 트랜지스터(170)와 동일하게 제작할 수 있고, 산화물 반도체막을 반도체층으로서 포함하는 박막 트랜지스터이다.

[0157] 발광 소자는 발광을 추출하기 위하여 양극과 음극 중의 적어도 한쪽이 투명하면 좋다. 그리고, 기판 위에 박막 트랜지스터 및 발광 소자를 형성하고, 기판과는 반대 측의 면으로부터 발광을 추출하는 상면 사출이나, 기판 측의 면으로부터 발광을 추출하는 하면 사출이나, 기판 측 및 기판과는 반대 측의 면으로부터 발광을 추출하는 양면 사출 구조의 발광 소자가 있고, 화소 구성은 어떠한 사출 구조의 발광 소자에도 적용할 수 있다.

[0158] 상면 사출 구조의 발광 소자에 대해서 도 17a를 사용하여 설명한다.

[0159] 도 17a에, 구동용 TFT인 TFT(7001)가 n형이며, 발광 소자(7002)로부터 방출되는 광이 양극(7005) 측으로 방출되는 경우의, 화소의 단면도를 도시한다. TFT(7001)는 반도체층으로서 산화실리콘을 포함하는 In-Ga-Zn-O계 비단 결정막을 사용한다. 산화실리콘 등의 불순물을 포함시킴으로써 300°C 내지 600°C의 열 처리를 행하더라도, 상기 산화물 반도체의 결정화 또는 미결정립의 생성을 방지할 수 있다. 도 17a에서는, 발광 소자(7002)의 음극(7003)과 구동용 TFT인 TFT(7001)가 전기적으로 접속되고, 음극(7003) 위에 발광층(7004), 양극(7005)이 순서대로 적층 된다. 음극(7003)은 일 함수가 작고, 또 광을 반사하는 도전막이라면 다양한 재료를 사용할 수 있다. 예를 들어, Ca, Al, MgAg, AlLi 등이 바람직하다. 그리고, 발광층(7004)은 단층으로 구성되어도 좋고, 복수의 층이 적층되도록 구성되어도 좋다. 복수층으로 구성되는 경우, 음극(7003) 위에 전자 주입층, 전자 수송층, 발광층, 흘 수송층, 흘 주입층의 순서로 적층한다. 또한, 이들 층을 모두 형성할 필요는 없다. 양극(7005)은 투광성을 갖는 도전성 재료를 사용하여 형성하고, 예를 들어 산화텅스텐을 포함하는 인듐산화물, 산화텅스텐을 포함하는 인듐아연산화물, 산화티타늄을 포함하는 인듐산화물, 산화티타늄을 포함하는 인듐주석산화물, 산화인듐산화주석합금, 인듐아연산화물, 산화실리콘을 첨가한 인듐주석산화물 등의 투광성을 갖는 도전막을 사용하여도 좋다.

[0160] 음극(7003) 및 양극(7005) 사이에 발광층(7004)을 끼우고 있는 영역이 발광 소자(7002)에 상당한다. 도 17a에 도시한 화소의 경우, 발광 소자(7002)로부터 방출되는 광은 화살표로 도시하는 바와 같이, 양극(7005) 측으로 사출된다.

[0161] 다음에, 하면 사출 구조의 발광 소자에 대하여 도 17b를 사용하여 설명한다. 구동용 TFT(7011)가 n형이고, 발광 소자(7012)로부터 방출되는 광이 음극(7013) 측으로 사출되는 경우의 화소의 단면도를 도시한다. TFT(7011)는 반도체층으로서 산화실리콘을 포함하는 Zn-O계 산화물 반도체를 사용한다. 산화실리콘 등의 불순물을 포함시킴으로써, 300°C 내지 600°C의 열 처리를 행하더라도 산화물 반도체의 결정화 또는 미결정립의 생성을 방지할 수 있다. 도 17b에서는, 구동용 TFT(7011)와 전기적으로 접속된 투광성을 갖는 도전막(7017) 위에, 발광 소자(7012)의 음극(7013)이 형성되고, 음극(7013) 위에 발광층(7014) 및 양극(7015)이 순차로 적층된다. 또한, 양극(7015)이 투광성을 갖는 경우, 양극 위를 덮도록, 광을 반사 또는 차폐하기 위한 차폐막(7016)이 성막되어도 좋다. 음극(7013)은, 도 17a의 경우와 마찬가지로, 일 함수가 작은 도전성 재료라면 다양한 재료를 사용할 수 있다. 다만, 그 막 두께는 광을 투과하는 정도(바람직하게는, 5nm 내지 30nm 정도)로 한다. 예를 들어, 20 nm의 막 두께를 갖는 알루미늄막을 음극(7013)으로서 사용할 수 있다. 그리고, 발광층(7014)은, 도 17a와 마찬가지로, 단층으로 구성되어도 좋고, 복수의 층이 적층되도록 구성되어도 좋다. 양극(7015)은 광을 투과할 필요는 없지만, 도 17a와 마찬가지로, 투광성을 갖는 도전성 재료를 사용하여 형성할 수 있다. 그리고 차폐막

(7016)은 예를 들어 광을 반사하는 금속 등을 사용할 수 있지만, 금속막에 한정되지 않는다. 예를 들어 흑색 안료를 첨가한 수지 등을 사용할 수도 있다.

[0162] 음극(7013) 및 양극(7015) 사이에 발광층(7014)을 끼우고 있는 영역이 발광 소자(7012)에 상당한다. 도 17b에 도시한 화소의 경우, 발광 소자(7012)로부터 방출되는 광은, 화살표로 도시하는 바와 같이 음극(7013) 측으로 사출한다.

[0163] 다음에, 양면 사출 구조의 발광 소자에 대해서, 도 17c를 사용하여 설명한다. 도 17c에서는, 구동용 TFT(702 1)와 전기적으로 접속된 투광성을 갖는 도전막(7027) 위에, 발광 소자(7022)의 음극(7023)이 형성되고, 음극(7023) 위에 발광층(7024), 양극(7025)이 순차로 적층된다. TFT(7021)는 반도체층으로서 In-Ga-Zn-O계 비단결 정막을 사용한다. 음극(7023)은, 도 17a의 경우와 마찬가지로, 일 함수가 작은 도전성 재료라면 다양한 재료를 사용할 수 있다. 다만, 그 막 두께는, 광을 투과하는 정도로 한다. 예를 들어, 20nm의 막 두께를 갖는 Al막을, 음극(7023)으로서 사용할 수 있다. 그리고, 발광층(7024)은, 도 17a와 마찬가지로, 단층으로 구성되어도 좋고, 복수의 층이 적층되도록 구성되어도 좋다. 양극(7025)은, 도 17a와 마찬가지로, 광을 투과하는 투광성을 갖는 도전성 재료를 사용하여 형성할 수 있다.

[0164] 음극(7023)과, 발광층(7024)과, 양극(7025)이 중첩하는 영역이 발광 소자(7022)에 상당한다. 도 17c에 도시한 화소의 경우, 발광 소자(7022)로부터 방출되는 광은 화살표로 도시하는 바와 같이, 양극(7025) 측과 음극(7023) 측의 양쪽으로 사출한다.

[0165] 또한, 여기서는, 발광 소자로서 유기 EL 소자에 대하여 설명했지만, 발광 소자로서 무기 EL 소자를 형성할 수도 있다.

[0166] 또한, 본 실시형태에서는, 발광 소자의 구동을 제어하는 박막 트랜지스터(구동용 TFT)와 발광 소자가 전기적으로 접속되는 예를 나타내지만, 구동용 TFT와 발광 소자의 사이에 전류 제어용 TFT가 접속되는 구성이라도 좋다.

[0167] 또한, 본 실시형태에서는, 보호 절연막 형성 후에 열 처리(300°C 내지 600°C)를 행함으로써, 인접하는 발광 소자의 양극의 단락을 방지하기 위해서 격벽을 형성할 때, 폴리이미드 등을 사용하는 격벽의 소성 온도를 300°C 로 하여 가열 처리를 행해도, 박막 트랜지스터의 전기 특성에 대한 영향을 억제하여 편차를 저감할 수 있다.

[0168] 상술한 공정에 의하여 반도체 장치로서 편차가 저감된 발광 표시 장치(표시 패널)를 제작할 수 있다.

[0169] (실시형태 5)

[0170] 본 실시형태에서는, 반도체 장치로서 전자 페이퍼의 일례를 나타낸다.

[0171] 도 18a는 액티브 매트릭스형의 전자페이퍼를 도시하는 단면도이다. 반도체 장치에 사용되는 표시부에 배치되는 박막 트랜지스터(581)로서는 실시형태 3에서 개시하는 박막 트랜지스터(170)와 동일하게 제작할 수 있고, 산화물 반도체막을 반도체층으로서 포함하는 전기 특성이 높은 박막 트랜지스터이다. 본 실시형태에서는, Sn-Zn-O계의 산화물 반도체를 반도체층으로서 포함하는 전기 특성이 높은 박막 트랜지스터를 사용한다.

[0172] 도 18a의 전자 페이퍼는 트위스트 볼 표시 방식을 사용한 표시 장치의 예이다. 트위스트 볼 표기 방식이란, 백색과 흑색으로 나누어 칠해진 구형 입자를 표시 소자에 사용하는 전극층인 제 1 전극층 및 제 2 전극층의 사이에 배치하고, 제 1 전극층 및 제 2 전극층에 전위차를 발생시켜 구형 입자의 방향을 제어함으로써, 표시를 행하는 방법이다.

[0173] 박막 트랜지스터(581)는, 보텀 게이트 구조의 박막 트랜지스터이고, 소스 전극층 또는 드레인 전극층에 의하여 제 1 전극층(587)과 절연층(583, 584, 585)에 형성되는 개구에서 접하여 전기적으로 접속된다. 제 1 전극층(587)과 제 2 전극층(588)의 사이에서는, 캐비티(594)가 존재한다. 캐비티(594) 내는, 흑색 영역(590a) 및 백색 영역(590b)을 갖는 구형 입자와 액체로 채워져 있다. 또한, 캐비티(594)의 주위는 수지 등의 충전재(595)로 충전된다(도 18a 참조).

[0174] 본 실시형태에 있어서는, 제 1 전극층(587)이 화소 전극에 상당하고, 제 2 전극층(588)이 공통 전극에 상당한다. 제 2 전극층(588)은, 박막 트랜지스터(581)와 동일 기판 위에 형성되는 공통 전위선과 전기적으로 접속된다. 공통 접속부에 있어서, 한 쌍의 기판(580, 596)간에 배치되는 도전성 입자를 통하여 제 2 전극층(588)과 공통 전위선을 전기적으로 접속할 수 있다.

[0175] 또한, 트위스트 볼 대신에, 전기 영동 소자를 사용할 수도 있다. 투명한 액체와, 양(正)으로 대전한 흰 미립자와 음(負)으로 대전한 검은 미립자를 봉입한 직경 $10\text{ }\mu\text{m}$ 내지 $200\text{ }\mu\text{m}$ 정도의 마이크로 캡슐을 사용한다. 제 1

전극층과 제 2 전극층의 사이에 형성되는 마이크로 캡슐은 제 1 전극층과 제 2 전극층에 의해서, 전장이 주어지면, 흰 미립자와, 검은 미립자가 반대의 방향으로 이동하고, 백 또는 흑을 표시할 수 있다. 이 원리를 응용한 표시 소자가 전기 영동 표시 소자이고, 전자 페이퍼라고 불리고 있다. 전기 영동 표시 소자는 액정 표시 소자와 비교하여 반사율이 높기 때문에, 보조 라이트는 불필요하고, 또한, 소비 전력이 작고, 어두컴컴한 장소에서도 표시부를 인식할 수 있다. 또한, 표시부에 전원이 공급되지 않는 경우라도, 한번 표시한 상을 유지하는 것이 가능하기 때문에, 전파 발신원으로부터 표시 기능이 딸린 반도체 장치(단순히 표시 장치, 또는 표시 장치를 구비하는 반도체 장치라고도 한다)를 멀리한 경우라도, 표시된 상을 보존해 두는 것이 가능해진다.

[0176] 실시형태 3에 나타내는 공정에 의하여 얻어지는 뛰어난 전기 특성을 갖는 박막 트랜지스터(170)를 사용하여, 전자 페이퍼를 제작할 수 있다. 전자 페이퍼는, 정보를 표시하는 것이라면 다양한 분야의 전자 기기에 사용할 수 있다. 예를 들어, 전자 페이퍼를 사용하여 전자 서적(전자 북), 포스터, 전차 등의 탈 것류의 차내 광고, 신용 카드 등의 각종 카드에 있어서의 표시 등에 적용할 수 있다. 전자 기기의 일례를 도 18b에 도시한다.

[0177] 도 18b는 전자 서적(2700)의 일례를 도시한다. 예를 들어, 전자 서적(2700)은 케이스(2701) 및 케이스(2703)의 2개의 케이스로 구성된다. 케이스(2701) 및 케이스(2703)는 축(軸)부(2711)에 의하여 일체화되어, 상기 축부(2711)를 축으로 하여 개폐(開閉) 동작을 행할 수 있다. 이러한 구성에 의하여 종이로 이루어진 서적과 같은 동작을 행할 수 있다.

[0178] 케이스(2701)에는 표시부(2705)가 조립되고, 케이스(2703)에는 표시부(2707)가 조립된다. 표시부(2705) 및 표시부(2707)는 연속된 화면을 표시하는 구성으로 하여도 좋고, 상이한 화면을 표시하는 구성으로 하여도 좋다. 상이한 화면을 표시하는 구성으로 함으로써, 예를 들어, 오른쪽의 표시부(도 18b에서는 표시부(2705))에 문장을 표시하고 왼쪽의 표시부(도 18b에서는 표시부(2707))에 화상을 표시할 수 있다.

[0179] 또한, 도 18b에서는, 케이스(2701)에 조작부 등을 구비한 예를 도시한다. 예를 들어, 하우징(2701)에 있어서, 전원(2721), 조작 키(2723), 스피커(2725) 등을 구비한다. 조작키(2723)에 의하여 페이지를 넘길 수 있다. 또한, 케이스의 표시부와 동일 면에 키보드나 포인팅 디바이스 등을 구비하는 구성으로 하여도 좋다. 또한, 케이스의 이면이나 축면에 외부 접속용 단자(이어폰 단자, USB 단자, 또는 AC 어댑터 및 USB 케이블 등의 각종 케이블과 접속할 수 있는 단자 등), 기록 매체 삽입부 등을 구비하는 구성으로 하여도 좋다. 또한, 전자 서적(2700)은, 전자 사전으로서의 기능을 구비한 구성으로 하여도 좋다.

[0180] 또한, 전자 서적(2700)은 무선으로 정보를 송수신할 수 있는 구성으로 하여도 좋다. 무선에 의하여 전자 서적 서버로부터 원하는 서적 데이터 등을 구입하고, 다운로드하는 구성으로 할 수도 있다.

[0181] 본 실시형태는 다른 실시형태에 기재한 구성과 적절히 조합하여 실시할 수 있다.

[0182] (실시형태 6)

[0183] 산화물 반도체층을 사용한 박막 트랜지스터를 포함하는 반도체 장치는, 다양한 전자 기기(유기기(遊技機)도 포함한다)에 적용할 수 있다. 전자 기기로서는, 예를 들어, 텔레비전 장치(텔레비전, 또는 텔레비전 수신기라고도 한다), 컴퓨터용 등의 모니터, 디지털 카메라, 디지털 비디오 카메라, 디지털 포토 프레임, 휴대 전화기(휴대 전화, 휴대 전화 장치라고도 한다), 휴대형 게임기, 휴대 정보 단말, 음향 재생 장치, 파친코기 등의 대형 게임기 등을 들 수 있다.

[0184] 도 19a는 텔레비전 장치(9600)의 일례를 도시한다. 텔레비전 장치(9600)는 케이스(9601)에 표시부(9603)가 조립된다. 표시부(9603)에 의하여 영상을 표시할 수 있다. 또한, 여기서는 벽(9600)에 고정하여 케이스의 뒷면을 지탱한 구성을 도시한다.

[0185] 텔레비전 장치(9600)의 조작은 케이스(9601)가 구비하는 조작 스위치나, 별개의 리모콘 조작기(9610)에 의하여 행할 수 있다. 리모콘 조작기(9610)가 구비하는 조작키(9609)에 의하여 채널이나 음량을 조작할 수 있고, 표시부(9603)에 표시되는 영상을 조작할 수 있다. 또한, 리모콘 조작기(9610)에 상기 리모콘 조작기(9610)로부터 출력하는 정보를 표시하는 표시부(9607)를 형성하는 구성으로 하여도 좋다.

[0186] 또한, 텔레비전 장치(9600)는 수신기나 모뎀 등을 구비한 구성으로 한다. 수신기에 의하여 일반 텔레비전 방송을 수신할 수 있고, 또한 모뎀을 통하여 유선 또는 무선에 의한 통신 네트워크에 접속함으로써, 일 방향(송신자로부터 수신자) 또는 쌍방향(송신자와 수신자간, 또는 수신자간끼리 등)의 정보 통신을 행하는 것도 가능하다.

[0187] 도 19b는 휴대형 유기기이며, 케이스(9881)와 케이스(9891)의 2개의 케이스로 구성되고, 연결부(9893)에 의하여 개폐(開閉)가 가능하도록 연결된다. 케이스(9881)에는, 표시부(9882)가 조립되고, 케이스(9891)에는 표시부

(9883)가 조립된다. 또한, 도 19b에 도시하는 휴대형 유기기는, 그 외에 스피커부(9884), 기록 매체 삽입부(9886), LED 램프(9890), 입력 수단(조작키(9885), 접속 단자(9887), 센서(9888)(힘, 변위, 위치, 속도, 가속도, 각속도, 회전수, 거리, 빛, 액, 자기, 온도, 화학물질, 음성, 시간, 경도, 전기장, 전류, 전압, 전력, 방사선, 유량, 습도, 경도, 진동, 냄새 또는 적외선을 측정하는 기능을 포함한 것), 마이크로폰(9889)) 등을 구비한다. 물론, 휴대형 유기기의 구성은 상술한 내용에 한정되지 않고, 적어도 반도체 장치를 구비한 구성이면 좋고, 그 이외 부속 설비가 적절히 설치된 구성으로 할 수 있다. 도 19b에 도시하는 휴대형 유기기는 기록 매체에 기록되는 프로그램 또는 데이터를 판독하여 표시부에 표시하는 기능이나, 다른 휴대형 유기기와 무선 통신을 행하여 정보를 공유하는 기능을 갖는다. 또한, 도 19b에 도시하는 휴대형 유기기가 갖는 기능은 이것에 한정되지 않고, 다양한 기능을 가질 수 있다.

[0188] 도 20a는 휴대 전화기(1000)의 일례를 도시한다. 휴대 전화기(1000)는 케이스(1001)에 조립된 표시부(1002) 외에, 조작 버튼(1003), 외부 접속 포트(1004), 스피커(1005), 마이크(1006) 등을 구비한다.

[0189] 도 20a에 도시하는 휴대 전화기(1000)는 표시부(1002)를 손가락 등으로 터치(touch)함으로써, 정보를 입력할 수 있다. 또한, 전화를 거는 조작, 또는 메일을 작성하는 조작 등은 표시부(1002)를 손가락 등에 의하여 터치함으로써 행할 수 있다.

[0190] 표시부(1002)의 화면은 주로 3개의 모드가 있다. 제 1 모드는 화상의 표시가 주된 표시 모드이고, 제 2 모드는 문자 등의 정보의 입력이 주된 입력 모드이다. 제 3 모드는 표시 모드와 입력 모드의 2개의 모드가 혼합된 표시+입력 모드이다.

[0191] 예를 들어, 전화를 거는 경우, 또는 메일을 작성하는 경우는, 표시부(1002)를 문자의 입력을 주로 하는 문자 입력 모드로 하고, 화면에 표시시킨 문자의 입력 조작을 행하면 좋다. 이 경우, 표시부(1002)의 화면의 대부분에 키보드 또는 번호 버튼을 표시시키는 것이 바람직하다.

[0192] 또한, 휴대 전화기(1000)의 내부에 자이로스코프(gyroscope), 가속도 센서 등의 기울기를 검출하는 센서를 갖는 검출 장치를 설치함으로써, 휴대 전화기(1000)의 방향(세로인지 가로인지)을 판단하여, 표시부(1002)의 화면 표시를 자동적으로 전환하도록 할 수 있다.

[0193] 또한, 화면 모드의 전환은, 표시부(1002)를 터치하거나 또는 케이스(1001)의 조작 버튼(1003)의 조작에 의하여 행해진다. 또한 표시부(1002)에 표시되는 화상의 종류에 따라 전환하도록 할 수도 있다. 예를 들어, 표시부에 표시하는 화상 신호가 동영상 데이터라면 표시 모드로, 텍스트 데이터라면 입력 모드로 전환된다.

[0194] 또한 입력 모드에 있어서, 표시부(1002)의 광 센서로 검출되는 신호를 검지하고, 표시부(1002)의 터치 조작에 의한 입력이 일정 기간 없을 경우에는, 화면의 모드를 입력 모드로부터 표시 모드로 전환하도록 제어하여도 좋다.

[0195] 표시부(1002)는, 이미지 센서로서 기능시킬 수도 있다. 예를 들어, 표시부(1002)에 손바닥이나 손가락을 터치하여 장문(掌紋), 지문 등을 활성화함으로써, 본인 인증을 행할 수 있다. 또한, 표시부에 근적외광(近赤外光)을 발광하는 백 라이트 또는 근적외광을 발광하는 검출용 광원을 사용하면, 손가락 정맥(靜脈), 손바닥 정맥 등을 활성화할 수도 있다.

[0196] 도 20b도 휴대 전화기의 일례이다. 도 20b의 휴대 전화기는 케이스(9411)에 표시부(9412), 및 조작 버튼(9413)을 포함하는 표시 장치(9410)와 케이스(9401)에 조작 버튼(9402), 외부 입력 단자(9403), 마이크(9404), 스피커(9405), 및 착신할 때 발광하는 발광부(9406)를 포함하는 통신 장치(9400)를 갖고, 표시 기능을 갖는 표시 장치(9410)는 전화 기능을 갖는 통신 장치(9400)와 화살표의 2개의 방향으로 탈착될 수 있다. 따라서, 표시 장치(9410)와 통신 장치(9400)의 단축끼리를 부착할 수도 있고, 표시 장치(9410)와 통신 장치(9400)의 장축끼리를 부착할 수도 있다. 또한, 표시 기능만을 필요로 하는 경우, 통신 장치(9400)로부터 표시 장치(9410)를 분리하여, 표시 장치(9410)를 단독으로 사용할 수도 있다. 통신 장치(9400)와 표시 장치(9410)는 무선 통신 또는 유선 통신에 의하여 화상 또는 입력 정보를 수수(授受)할 수 있고, 각각 충전 가능한 배터리를 갖는다.

[0197] 본 실시형태는 다른 실시형태에 기재한 구성과 적절히 조합하여 실시할 수 있다.

부호의 설명

[0198] 400: 기판

401: 게이트 전극층

403: 게이트 절연층

405: 산화물 반도체층

409: 소스 전극층

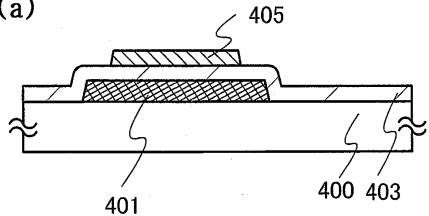
410: 드레인 전극층

450: 산화물 반도체층

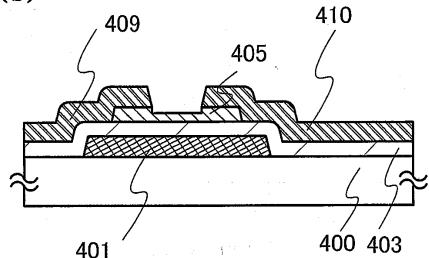
452: 절연막

도면**도면1**

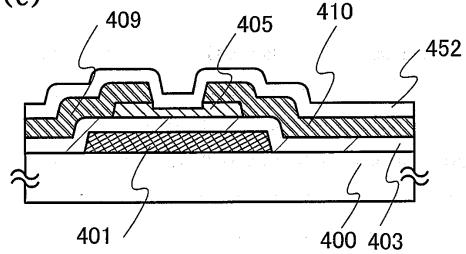
(a)



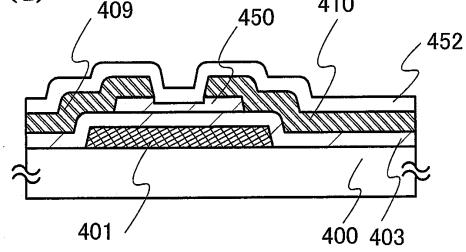
(b)



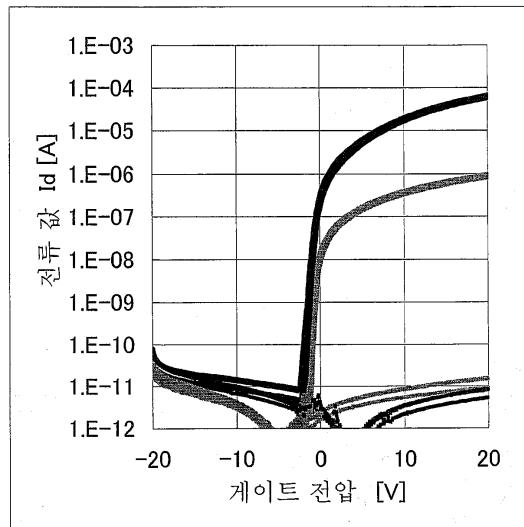
(c)



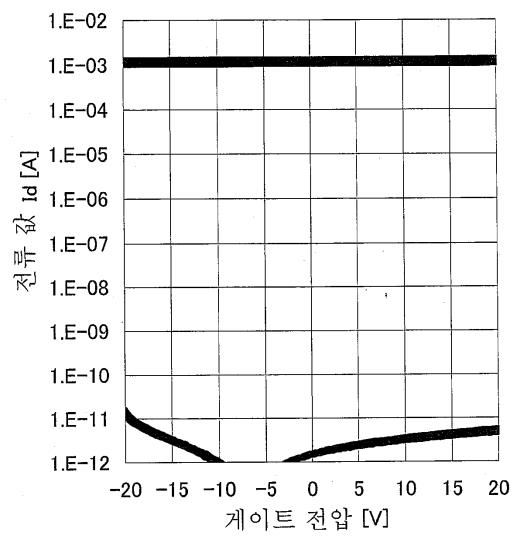
(d)



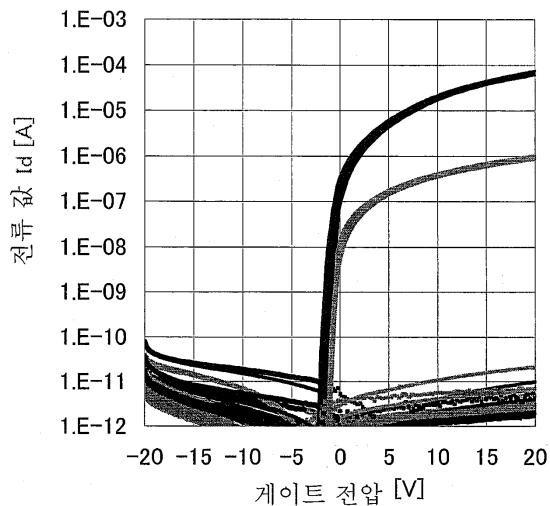
도면2



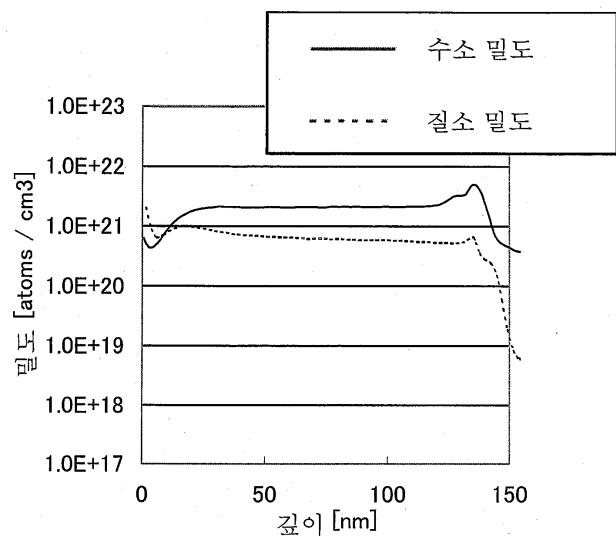
도면3



도면4

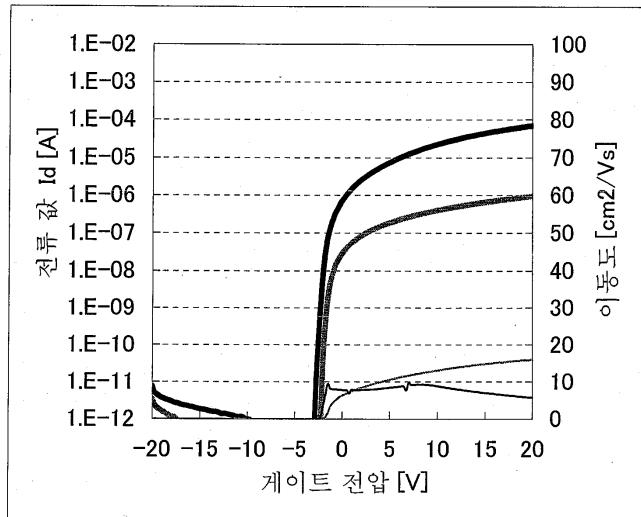


도면5

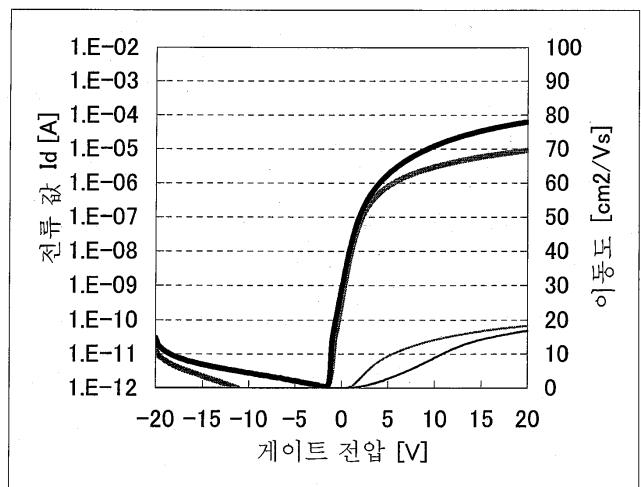


도면6

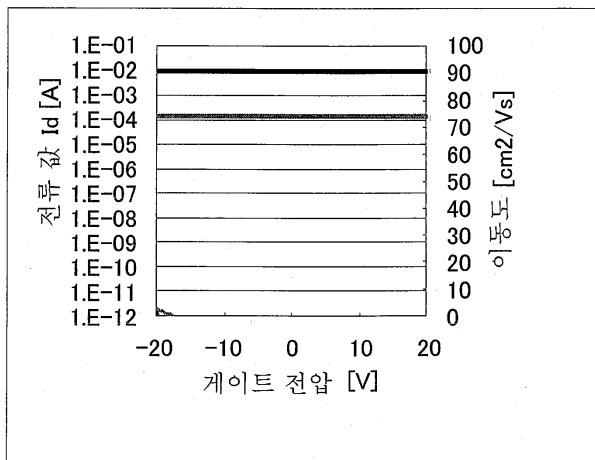
(a)



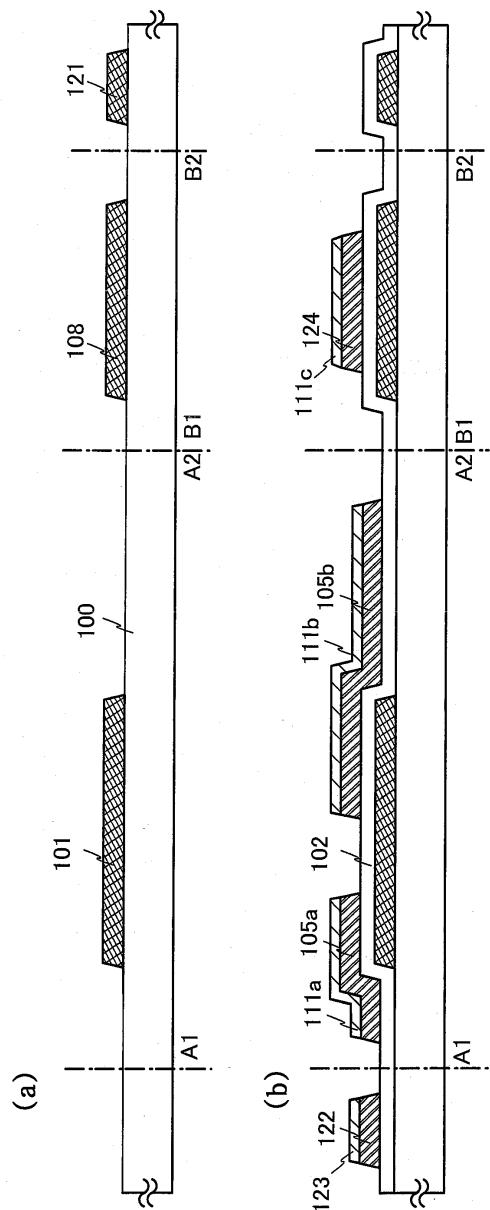
(b)



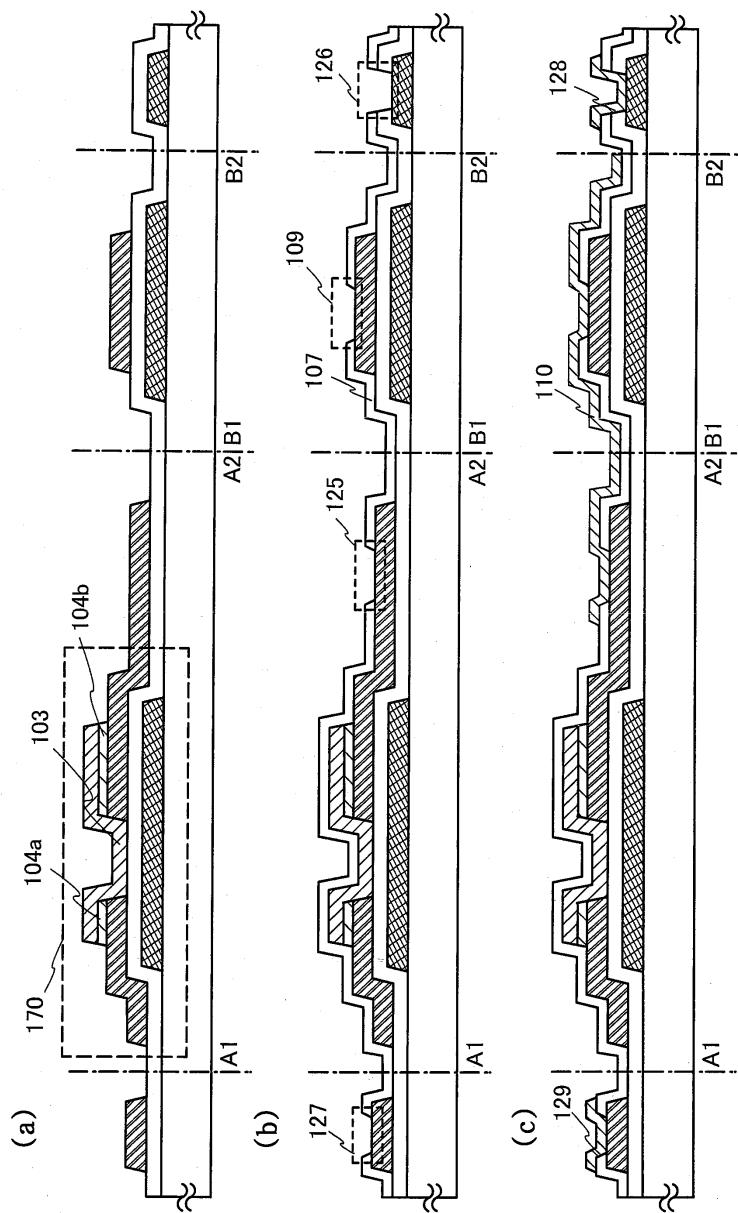
도면7



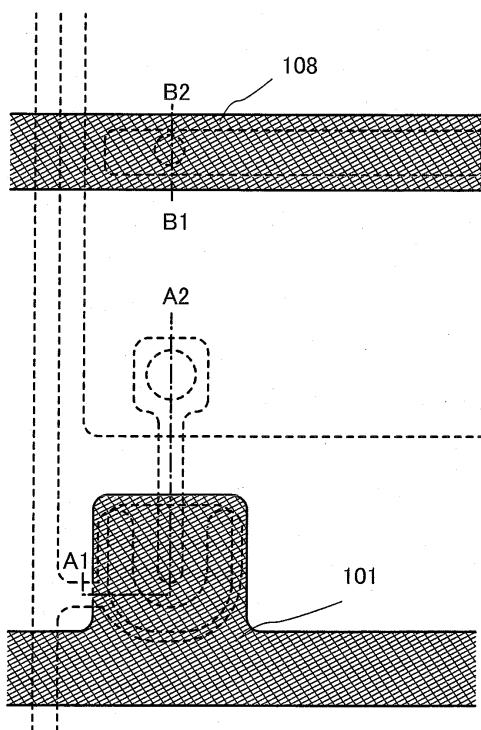
도면8



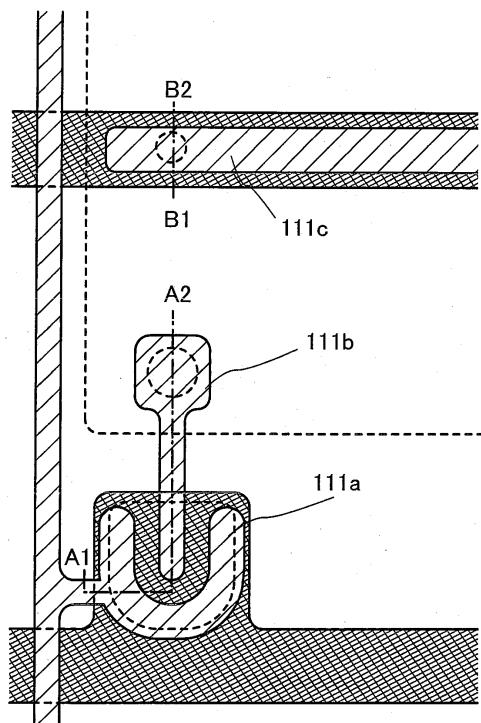
도면9



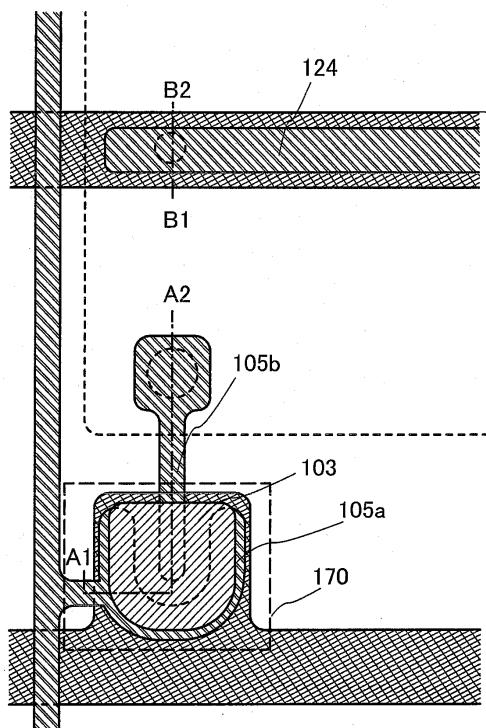
도면10



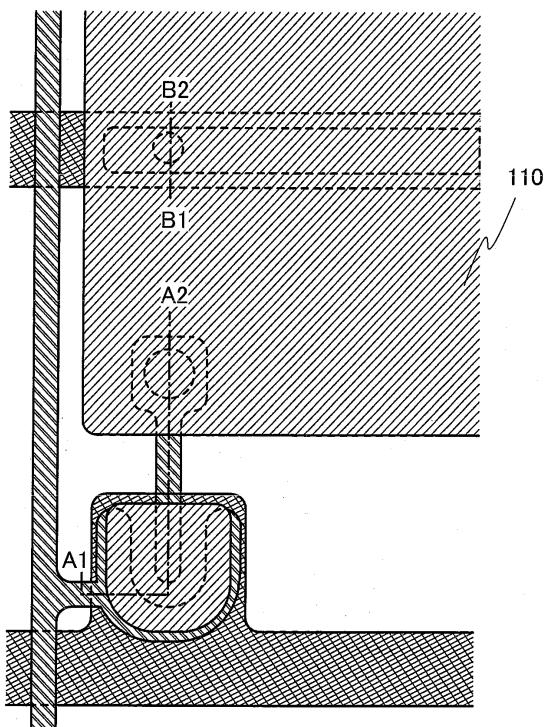
도면11



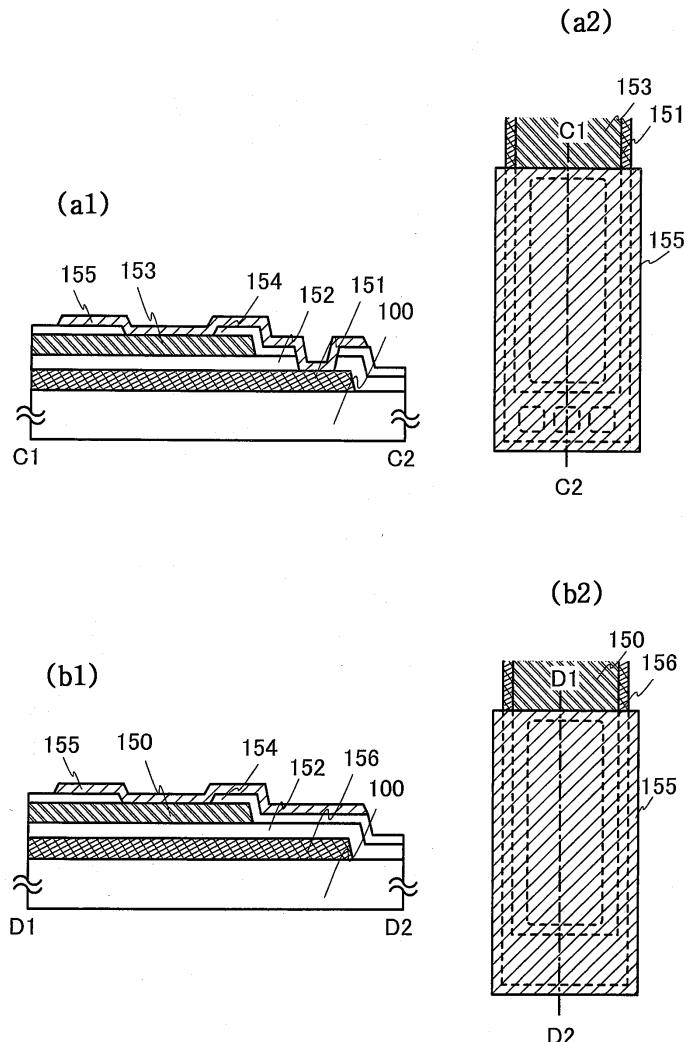
도면12



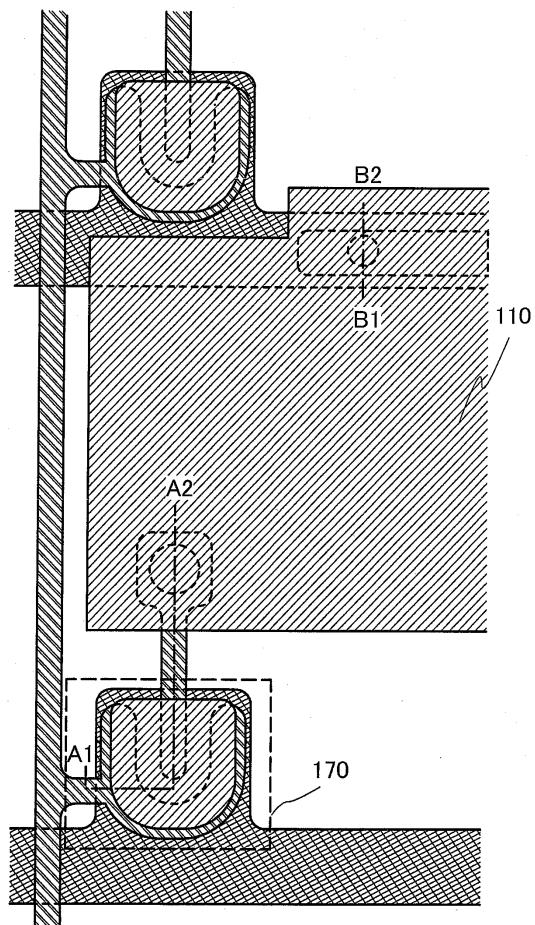
도면13



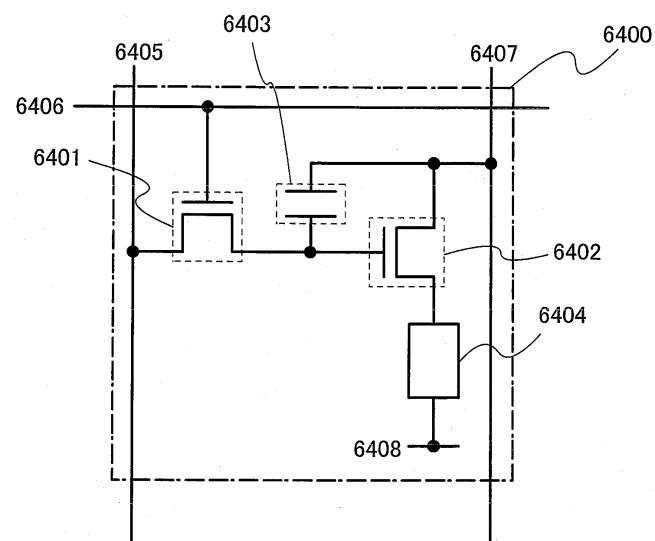
도면14



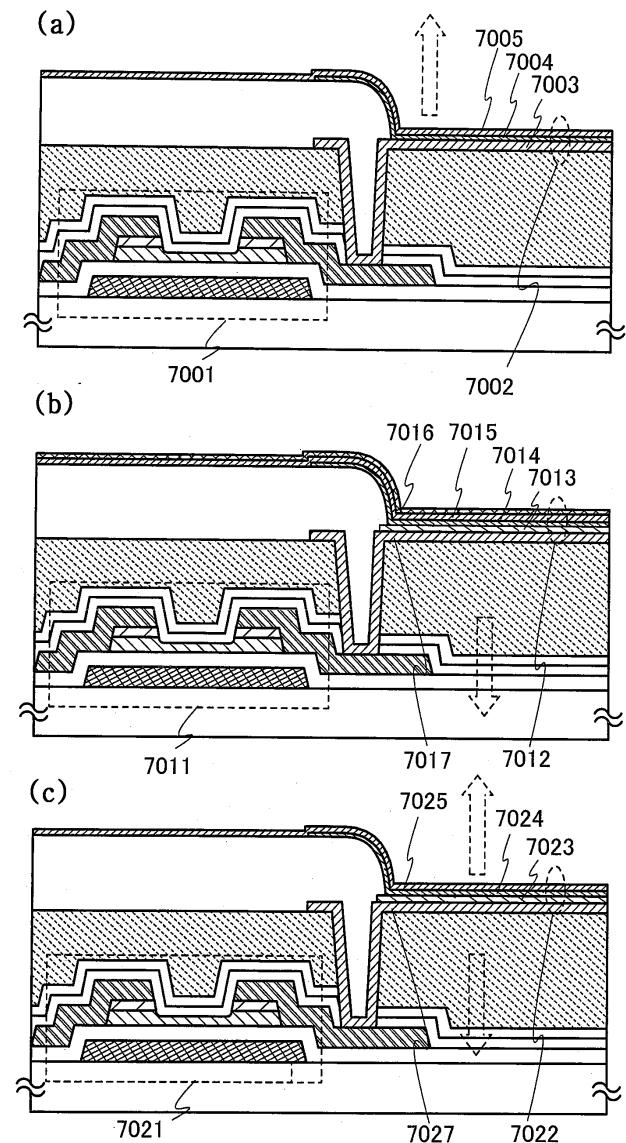
도면15



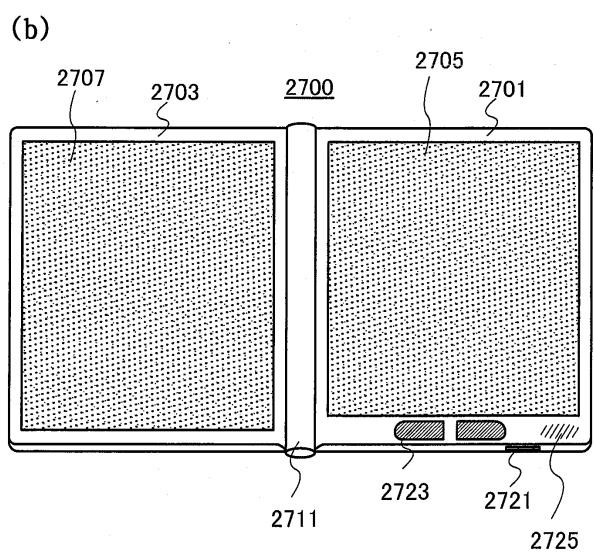
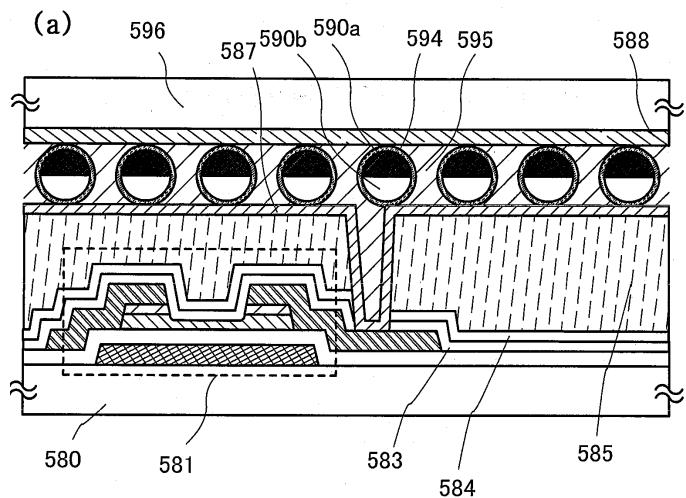
도면16



도면17

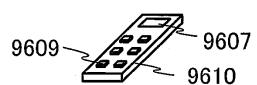
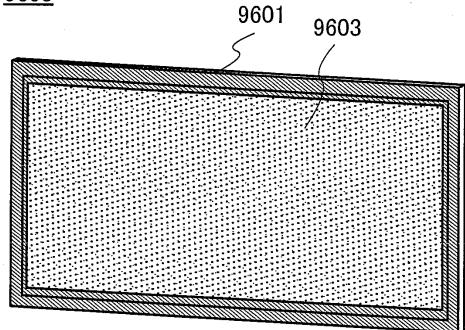


도면18

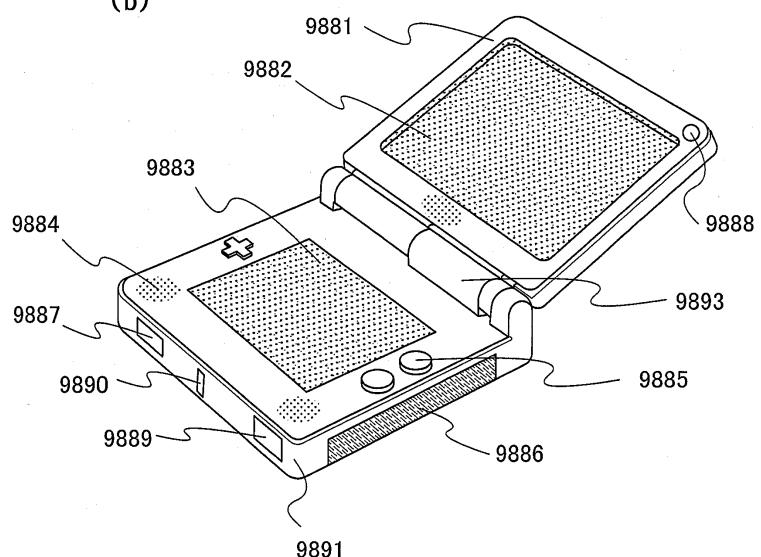


도면19

(a) 9600

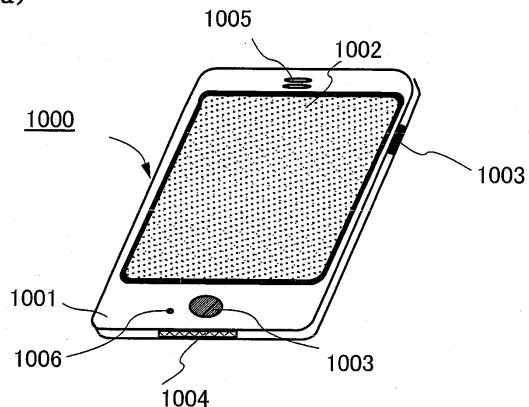


(b)



도면20

(a)



(b)

