



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I416323 B

(45)公告日：中華民國 102 (2013) 年 11 月 21 日

(21)申請案號：098144175

(22)申請日：中華民國 98 (2009) 年 12 月 22 日

(51)Int. Cl. : **G06F12/08 (2006.01)**

(30)優先權：2008/12/30 美國

12/346,567

(71)申請人：英特爾公司(美國) INTEL CORPORATION (US)

美國

(72)發明人：崔卡 珊吉夫 N TRIKA, SANJEEV N. (IN)；羅耶 羅伯特 ROYER, ROBERT (US)

(74)代理人：惲軼群；陳文郎

(56)參考文獻：

TW 200841343A

US 2003/0061352A1

US 2008/0126680A1

審查人員：劉思芸

申請專利範圍項數：20 項 圖式數：3 共 0 頁

(54)名稱

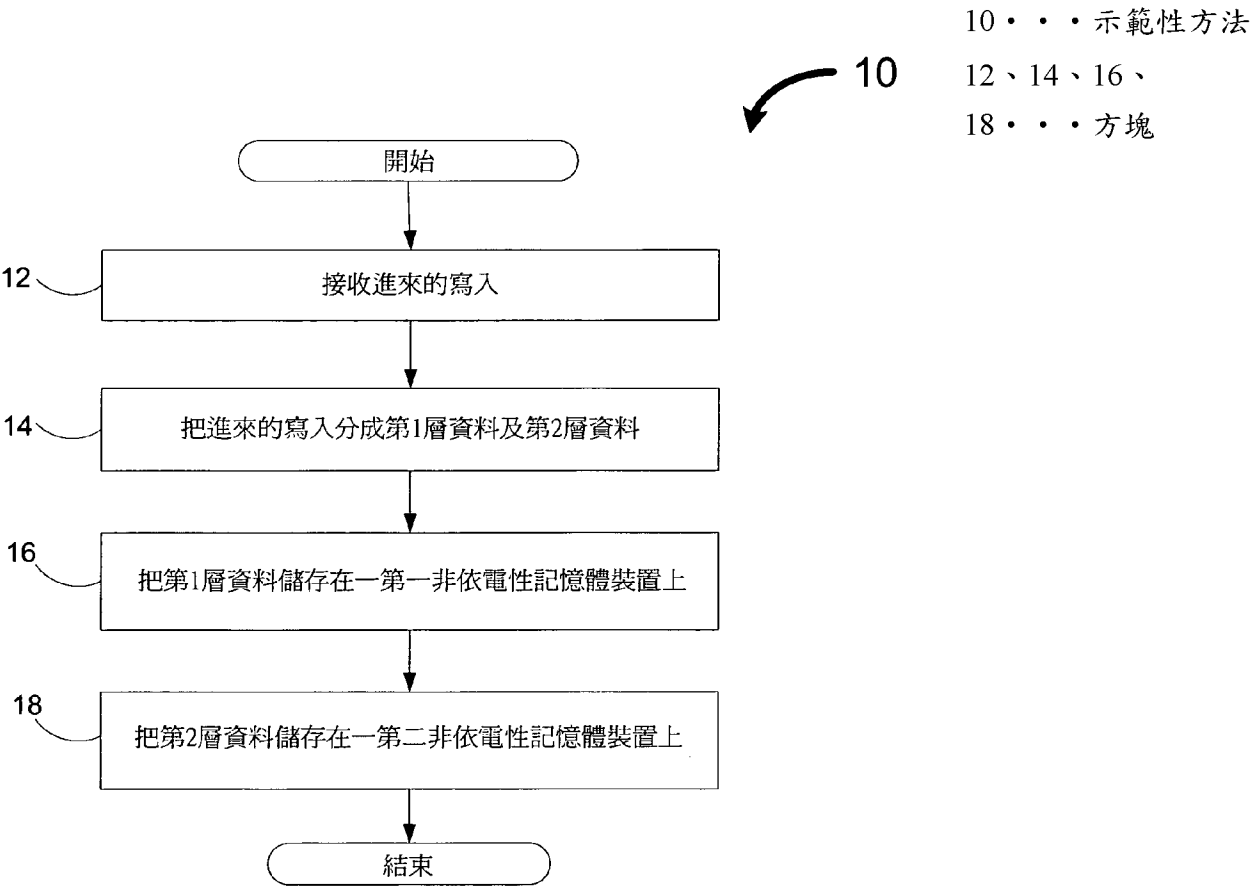
用於管理工作量之方法、系統及半導體裝置

METHOD, SYSTEM AND SEMICONDUCTOR DEVICE FOR MANAGING WORKLOAD

(57)摘要

本文提供了一種方法。該方法包括接收資料、及把接收到的資料分類到多個資料層中的一層。該方法還包括把每一資料層儲存到一不同的非依電性記憶體裝置上。

A method is provided. The method includes receiving data and classifying received data in one of several tiers of data. The method also includes storing each tier of data on a different non-volatile memory device.



第 1 圖

公告本

發明專利說明書

双面影印

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：98144175

102年9月30日 修正頁(本)
對號

※申請日：98.12.22

※IPC 分類：G06F 12/08 (2006.01)

一、發明名稱：(中文/英文)

用於管理工作量之方法、系統及半導體裝置 / Method, System and Semiconductor Device for Managing Workload

二、中文發明摘要：

本文提供了一種方法。該方法包括接收資料、及把接收到的資料分類到多個資料層中的一層。該方法還包括把每一資料層儲存到一不同的非依電性記憶體裝置上。

三、英文發明摘要：

A method is provided. The method includes receiving data and classifying received data in one of several tiers of data. The method also includes storing each tier of data on a different non-volatile memory device.

四、指定代表圖：

(一)本案指定代表圖為：第 (1) 圖。

(二)本代表圖之元件符號簡單說明：

10...示範性方法

12、14、16、18...方塊

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

六、發明說明：

【發明所屬之技術領域】

本發明係有關於混成記憶體裝置。

【先前技術】

發明背景

計算系統可包括用於回寫碟片快取之非依電性記憶體以增強此類系統之性能。例如，一計算系統可包括作為一資料備份單元之諸如NAND媒體之一非依電性儲存媒體。一單位準晶胞NAND媒體可用於回寫碟片快取。單位準NAND媒體提供相對高的耐久及寫入性能但其很昂貴。另外，一多位準晶胞NAND可用於回寫碟片快取。然而，該多位準NAND具有一相對低的耐久及寫入性能，藉此其對於某些應用來說是不能使用的。

【發明內容】

依據本發明之一實施例，係特地提出一種方法，其包含以下步驟：接收資料；把接收到的資料分類到多個資料層中之一個；把每一資料層儲存在一不同的非依電性記憶體裝置上。

圖式簡單說明

申請的標的之實施例之特徵隨下面詳細描述的進行且根據參考圖式將變得明顯，在該等圖式中相同的數字繪示相同的部分，其中：

第1圖根據本技術之實施例說明了用於碟片快取之一示範性方法；

第2圖根據本技術之實施例說明了一計算系統；及

第3圖根據本技術之實施例說明了第2圖之計算系統中的一示範性資訊流。

儘管下面的詳細描述將參考所請求標的之說明性實施例進行，但其很多可選擇方式、修改及改變對於熟於此技者來說是明顯的。因此，其目的是所請求標的被廣泛地看待且只如後附申請專利範圍中提出的一樣被定義。

【實施方式】

詳細描述

如下詳細描述，本發明之實施例發揮提供一種利用一混成記憶體裝置管理諸如固態硬碟工作量之工作量及非依電性媒體上碟片快取之技術之作用。如下所述，兩種或更多種類型之非依電性記憶體裝置使用在該混成記憶體裝置中。在某些實施例中，一相對較快之記憶體裝置(例如，一單位準晶胞(SLC)NAND)被使用以滿足潛時敏感輸入/輸出(I/O)請求，而一相對較慢且相對不貴的記憶體裝置(例如，一多位準晶胞(MLC)NAND)被使用於背景I/O。而且，資料還可在該背景中的該等記憶體類型之間移動。如下所述，此等記憶體裝置之耐久能力可用來選擇用以滿足寫入請求之一特定記憶體裝置類型。此等技術達到了一期望性能水準而降低了成本且提高了耐久性。

本說明書中的參考“一個實施例”、“一實施例”、“一示範性實施例”指示描述的實施例可包括一特定特徵、結構或特性但並不是每一實施例必需包括該特定特徵、結構或特

性。此外，此類措辭未必指的是相同實施例。而且，當一特定特徵、結構或特性結合一實施例予以描述時，認為無論是否明確描述，係假想此特徵、結構或特性結合其他實施例在熟於此技者之知識範圍內。

首先參考第1圖，用於碟片快取之一示範性方法10予以說明。在方塊12，諸如碟片快取資料之進來的寫入被接收到。在此實施例中，碟片快取資料指的是頻繁使用的資料，因此由一計算系統實施的一作業系統或一特定軟體應用程式可存取來自一相對較快的快取記憶體之該頻繁使用的資料，相對於存取來自該系統之一相對較慢之硬碟之資訊。多種類型之資料及/或指令可被載入到快取記憶體以提高該計算系統之性能。在某些示範性實施例中，碟片快取資料包括諸如可由該系統之處理器執行之用於作業系統或一軟體程式之指令的指令。此外，碟片快取資料還可包括由此等指令存取之資料。

在方塊14，該等進入的寫入被分成第1層資料與第2層資料。在此示範性實施例中，第1層資料包含係為性能及/或錯誤敏感之資料。在某些實施例中，第1層資料包含使用者定義寫入。在一個示範性實施例中，第1層資料包含使用者定義的高優先度寫入。在一個示範性實施例中，第2層資料包含使用者定義的低優先度寫入。在另一示範性實施例中，第2層資料包含與對遲緩寫入之元資料更新相對應的背景寫入。如本文所使用，術語“遲緩寫入”指的是閒置機器週期期間或在某特定時間讀取自該快取且寫入到碟片之資

料且需要標記該快取資料為清潔的或者與碟片同步。在另一示範性實施例中，第2層資料包含用於被讀取之未命中插入之背景寫入。在另一示範性實施例中，如該等背景重定位策略所指定，第2層資料包含資料之背景重定位。

在方塊16，第1層資料儲存在一第一非依電性記憶體裝置上。非依電性記憶體是具有保留內容(即使當施加到一相關計算系統之電力被移除後)之性質之任一種記憶體。在此實施例中，第一非依電性記憶體包括一快閃記憶體裝置。在此示範性實施例中，第一非依電性記憶體裝置包括一單位準晶胞(SLC)NAND快閃媒體。

在方塊18，第2層資料儲存在一第二非依電性記憶體裝置上。在此實施例中，第二非依電性記憶體裝置包括一快閃記憶體裝置。在此示範性實施例中，第二非依電性記憶體裝置包括一多位準晶胞(MLC)NAND快閃媒體。應當注意到，儘管不止兩種類型之記憶體可以使用，但本說明書中的該示範性實施例使用了兩種類型之記憶體。在第一及第二非依電性記憶體裝置之間的資料分離依照一記憶體管理策略。在一個示範性實施例中，在第一及第二非依電性記憶體裝置之間的資料分離基於諸如一期望工作量、碟片快取策略、NAND策略及期望的性能之因素。

在此示範性實施例中，該等第一及第二非依電性記憶體裝置是獨立裝置。在某些實施例中，第1層及第2層資料可儲存在具有可以以一單位準及多位準模式規劃之晶胞之一單一記憶體裝置。應當注意到，本文描述的該等實施例

適於固態硬碟、碟片快取或其它非依電性記憶體應用。

第2圖根據本技術之實施例說明了一計算系統30。該計算系統30可用在各種應用中，諸如，例如一個人數位助理、一雙向傳呼機、一行動電話、一便攜式電腦、一桌上型電腦、一工作站或一伺服器。但所請求標的之範圍及應用一點也不被限制在此等範例中。

計算系統30包括各種組件耦接到其之一匯流排32。在某些實施例中，該匯流排32包括諸如一系統匯流排、一周邊元件介面(PCI)匯流排、小型電腦系統介面(SCSI)匯流排等之多個匯流排之集合。將此等匯流排表示為一單一匯流排32是便於說明，但應當了解的是，該系統30並非被如此限制。熟於此技者應當明白該電腦系統30可具有任一合適的匯流排架構且可包括匯流排之任何數目的組合。

一處理器34耦接到該匯流排32。該處理器34可包括包括一微處理器(例如一單核心或一多核心處理器)、一網路處理器、一特定應用積體電路(ASIC)或一現場可規劃閘陣列(FPGA)之任何合適的處理裝置或系統、或任何類似裝置。應當注意到，儘管第2圖顯示了一單一處理器34，但計算系統30可包括兩個或更多個處理器。

計算系統30還包括耦接到匯流排32之系統記憶體36。該系統記憶體36可包括任何合適類型及數目之記憶體，諸如靜態隨機存取記憶體(SRAM)、動態隨機存取記憶體(DRAM)、同步動態隨機存取記憶體(SDRAM)或雙倍資料傳輸率DRAM(DDRDRAM)。在計算系統30之操作中，一作業

系統及其它應用程式可位於系統記憶體36中。

而且，計算系統30包括一第一非依電性記憶體裝置38及一第二非依電性記憶體裝置40。在此示範性實施例中，該第一非依電性記憶體裝置38儲存第1層資料，而該第二非依電性記憶體儲存第2層資料。在該說明的實施例中，第一非依電性記憶體裝置38包括一單位準晶胞(SLC)NAND快閃媒體，而第二非依電性記憶體裝置40包括一多位準晶胞(MLC)NAND快閃媒體。

再一次地，如上所述，第1層及第2層資料可儲存在具有單位準及多位準晶胞之一單一記憶體上。在此示範性實施例中，第一非依電性記憶體裝置38之一存取時間比第二非依電性記憶體40之一存取時間相對較短。

在此示範性實施例中，第1層資料包含係為性能及/或錯誤敏感之資料。在某些實施例中，第1層資料包含使用者定義的寫入。在一個示範性實施例中，第1層資料包含使用者定義的高優先度寫入。在一個示範性實施例中，第2層資料包含使用者定義的低優先度寫入。在另一示範性實施例中，第2層資料包含與對遲緩寫入之元資料更新或清潔資料插入或由於該NAND管理重定位策略之背景寫入相對應之背景寫入。

該計算系統還包括耦接到該等第一及第二非依電性記憶體裝置38及40之一記憶體控制器42，其中記憶體控制器42分離開該等第一及第二非依電性記憶體裝置38及40之間的資料。記憶體控制器42可與處理器34整合在一起。在一

替代實施例中，記憶體控制器42可以是一分離的記憶體控制器，其中記憶體控制器42在處理器34之外部。在某些實施例中，記憶體控制器42可與耦接到處理器34之一晶片組整合在一起。在某些其它實施例中，諸如固態硬碟或混成驅動機，記憶體控制器42及該等非依電記憶體裝置38及40可以是儲存裝置46之部分。

計算系統30還可包括耦接到匯流排32之一唯讀記憶體(ROM) 44。該ROM 44可儲存用於處理器34之指令。計算系統30還可包括耦接到匯流排32之一(或多個)儲存裝置46。該儲存裝置46包括任一合適的非依電性記憶體，諸如例如一硬碟機。作業系統及其它程式可儲存在該儲存裝置46中。而且，用於存取可移除儲存媒體之一裝置48(例如軟碟機或一CD ROM光碟機)可耦接到該匯流排42。

計算系統30還可包括耦接到匯流排102之一個或多個輸入/輸出(I/O)裝置50。公共輸入裝置包括鍵盤、諸如一滑鼠之指向裝置，還有其它資料輸入裝置。而且，公共輸出裝置包括視訊顯示器、列印裝置及音訊輸出裝置。將明白的是，此等只是可耦接到計算系統30之多種I/O裝置之一些範例。

計算系統30還可包含耦接到匯流排32之一網路介面52。該網路介面52包含能夠透過一網路耦接系統30之任何合適的硬體、軟體或硬體與軟體之組合(例如，一網路介面卡)。網路介面52可透過支持經由諸如TCP/IP(傳輸控制協定/網際網路協定)、HTTP(超文件傳輸協定)及其它之任何合

適的協定交換資訊之任何合適介質(例如，無線、銅線、光纖或其之組合)建立與該網路之一鏈結。

應當了解，第2圖中說明的計算系統30意欲表示這樣一系統之一實施例，且此系統可包括為了清楚且便於理解而被省略掉之任何附加的組件。透過舉例方式，系統30可包括直接記憶體存取(DMA)控制器、與處理器34相關聯之晶片組、附加的記憶體(例如快取記憶體)及附加的信號線及匯流排。而且，應當了解，該電腦系統30不一定包括第2圖中顯示的所有該等組件。

在一個示範性實施例中，該資料分離在該等單位準晶胞(SLC)及多位準晶胞(MLC)NAND快閃媒體38及40之間。該等單位準晶胞(SLC)及多位準晶胞(MLC)NAND快閃媒體38及40之間的分離之比率基於一期望的工作量、碟片快取策略及NAND管理策略。在某些實施例中，錯資料放在該SLC NAND快閃媒體38中，而清潔資料放在該MLC NAND快閃媒體40中。如本文所用，術語“錯資料”指的是已寫入到非依電性記憶體裝置且尚未寫入到碟片之資料。此外，術語“清潔資料”指的是已寫入到非依電性記憶體裝置及碟片之資料。

在單位準晶胞及多位準晶胞NAND快閃媒體38及40之間的資料分離根據一記憶體管理策略執行。在某些實施例中，係為性能及/或錯誤敏感之寫入放在單位準晶胞NAND快閃媒體38中而其它寫入放在多位準晶胞NAND快閃媒體40中。例如，一所需的32GB容量可被分離成單位準晶胞

NAND快閃媒體38之4GB及多位準晶胞NAND快閃媒體40之28GB。

第3圖說明了第2圖之計算系統30中的一示範性資訊流70。如所說明，一客戶端輸入/輸出處理器72處理各種輸入及輸出資訊以識別使用者高優先度寫入74及使用者低優先度寫入76。例如，諸如儲存文件、安裝一軟體應用程式等之操作可被處理器72識別為使用者高優先度寫入74。另外，諸如執行用於一作業系統之背景應用程式之操作可被識別為使用者低優先度寫入76。

根據NAND管理策略78及NAND寫入策略80，此類寫入可被放在該等單位準晶胞NAND快閃媒體82及多位準晶胞NAND快閃媒體84之任何一個中。在某些實施例中，NAND管理策略包括用以將該等背景寫入分離在單位準晶胞NAND快閃媒體82及多位準晶胞NAND快閃媒體84之背景重定位策略86。根據該等NAND管理策略78，單位準晶胞NAND快閃媒體82及多位準晶胞NAND快閃媒體84之間的分離可被最佳化以提高用於快取及用於固態硬碟負載量之NAND性能、使用期限及可靠度。在一個實施例中，由背景重定位策略86重定位之資料可被分類為第2層資料且寫入到多位準NAND快閃媒體84。

在某些實施例中，NAND管理策略78及NAND寫入策略80由記憶體控制器42(見第2圖)執行。該等NAND管理策略78及該等NAND寫入策略80基於一期望工作量、碟片快取及NAND管理策略分離該資料。典型地，係為性能及/或

錯誤敏感之寫入放在單位準晶胞NAND快閃媒體82中，而其它寫入放在多位準晶胞NAND快閃媒體84中。

例如，錯資料放在單位準晶胞NAND快閃媒體82中，而清潔資料放在多位準晶胞NAND快閃媒體84中。有利地，此允許單位準晶胞NAND快閃媒體82上之較快寫入及錯資料所需的一低位元錯誤率(BER)。在操作中，如果讀取自多位準晶胞NAND快閃媒體84之一特定的清潔資料項目由於多位準晶胞NAND快閃媒體84之相對低耐久性而具有一不可校正的錯誤，則資料可從該碟片讀取。

在該已說明的實施例中，使用者高優先度寫入74放在單位準晶胞NAND快閃媒體82中，而使用者低優先度寫入76放在多位準晶胞NAND快閃媒體84中。而且，諸如用於清除錯寫入88之後之元資料更新之背景寫入及用於被讀取之未命中插入90之背景寫入之某些其它寫入放在多位準晶胞NAND快閃媒體84上。此允許把大部分之要求寫入擷取於相對較快之單位準晶胞NAND快閃媒體82中，而把相對性能不敏感的背景操作移交給較慢的多位準晶胞NAND快閃媒體84。應當注意到，由於自單位準及多位準晶胞NAND快閃媒體82及84之讀取都相當快，在該兩個媒體之間的分離有助於高性能用戶需求輸入/輸出操作。

在某些實施例中，計算系統30可使用區別出高優先度前景輸入/輸出及低優先度背景輸入/輸出之一輸入/輸出優先度模型(圖未示)。在此實施例中，一附加的最佳化可被實施以只把高優先度前景輸入/輸出寫入到單位準晶胞NAND

快閃媒體82中。這樣的最佳化允許用於輸入/輸出操作之相對較好的性能藉此增強計算系統30之應用性能。

上述系統可配置於任何類型之計算裝置中，諸如一桌上型電腦、一膝上型電腦、一伺服器、一手持計算裝置、一無線通訊裝置、一娛樂系統等。透過舉例方式，計算系統可包括一第一非依電性記憶體裝置及一第二非依電性記憶體裝置。計算系統還可包括耦接到第一及第二非依電性記憶體裝置之一記憶體控制器，其中記憶體控制器把碟片快取資料分離在第一及第二非依電性記憶體裝置之間。

上述詳細描述及附圖只是說明性的且不是限制性的。它們主要出於對所揭露實施例之一清楚且全面了解而被提供且無需自其中了解不必要的限制。對本文描述的實施例之大量添加、刪除及修改及可選擇的安排可由熟於此技者設計而不脫離所揭露實施例之精神及後附申請專利範圍之範圍。

【圖式簡單說明】

第1圖根據本技術之實施例說明了用於碟片快取之一示範性方法；

第2圖根據本技術之實施例說明了一計算系統；及

第3圖根據本技術說明了第2圖之計算系統中的一示範性資訊流。

【主要元件符號說明】

10...示範性方法	32...匯流排
12、14、16、18...方塊	34...處理器
30...計算系統、電腦系統	36...系統記憶體

- 38...第一非依電性記憶體裝置、單位準晶胞(SLC) NAND快閃媒體
- 40...第二非依電性記憶體裝置、多位準晶胞(MLC) NAND快閃媒體
- 42...記憶體控制器
- 44...唯讀記憶體(ROM)
- 46...儲存裝置
- 48...裝置
- 50...輸入/輸出(I/O)裝置
- 52...網路介面
- 70...資訊流
- 72...客戶端輸入/輸出處理器
- 74...使用者高優先度寫入
- 76...使用者低優先度寫入
- 78...NAND管理策略
- 80...寫入策略
- 82...單位準晶胞NAND快閃媒體
- 84...多位準晶胞NAND快閃媒體
- 86...背景重定位策略
- 88...錯寫入
- 90...被讀取的未命中插入

七、申請專利範圍：

双面影印

1. 一種用於管理工作量之方法，其包含以下步驟：

102年9月30日修正
對照(本)

接收資料；

把接收到的資料分類到多個資料層中之一個，該等多個資料層包括第1層資料與第2層資料；

把每一資料層儲存在一不同的非依電性記憶體裝置上，

其中儲存該第1層資料之步驟包含把使用者指定寫入儲存到一第一非依電性記憶體裝置上；以及

其中儲存該第2層資料之步驟包含把使用者定義的低優先度寫入儲存到一第二非依電性記憶體裝置上，且儲存該第2層資料到該第二非依電性記憶體裝置上也包括遲緩寫入後的元資料更新、或用於所讀取未命中插入之快取背景寫入、或清潔的快取資料、或由於背景重定位之非依電性記憶體寫入中之至少一者。

2. 如申請專利範圍第1項所述之方法，其中該第一非依電性記憶體裝置包含單位準晶胞(SLC) NAND快閃晶胞，及該第二非依電性記憶體裝置包含多位準晶胞(MLC) NAND快閃晶胞。
3. 如申請專利範圍第2項所述之方法，其中該等單位準晶胞NAND及多位準晶胞NAND快閃晶胞在一NAND快閃裝置上。
4. 如申請專利範圍第1項所述之方法，其中該第1層資料包含錯快取資料。

5. 一種用於管理工作量之系統，其包含：

一第一非依電性記憶體裝置；

一第二非依電性記憶體裝置；及

耦接到該等第一及第二非依電性記憶體裝置之一記憶體控制器，其中該記憶體控制器用以在該等第一及第二非依電性記憶體之間分離資料；

其中該第一非依電性記憶體裝置用以儲存使用者指定的高優先度寫入；且

其中該第二非依電性記憶體裝置用以儲存使用者定義的低優先度寫入以及遲緩寫入後的元資料更新、或用於所讀取未命中插入之快取背景寫入、或清潔的快取資料、或由於背景重定位之非依電性記憶體寫入中之至少一者。

6. 如申請專利範圍第5項所述之系統，其中該第一非依電性記憶體裝置包含單位準晶胞(SLC) NAND快閃晶胞，且該第二非依電性記憶體包含多位準晶胞(MLC) NAND快閃晶胞。

7. 如申請專利範圍第6項所述之系統，其中該單位準晶胞 NAND及多位準晶胞 NAND快閃晶胞配置於一 NAND快閃裝置上。

8. 如申請專利範圍第5項所述之系統，其中該記憶體控制器用以根據一記憶體管理策略把碟片快取資料分離開。

9. 如申請專利範圍第5項所述之系統，其中該記憶體控制器用以基於一預期工作量及碟片快取策略把碟片快取

資料分離開。

10. 一種半導體裝置，其包含：

一處理器；

耦接到該處理器之一單位準晶胞(SLC) NAND快閃記憶體裝置；及

耦接到該處理器之一多位準晶胞(MLC) NAND快閃記憶體裝置，其中快取工作量及一固態硬碟工作量中之至少一個在該等單位準晶胞及多位準晶胞NAND快閃記憶體裝置之間被分離；

其中該處理器用以接收來自一使用者之指令以識別高優先度寫入及低優先度寫入；

其中該單位準晶胞(SLC) NAND快閃記憶體裝置用以儲存該等高優先度寫入；且

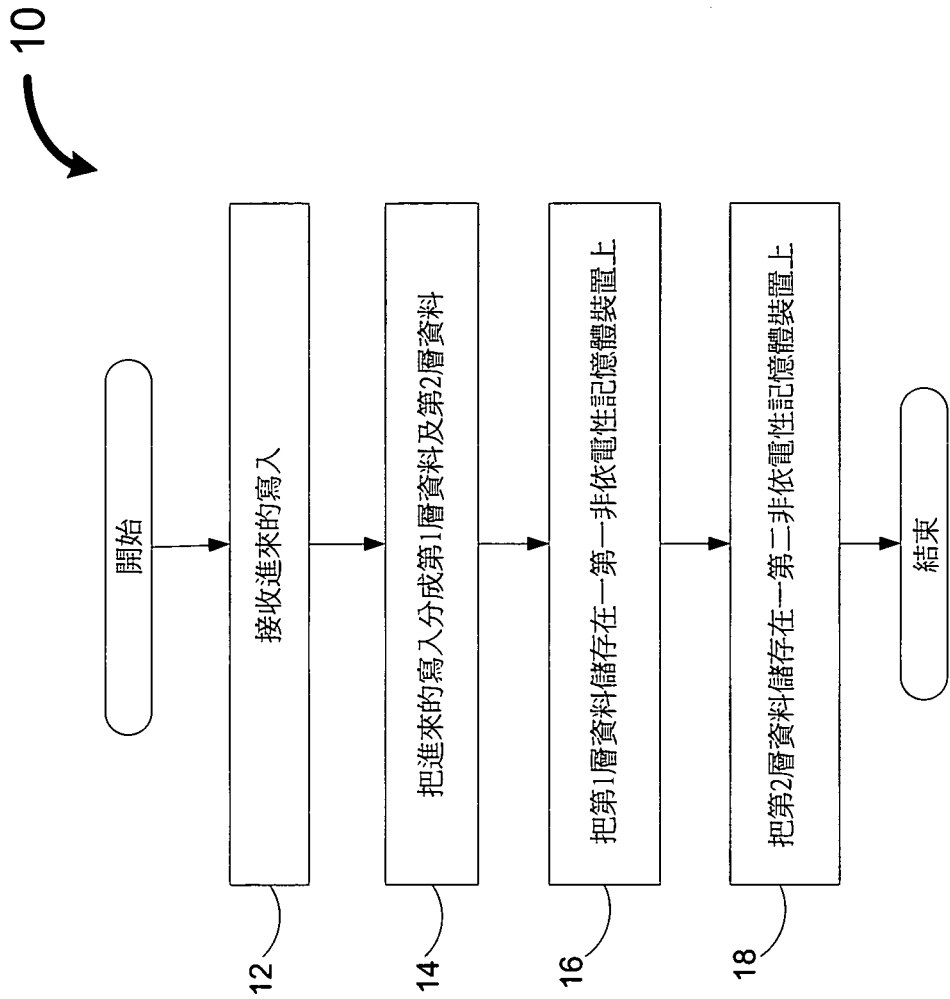
其中該多位準晶胞(MLC) NAND快閃記憶體裝置用以儲存該等低優先度寫入以及遲緩寫入後的元資料更新、或用於所讀取未命中插入之快取背景寫入、或清潔的快取資料、或由於背景重定位之非依電性記憶體寫入中之至少一者。

11. 如申請專利範圍第10項所述之半導體裝置，其中該單位準晶胞及該多位準晶胞NAND快閃記憶體裝置之間的該分離係基於一NAND管理策略。

12. 如申請專利範圍第10項所述之半導體裝置，其中該單位準晶胞NAND快閃媒體及該多位準晶胞NAND快閃記憶體裝置形成一積體記憶體裝置之組件。

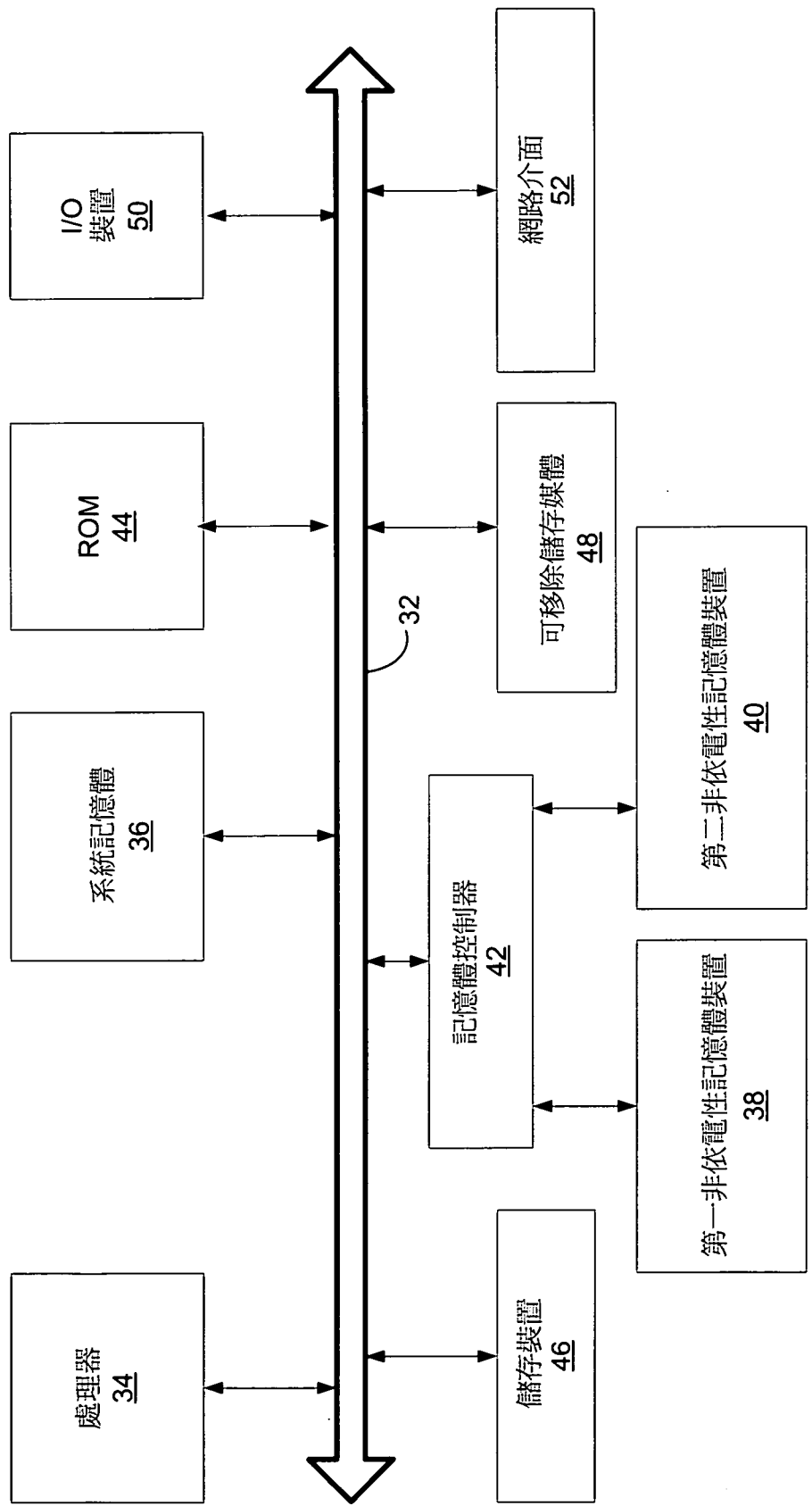
13. 如申請專利範圍第10項所述之半導體裝置，其進一步包含用以把快取工作量及該固態硬碟工作量中之至少一個分離成第一及第二碟片工作量之一記憶體控制器。
14. 如申請專利範圍第10項所述之半導體裝置，其中該多位準晶胞(MLC) NAND快閃記憶體裝置用以儲存對應於遲緩寫入之快取背景寫入與用於所讀取未命中插入之快取背景寫入中之至少一個。
15. 一種用於管理工作量之方法，其包含以下步驟：
把一工作量資料分離成第1層資料及第2層資料；及
把該第1層及第2層資料分別轉移到第一及第二非依電性記憶體裝置，其中該第一非依電性記憶體之一存取時間比該第二非依電性記憶體裝置之一存取時間相對較短；
其中該第1層資料包含使用者指定寫入，且該第2層資料包含使用者定義的低優先度寫入以及遲緩寫入後的元資料更新、或用於所讀取未命中插入之快取背景寫入、或清潔的快取資料、或由於背景重定位之非依電性記憶體寫入中之至少一者。
16. 如申請專利範圍第15項所述之方法，其中該工作量資料包含碟片快取資料。
17. 如申請專利範圍第15項所述之方法，其中該工作量資料包含固態硬碟工作量資料。
18. 如申請專利範圍第15項所述之方法，其中該工作量資料包含跨卷資料。

19. 如申請專利範圍第15項所述之方法，其中該第一非依電性記憶體裝置包含一單位準晶胞(SLC) NAND快閃記憶體裝置，且該第二非依電性記憶體裝置包含一多位準晶胞(MLC) NAND快閃記憶體裝置。
20. 如申請專利範圍第15項所述之方法，其中把該工作量資料分離成第1層及第2層資料之步驟包含基於一NAND管理策略分離該資料。

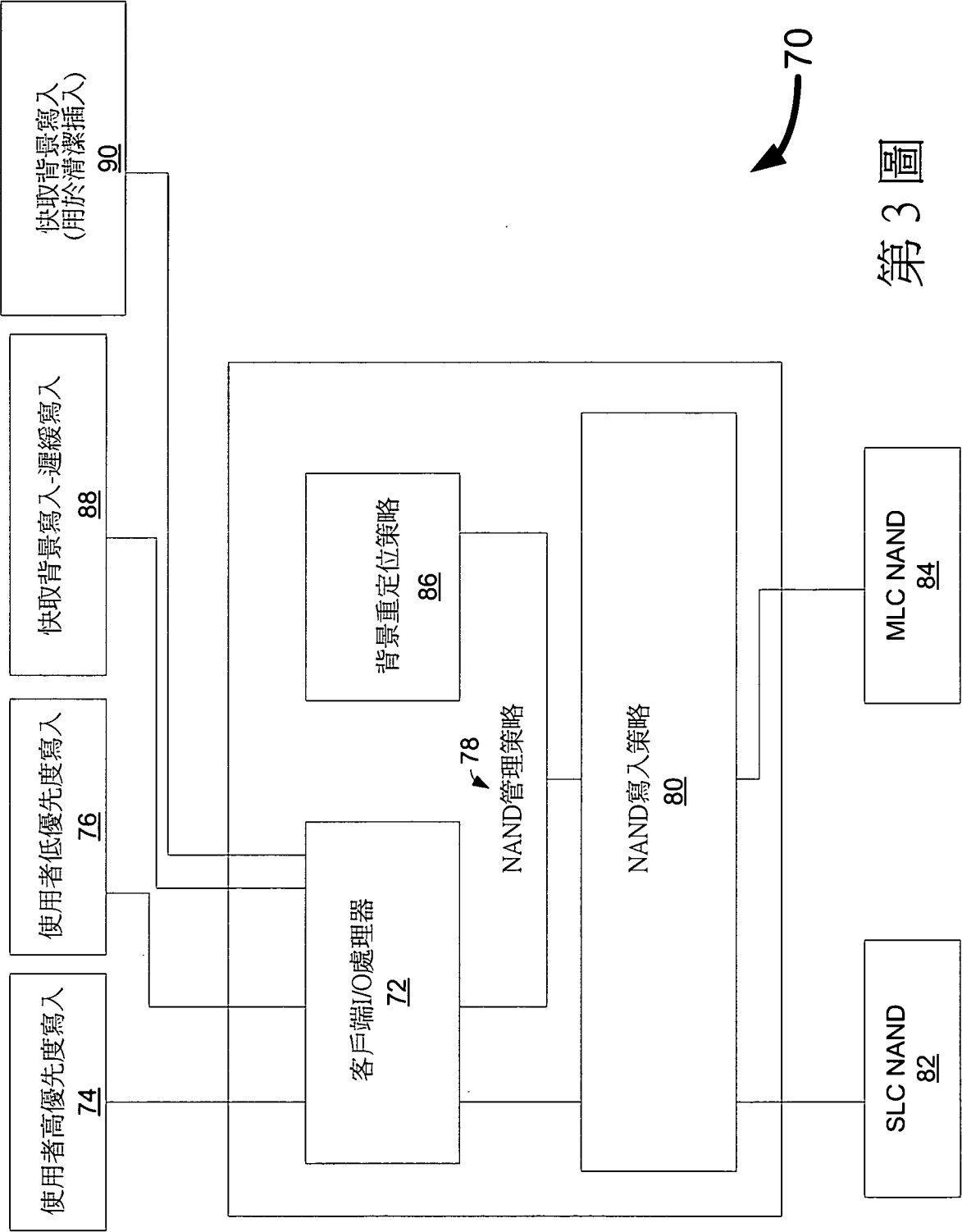


第1圖

30



第2圖



第3圖