

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成24年5月17日(2012.5.17)

【公開番号】特開2010-273185(P2010-273185A)

【公開日】平成22年12月2日(2010.12.2)

【年通号数】公開・登録公報2010-048

【出願番号】特願2009-124157(P2009-124157)

【国際特許分類】

H 03 L 7/091 (2006.01)

H 03 L 7/06 (2006.01)

H 03 L 7/093 (2006.01)

H 03 K 5/26 (2006.01)

【F I】

H 03 L 7/08 C

H 03 L 7/06 B

H 03 L 7/08 E

H 03 K 5/26 P

【手続補正書】

【提出日】平成24年3月26日(2012.3.26)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1のクロック信号をカウントする第1のカウンタと、

第2のクロック信号をカウントする第2のカウンタと、

第1のクロック信号を順次遅延させた第1、第2の遅延クロック信号を生成する遅延クロック生成回路と、
前記第1のクロック信号及び第1、第2の遅延クロック信号のそれぞれで前記第2のカウンタのカウント値をサンプリングするサンプル回路と、

前記第1のクロック信号と、前記第2のクロック信号を所定の数で分周した第3のクロック信号との位相差、及び、前記第1のサンプル回路がサンプリングしたカウント値とに応じて、前記第1のサンプル回路がサンプリングしたカウント値のうち1つを選択する選択回路と、
前記第1のカウンタのカウント値及び前記選択回路が選択したカウント値とに応じて前記第1のクロックと前記第3のクロックとの位相差を演算する位相誤差演算回路と、
前記位相誤差演算回路の演算結果に応じて前記第2のクロックを出力するデジタル制御発振器と、

を有するデジタルフェーズロックドリープ回路。